



TITLE:

超高速論理回路の研究(Dissertation_全文)

AUTHOR(S):

田丸, 啓吉

CITATION:

田丸, 啓吉. 超高速論理回路の研究. 京都大学, 1970, 工学博士

ISSUE DATE:

1970-07-23

URL:

<https://doi.org/10.14989/doctor.r1646>

RIGHT:

超高速論理回路の研究

田 丸 啓 吉

超高速論理回路の研究

田 丸 啓 吉

目 次

内 容 梗 概	1
ま え が き	4
第 1 章 超高速論理回路研究の背景	6
第 2 章 トンネルダイオード論理回路	13
2.1 トンネルダイオード論理回路の形式	13
2.2 基本回路の動作解析	27
2.2.1 基本回路の説明	27
2.2.2 位相面デルタ法による解析	31
2.2.3 反射を考慮した解析	33
2.2.4 数 値 解 析	43
2.2.5 論理回路の構成	48
2.2.6 方向性の検討	50
2.2.7 電 源 余 裕 度	53
2.3 基本回路の実験	58
2.3.1 立体回路による基礎実験	58
2.3.2 プリント板回路の実験	74
2.3.3 温 度 特 性	88
2.4 2 進 計 数 回 路	91
2.4.1 動 作 原 理	91
2.4.2 試 作 回 路	92
2.4.3 実 験 結 果	97
2.5 シフトレジスタ	102
2.5.1 動 作 原 理	102
2.5.2 試 作 回 路	104
2.5.3 実 験 結 果	109
第 3 章 高速 A/D 変換回路	111
3.1 高速 A/D 変換回路の概況	111
3.2 トンネルダイオードを使用した高速 A/D 変換回路	117
3.2.1 電圧比較回路の動作	117
3.2.2 A/D 変換回路の構成	120
3.2.3 A/D 変換回路の動作の誤り	122
3.2.4 D/A 変換回路	123
3.2.5 実 験 結 果	125
3.3 磁気薄膜試験装置への応用	130
3.3.1 試験装置の構成	130
3.3.2 各 部 の 回 路	133

第4章 10進計数回路とその応用	139
4.1 高速10進計数回路	139
4.2 フィードバックリセット形10進計数回路	145
4.2.1 回路構成	145
4.2.2 実験結果	147
4.3 2進5進形10進計数回路	149
4.3.1 2進部の構成	149
4.3.2 5進部の構成	173
4.3.3 総合結果と検討	181
4.4 レーザ測距回路への応用	183
第5章 電流切換形論理回路	189
5.1 電流切換回路の概況	189
5.1.1 考察の対象	189
5.1.2 高レベル電流切換回路	189
5.1.3 低レベル電流切換回路	194
5.1.4 電流切換回路の解析	202
5.2 動作速度向上の要因	211
5.2.1 トランジスタ特性の検討	211
5.2.2 高速化のための動作条件の検討	217
5.2.3 LSI化による速度の向上	229
5.3 フィードバック回路によるノイズマージンの向上	232
5.3.1 ノイズマージンの定義	232
5.3.2 ヒステリシスをもつ電流切換回路の特性	236
5.3.3 ノイズマージンの改善と回路の比較	243
第6章 電流切換形集積回路の実用化試験	247
6.1 実装の考察	247
6.1.1 ストリップ線路の特性インピーダンス	247
6.1.2 多層プリント板	249
6.2 加算回路の実験	253
6.2.1 加算方式の選定	253
6.2.2 Carry Look Ahead	258
6.2.3 実験結果	262
6.3 乗算回路の実験	275
6.3.1 回路構成	275
6.3.2 実験結果	278
第7章 直列電流路論理回路	285
7.1 回路の一般形と論理	285
7.2 回路の解析	290

7.2.1	非直線モデルによるトランジスタの電流式	290
7.2.2	直流レベル解析	292
7.2.3	遅れ時間の解析	298
7.2.4	数 値 例	300
7.3	実 験 結 果	302
7.4	加算回路への応用	310
7.5	セル論理回路への応用	323
7.5.1	Minnick形のカットポイントセル	323
7.5.2	Double rail形セルへの拡張	328
7.5.3	実 験 結 果	331
結	び	341
謝	辞	343
参 考 文 献	344
付	録	354
著者発表論文目録	356

内 容 梗 概

この論文は超高速論理回路の実現手段、動作特性、基本回路と応用回路の構成、実用化のための検討と実用化実験の結果について述べる。ここでとり上げている回路素子はトンネルダイオードと高速論理用の集積回路である。本論文の構成はまえがき、第1章超高速論理回路研究の背景、第2章トンネルダイオード論理回路、第3章高速AD変換回路、第4章10進計数回路とその応用、第5章電流切換形論理回路、第6章電流切換形集積回路の実用化実験、第7章直列電流路論理回路、結びよりなっている。

まえがきでは本論文の構成と各章の要点を説明している。第1章は超高速論理回路が必要となってきた背景とその性能の目標を説明し、本論文で考察する回路が動作遅れ時間にして数ns以下、クロック周波数で50MHz以上の特性をもつものでなければならないことを明確にしている。第2章では超高速論理素子としてトンネルダイオードを使用した論理回路について述べる。まず一般的な回路について説明した後、伝送線路を負荷にしたトンネルダイオード基本回路について、動作解析、回路構成、実験結果を示す。この回路は一端を接地した伝送線路を負荷として接合することにより線路の反射波による強制復帰作用を利用してトンネルダイオードのスイッチ作用を高速にするものである。動作原理を線路の反射係数による解析、位相面デルタ法による解析、計算機による波形の数値計算の3方法で解析するとともに、基本回路の実験を行なってその動作を確認している。その結果回路の動作速度は1段当たりの動作遅れ時間にして0.8ns、クロック周波数にして250～300MHzになり、本回路構成が高速回路に適していることを明らかにした。また応用例として二進計数回路を250MHz、シフトレジスタを150MHzで動作させてその特徴を例証している。第3章では他の応用例として前章で述べた基本回路を変形して構成した電圧比較回路の特性とこの電圧比較回路を使用して構成した高速AD変換回路について述べる。この電圧比較回路は基本回路の直流バイアス電圧のかわりにアナログ信号電圧と比較基準電圧の差電圧が加わるように変形したもので、スイッチングについては基本回路の高速性が保存されている。この電圧比較回路を枝状に配列した4ビット並列形のAD変換回路を構成し、最高サンプリング周波数100MHzを得ている。また実験ではAD変換回路と同時にDA変換回路も構成し、サンプリング周波数40MHz、直列信号の伝送速度200MHzの動作に成功し映像信号の符号化と復号化ができることを示した。さらに電圧比較回路の他の応用例として波高分析回路の実験を行ない、計算機に使用する磁気薄膜ブ

レーンの特性を高速に試験する試験装置に利用する方法を述べている。第4章ではトンネルダイオード高速二安定回路の応用例として2種類の超高速10進計数回路の構成と実験結果を示している。一つはリング形の計数回路で他はステップリカバリダイオードを併用した2進5進形の計数回路である。いずれも200MHzのパルスを直接10進計数できるもので、応用の目的はレーザ測距回路における送出パルスと反射パルスの間の時間間隔を量子化することである。この計数回路を使用することにより、測距精度1mまで直接計測して表示することが可能となった。測距装置を試作して良好な動作結果を得ている。

第5章では論理素子として電流切換形集積回路をとり上げる。この回路の動作はトランジスタ回路で知られているものなので、ここでは動作速度を向上させる要因として集積化されたトランジスタの性能、回路の動作条件、大規模集積化の有効性の3点について検討を加えている。超高速回路に使用するトランジスタの性能としてはトランジション周波数2GHz以上のものが必要であるが、このようなトランジスタを使用する回路では各種の浮遊容量や配線の長さの影響が大きく、トランジスタの性能を2倍改良しても回路全体の動作速度の改善は20%程度にしかない。このような現象を防ぎトランジスタの性能を充分利用するためには大規模集積化をはからなければならない。現状では1段当たりの動作遅れ時間が2~5nsであるが、上に述べた考慮を払うことにより遅れ時間1ns以下の回路も実現できることを理論的に示している。また基本回路はノイズマージンが小さいという欠点があるが、これにフィードバック回路をつけ加えることにより入出力特性にヒステリシスを生じノイズマージンの改善ができることを示し、用途によっては有効であることを示した。第6章では電流切換集積回路を実用する上での諸問題を解決するために加算回路と乗算回路の試作を行なった結果を述べている。動作遅れ時間4.0nsの集積回路を使用し、種々の多層プリント板を開発してバックパネルを使用したカード構成の実装試験をしている。回路各部の浮遊容量の影響や配線長による遅れ時間を検討し実験によって数値を確認した。得られた結果は加算回路の場合64ビットで52nsの加算時間、乗算回路では36ビット×18ビットで660nsの乗算時間である。この演算時間は実用計算機としては十分高速である。この実験で得られた資料はTOSBAC-3400電子計算機の中央演算処理装置の設計に活用されている。第7章では電流切換回路を変形した直列電流路切換回路を考案し、この回路の解析と実験結果について述べた。この回路は論理機能を増して動作時間を等価的にはやくすることを目的としたものであるが、その他にセル論理回路に応用すると高速セル論理回路が実現できる。加算回路の高速化とセル論理回路の構成を

示し、いずれの場合も初期の目的を満たしていることを確認した。

結びでは以上で得られた結果をまとめて、それぞれの回路素子に適した用途、超高速回路の将来の方向と研究課題について述べている。

ま え が き

本論文は超高速論理回路の実現手段、その動作特性、基本回路と応用回路の構成、実用化のための検討と実用化実験の結果などについて、筆者が昭和37年以来行なった研究結果を述べるものである。ここでとり上げた回路素子はトンネルダイオードと高速論理用の集積回路である。本論文の構成は第1章において超高速論理回路の背景を説明し、ここで考察する回路が段間おくれ時間にして数ns以下、クロック周波数で50MHz以上の特性をもつものでなければならないことを明確にする。またこのような超高速回路の必要性についても電子計算機の演算時間の進歩をもとに説明している。第1章で超高速論理回路の一般概念を述べた後、第2章以下で上に述べた2種類の素子を取りあげて議論をすすめてゆく。最初に超高速論理素子としてトンネルダイオードを使用した論理回路について述べる。すなわち第2章においては筆者が昭和37年から実験をすすめてきた伝送線路を負荷にしたトンネルダイオード基本回路の解析、回路構成、実験結果を示し、さらに応用回路例として2進計数回路およびシフトレジスタについて述べる。この回路の動作速度は段間遅れ時間にして0.8ns、クロック周波数で300MHzである。第3章ではトンネルダイオード回路の応用例として、第2章で述べた基本回路を変形して構成した電圧比較回路の特性と、この電圧比較回路で構成した並列形の高速AD変換回路について述べる。この変換回路は4ビット並列出力の場合最高サンプリング周波数は100MHzに達し、またDA変換回路を通したA-D-Aの一連の実験ではサンプリング周波数40MHzを得た。さらにトンネルダイオード電圧比較回路の別の応用例として波高分析回路の実験を行ない、これを磁気薄膜プレーン試験装置に利用することを述べている。第4章ではトンネルダイオード回路の他の応用例として2種類の超高速10進計数回路の実験結果を示す。これは200MHzのパルスを直接10進計数できるもので、応用の目的はレーザ測距回路における送出パルスと反射パルスの間の時間間隔を量子化することである。この計数回路を使用することにより、測距精度を1mまで直接計測して表示することが可能となった。以上の3章は論理素子としてトンネルダイオードを使用した回路について基本回路から応用例に到るまでを述べたものである。この結果からトンネルダイオード回路は一般の論理回路として使用することは実用上利点が少なく、むしろこの応用例で扱ったような電圧比較回路、計数回路、パルス発生回路、パルス整形回路、分周回路等を使用して計算機の特種な論理部、測定器、通信装置の一部等に利用するのがよいことがわかった。

次に第5章以下では電流切換形の論理回路について述べる。これは基本的にはトランジスタ回路であるが集積化された回路を中心にして考える。まず第5章では電流切換形論理回路の基本回路の性質より、動作速度を向上させる要因として、トランジスタ自体の性能、回路の動作条件、大規模集積化の有効性の3点について検討を加えている。その結果回路動作が超高速になるとトランジスタの性能の改善よりは配線長や周囲の浮遊容量などの改良の方が必要になり、その意味で大規模集積回路が注目されてくる。またこの章ではフィードバック回路をもつ電流切換ゲートの動作をしらべ、ノイズマージンの改善ができることを明らかにした。第6章では電流切換形の集積回路を実用する上での諸問題を検討している。ここではTOSBAC-3400電子計算機の中央演算処理装置をつくるためのデータを得る目的で、加算回路と乗算回路を試作して動作させた結果を述べている。また部品や配線なども実用品を考えている。本章の結果は前記計算機の設計にとり入れられた。第7章では電流切換を多段に行なうように変形した直列電流路切換回路を考案し、この回路の解析、実験結果、応用例等について述べている。この回路は電流切換回路の動作時間を等価的にはやくすることを目的としたものであるが、その他にセル論理回路への応用も可能である。応用例としては加算回路の高速化とセル論理回路の構成について示し、いずれの場合にも初期の目的を達成していることを確認した。結びでは以上の諸章をまとめて将来の超高速回路の方向を考察している。将来ともトランジスタ論理回路が主役をはたすことは変わりがなく、ただその形は中規模の集積回路化した基本ブロックを相互に結線したハイブリッド形の集積回路になるものと考えられる。これには製造技術の発達を伴うことが必要であるが、現在の集積回路技術の進歩より見れば近い将来可能になることは確かに思われる。

第1章 超高速論理回路研究の背景

本論文は超高速論理回路を実現する手段とその動作特性について述べるものである。そこでまず超高速論理回路に対する一般的な背景を説明して、考察する対象を明らかにしよう。超高速論理回路とは文字通りその動作速度が現在使用されている高速度の論理回路よりさらに数段上に位するものでなければならないのは当然である。しからばその比較の土台になる現在実用されている高速論理回路とは、いかなる速度範囲の回路を指すものであるかを考えると、これを正確に定義づける数量的記述を見つけることは不可能と云える。高速と云う表現は相対的なものであり、その時期に一般的に使用されている素子によって構成される回路の動作速度よりもはやい速度で動作するものは、その原因が新しい素子の使用または従来の素子の改良にあり、回路の新しい構成法にありとにかく高速回路と総称される。したがってここで考えようとしているように、素子の動作速度に重点をおいてある論理回路が高速論理回路であるか否かを論ずる場合には、その時期の最も一般的な回路の動作速度を明らかにしなければ意味がない。そしてこの一般的な回路の動作速度自身が技術の進歩に伴って年と共に上昇してきている。単純にトランジスタスイッチ回路を考えても、1950年代末期のゲルマニウムトランジスタ回路と1960年代前半の初期のシリコンメサトランジスタ回路、1965年以降のシリコンエピタキシャルトランジスタ回路を比較してみれば、その性能の進歩は明瞭であろう。このような理由からここで用いた一般的な回路と云う表現がいささかあいまいなものではあるが、目やすとして一般的に市販されているスイッチング用トランジスタの動作速度を考えれば、その時期の平均的な論理回路の動作速度をあらわす基準と見なしても良いと思われる。

図1.1はD. A. T. A. S⁽¹⁾によって調べた米国における新規に登録されたスイッチング用トランジスタのうちから特性のよい代表的なものをえらんでトランジション周波数 f_T およびターンオン時間の向上を示した図である。トランジスタの高周波での特性の目やすとなる f_T はここ数年の間に400MHzから1600MHzとほぼ1GHzほど向上し、市販品のうちでも特別のものは2GHzをこえている。さらに実験的には数GHzのものも試作されている。またスイッチ時間の目やすとしてターンオン時間の変化を見ると20nsから数nsまで減少し1nsに達するのも時間の問題と思われる。これより f_T が1GHzをこえるトランジスタは普通のことになりつつある様子がわかる。このようにトランジスタの性能は着実に向上して居り、またこれを使用する回路形式も電流切換回路の実用など進

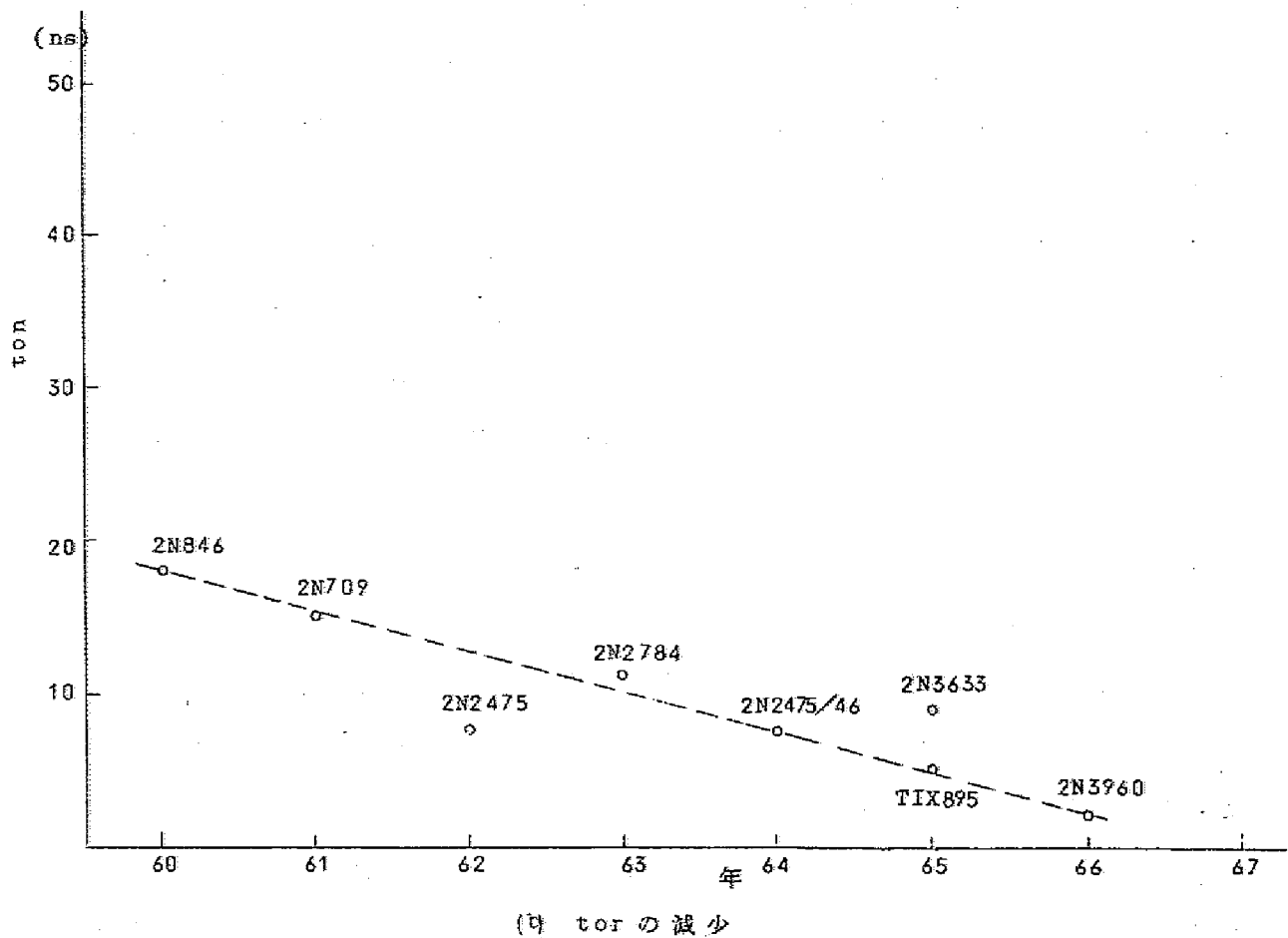
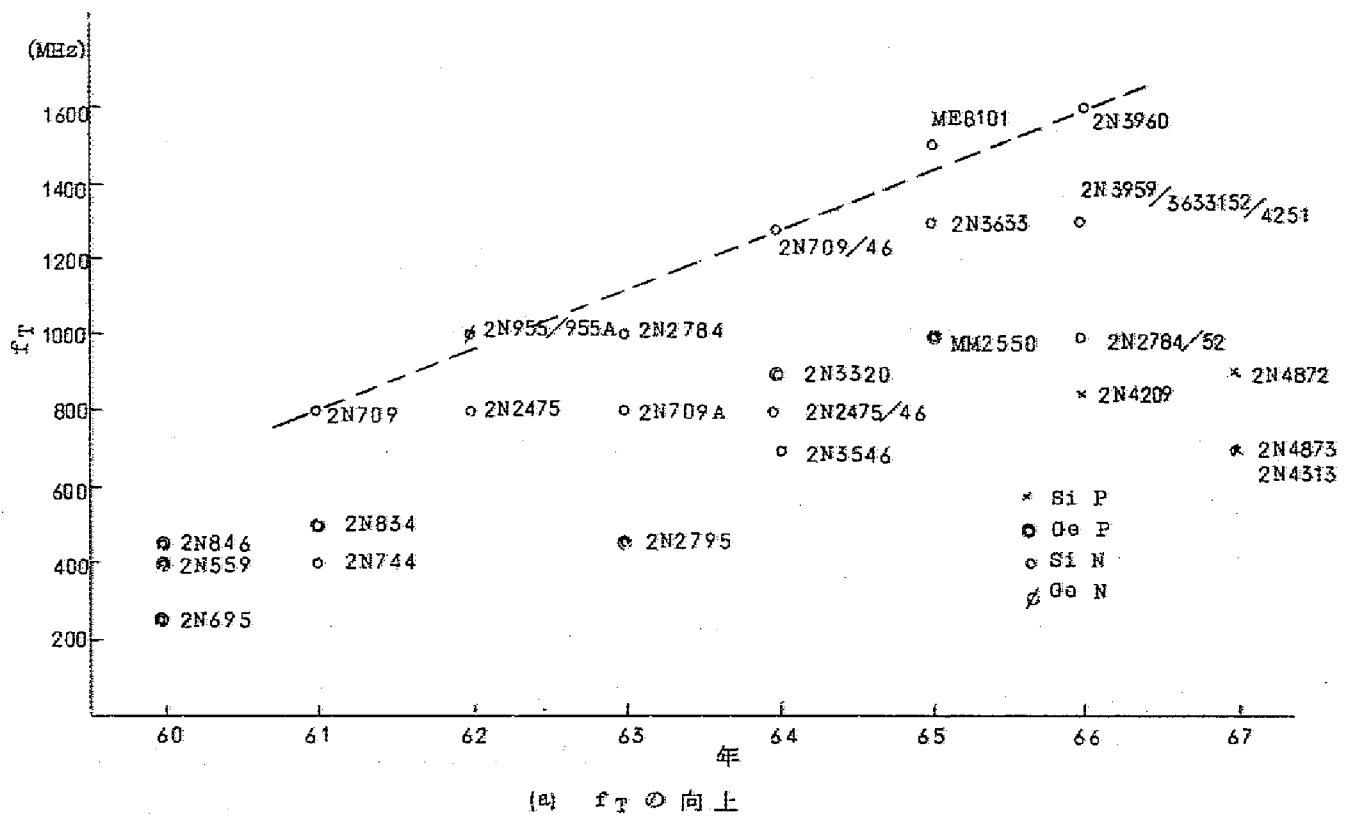
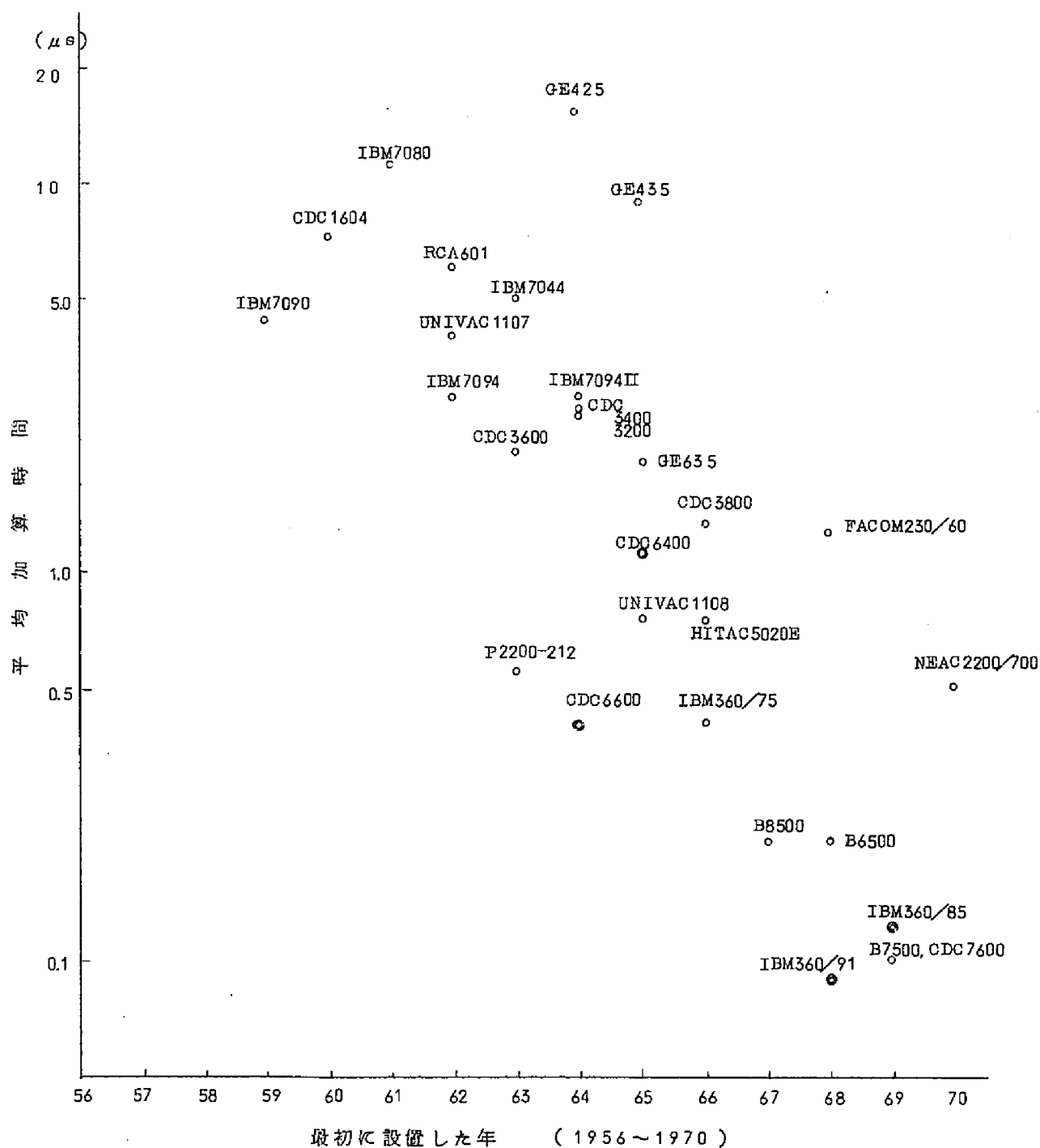


図 1.1 米国におけるトランジスタの性能の向上 (D.A.T.A.S による)

歩しては居るがそれでもなお限界がある。現在のところこのようなトランジスタで実現出来る動作速度は段間の動作遅れ時間で数 ns 前後、カウンタで 50 MHz 程度であり、これより速いものをつくることは相当にむずかしくなる。そこでこのような現状を念頭において超高速回路を考えるとすれば、その回路は段間おくれ時間は数 ns 以下、クロック周波数で云うと 50 MHz 以上の特性を持たなければならない。本論文で述べる超高速回路はこの範囲に入るものを指している。

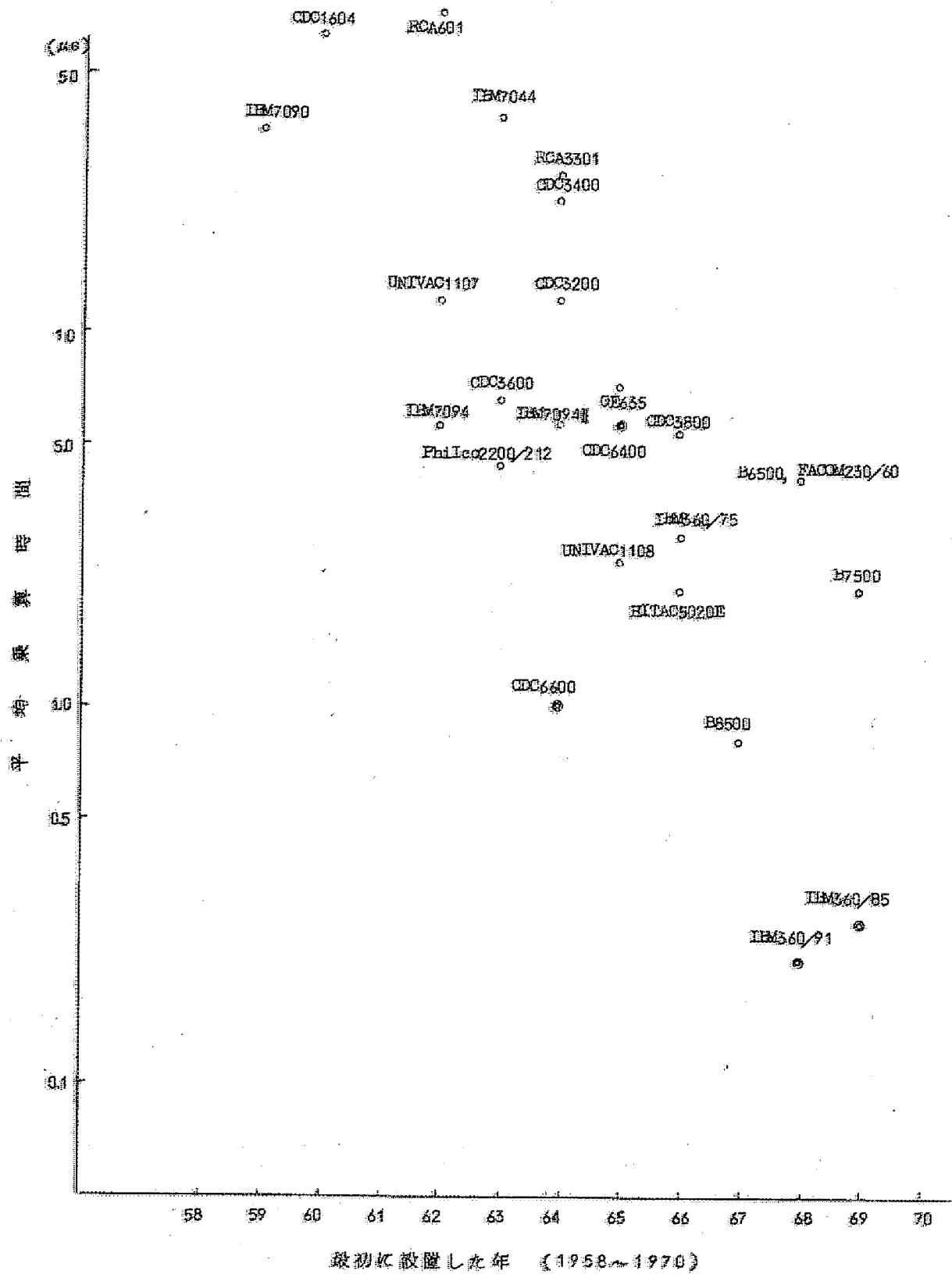
それではこのような超高速回路はなぜ必要かまたどのようなところに応用されるかと云うことについて筆者の考えるところの概略を述べる。論理回路の最も代表的な応用例は云うまでもなくディジタル計算機である。計算機の性能が年と共に進歩してきたことは誰でも認めるところであろう。計算機の性能を何で示すかはむずかしい点であり技術的見地と経済的見地では若干評価が異なる。経済的には performance / cost の最大のもののいわゆるバランスのとれた計算機が一番性能の良いことになるが、技術的にはある注目した部分例えば演算回路、記憶装置、周辺機器などの金物やマルチプロセッシング、タイマリングなどの方式の問題、更にはプログラムシステムなどについて性能の優劣が論じられる。ここでは本論文の主旨から見て中央演算処理装置における演算速度を考えるのが一番目的に合致していると思われるので、計算機の性能として演算時間をとって考える。図 1, 2 は計算機の演算時間特に加算時間、乗算時間がどのように進歩して来たかを示すグラフである。⁽²⁾ 勿論個々の計算機においては高速化のためのシステムの考慮がはらわれているので、この演算時間の短縮がすぐに素子の高速化を意味するものではないが、しかしこの傾向を保って速度が向上するとすれば当然素子の高速化なくしては達成出来ないわけである。この事は例えば 2 進加算回路を考えた場合、Carry Look Ahead をするにしても常にゲート回路の伝播遅延時間の数倍ないし十数倍の時間がかかることを考えれば理解出来ることで、素子の高速化は計算機において要求される常に新しい問題と云える。

高速論理回路の他の応用として現在注目を集めているのは超多重 PCM である。超多重 PCM 端局で高速パルス回路を必要とするところは同期多重化装置、高速符号器、タイミングパルス発生器などであるが、これ等には 200 MHz のクロックを扱うことが考えられている。使用する素子や回路方式については今だ内外で研究が行なわれているところであるが、高速論理回路の生きる大きな分野の一つであることは明らかである。他の一つの分野として各種の測定器がある。これは電子計算機や PCM ほど話題をよばないしまた規模も小さいが、高速パルスを利用することにより測定精度の向上や測定時間の短縮がはかられる。



(a) 加算時間 (○固定小数点, ◎浮動小数点)

図 1.2 電子計算機の演算性能の向上⁽²⁾



(b) 乗算時間 (○固定小数点, ◎浮動小数点)

この分野では主としてパルスの計数による時間間隔の量子化とパルスの整形が当面の問題である。また測定とは少し異なるが高速 A/D 変換回路も各種の測定器，計算機，PCM 通信に欠くことの出来ないものである。

以上に述べたように超高速論理回路は将来の電子工学に欠かせぬ技術であり，また日進月歩の技術の一つである。そしてこれは主として半導体素子の進歩によっている。超高速論理回路の問題は常に性能の良い素子，その素子の使い方例えば論理の方式，装置を構成する時の実装方法にある。従来のトランジスタ回路の進歩は先に述べたが，これには限界があるように思われる。それは主として実装の方法によるものであり，個々のトランジスタが個別の容器に入っている限りリード線のインダクタンス，浮遊容量，配線による遅れなどのために回路の動作はトランジスタの性能以外の要因によって限定されるからである。

この様な状態のところ集積回路が登場した。集積回路の最初の狙いは別に高速回路に利用することではなかったが，この技術は個別トランジスタ回路によって予想されていた各種の困難を解決する有力な手段を供給することが明らかになることによって，集積化された高速論理回路の研究はにわかに盛んになり，電流切換形の論理用集積回路は現在実用品でもすでに個別トランジスタ回路をぬくまでになり，実験回路ではすでにはるかに優れたものが発表されている。この集積回路はシリコンモノリシック回路であるが，これに対して従来の個別部品回路の考え方に集積回路と共に発達した回路の小形化の技術を利用したハイブリッド回路による高速化がほぼ並列して現れて来た。これは蒸着抵抗やフェースダウンボンディングによるトランジスタの取り付けなどを使用するもので，モノリシック形と同じかまたはより高速になる可能性を持っている。現在のところではまだ両方法の優劣は確定していないが，恐らく将来は部分的なモノリシック集積回路をハイブリッド技術で集成する方法がとられるものと考えられる。

この様なトランジスタを能動素子とする回路に対して 1958 年末にエサキダイオード（トンネルダイオード）が発表された。この発表時にはまだ超高速集積回路技術が確立されていなかったもので，個別トランジスタよりはるかに高速な能動素子としてトンネルダイオードは非常な注目を集め多くの研究が行なわれた。トンネルダイオード回路は超高速論理用集積回路に追われてはいるが，現在でもまだ速度の点では優位を保っている。しかしトンネルダイオードは必ずしも使いやすい素子とは云えないので，筆者は全てトンネルダイオードのみで構成される機器には疑問を持っている。結局トンネルダイオードとトランジスタはそれぞれ特徴を生かして共用され，トンネルダイオードはその高速性を必要とす

るところに使用しその周辺はトランジスタ（集積回路を含めて）で構成するのが一番良い方法であると思われる。モノリシック形集積回路ではトンネルダイオードを同じチップに集積出来ない欠点があるので、この点で外部から素子をつけ加えることの出来るハイブリッド形集積回路は有利であり、将来はモノリシック集積回路を含めた更に大きなハイブリッド集積回路になるだろうと云う先に述べた結論の一つの根拠になるものである。

第2章 トンネルダイオード論理回路

2.1 トンネルダイオード論理回路の形式

本節ではこれまで発表されたトンネルダイオード論理回路について概要を述べる。ここでは基本的な論理回路に焦点を絞り記憶回路，発振回路，増幅回路，特殊なパルス回路などは省略する。また応用回路については次章以下で扱うことにする。トンネルダイオードが発表されたのは1958年1月のPhysical Rev. 誌⁽³⁾である。論理回路に使用する研究は1959年頃より開始され，1959年7月のSommer, Jr.⁽⁴⁾の論文には1個のトンネルダイオードによる二安定回路を使用したスイッチ回路が述べられているが未だ動作原理の説明にすぎず，本格的なものは1959年10月に発表された東大超高速計算機研究会の論文⁽⁵⁾および同年12月のEJCCにLewinの発表した論文⁽⁶⁾による。前者はエサキダイオード対回路を提案し，これが3相励振多数決論理回路を構成することを述べている。否定回路はトランス結合回路とするが時間おくれをふせぐためにシステム的には表裏2回路方式をとり，否定の不要の場所では1回路方式のみとする。計数回路の実験では17組のシリコンエサキダイオード対回路を使用し1MHzの正弦波3相励振を行っている。この方式で数十MHzの計算機が可能であると予想して注目された論文である。後者には負性抵抗を持つ2端子素子による論理回路の一般論とトンネルダイオード回路の具体論が述べられ，単一ダイオード形式，対回路形式，3相励振による信号の方向性をとる問題などの回路形式およびAND/ORゲート，Inverter，Exclusive OR，Full Adder，Dynamic Flip Flopなどの具体回路が論じられている。実験例としては27個のトンネルダイオードを使用したサブシステムを1MHz 3相矩形波で動作させている。この時のスイッチ時間は50nsである。この両論文はトンネルダイオード論理回路をはじめて本格的に研究した点で重要であるが，動作速度から見るとまだ初歩の段階である。

1960年から61年にかけて多くの論文が発表されたが，この時期のものは基本回路の解析および論理回路の新しいより複雑な形の試みに重点がおかれ，今だ高速のサブシステムの実験報告は見当らない。これはトンネルダイオード回路の動作余裕度が小さいことが明らかになり，また3相励振による方向性も高い周波数ではむずかしいことによると思われる。そのため必然的にトランジスタと結合する方法が取り上げられ検討された。Chow⁽⁷⁾は単安定回路と対回路の許容回路変動をダイオード特性を理想的として直線近似により検討し図2.1のような結果を得た。これより単安定回路ではトンネルダイオード特性の変

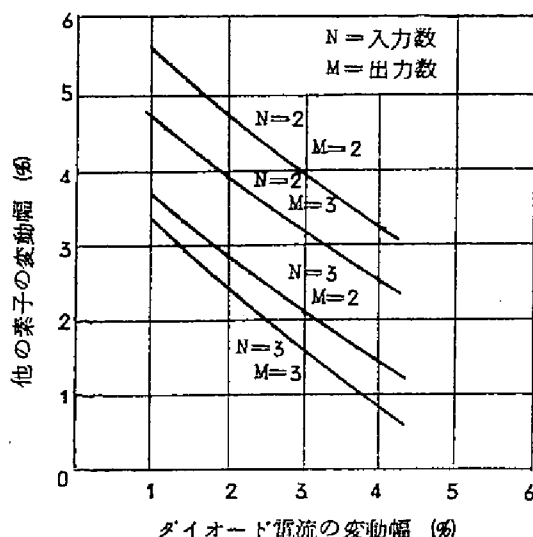


図 2.1 ファイン、ファンアウト数と回路常数

変動幅の関係

動と他の部品の変動は、ファインおよびファンアウトの合計を5としてそれぞれ3%程度にしなければならない事を示した。また対回路では同様な計算により図2.2のように両ダイオードの電流値を2%にすると部品精度は約8%とれるので、この点では対回路の方が有利であるが対のダイオードを選定することによって実際上問題があるとしている。実験では

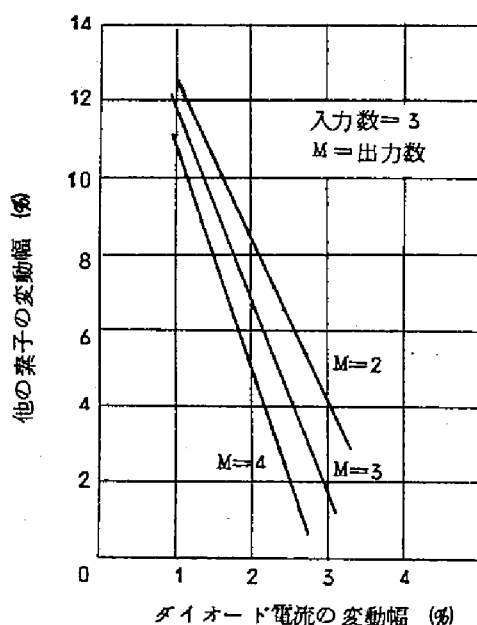


図 2.2 ダイオード電流の変動幅と部品

精度の関係(対回路)

3 MHz のシフトレジスタ(図2.3に回路を示す)、カウンタを動作させているが動作速度

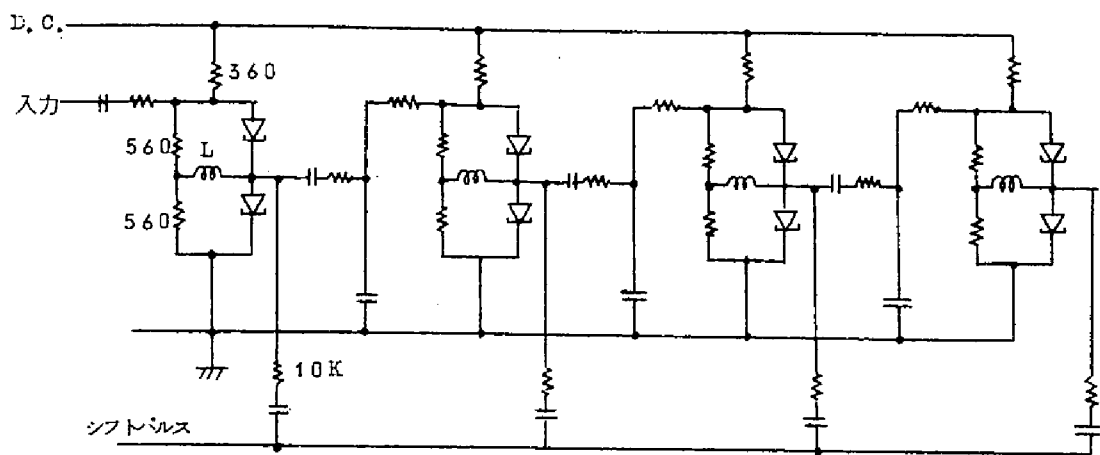


図 2.3 Chow のシフトレジスタ回路

はまだ低い。また Bergman⁽⁸⁾ は 単一形の単安定回路のスイッチ時間をダイオードの特性を直線近似して計算した。この考えは以後の計算方法のもとになっているが、後の論文にさらにくわしく論ぜられているのでそこで説明する。Neff⁽⁹⁾等の論文はトンネルダイオードに通常のダイオードまたはトランジスタを結合した回路の有利性を論じている。トンネルダイオードとトランジスタを結合する提案は前年に出ているが、ダイオード特性（トランジスタの場合はベースエミッタ間特性）が曲線の負荷線をつくり山と谷の近くに二つの安定点を設定出来ることを利用して、信号の方向性、ファンインとファンアウトの分離、回路常数の余裕度の増加など利点が得られることを説明し、回路方式の実例を出しているのはこの論文が最初である。唯トランジスタと結合する方式の欠点は動作速度がトランジスタで定まる点にある。図 2.4 のエミッタ接地のトランジスタによるセットリセット二安

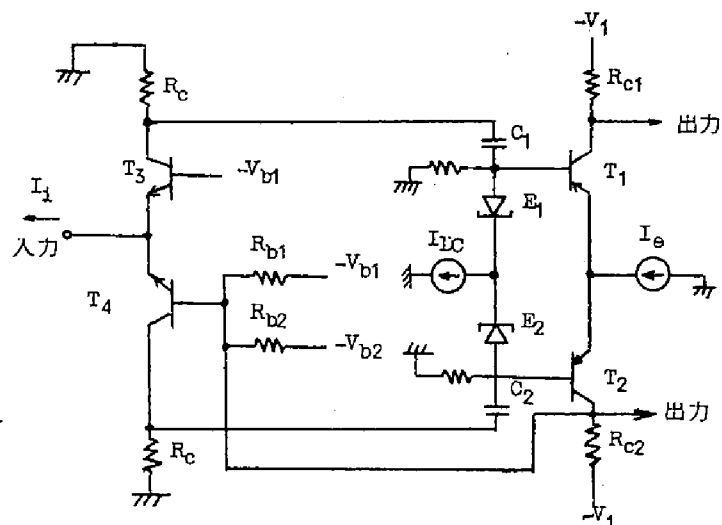


図 2.4 トンネルダイオードとトランジスタを結合した 2 進計数回路

定回路を使用した2進計数回路をドリフトトランジスタを使用して15MHzで動作させた。Goto⁽¹⁰⁾ 他は文献(5)ではシリコンのダイオードを使用したのに対して、同一回路にゲルマニウムトンネルダイオードを使用して30MHzの対回路方式のダイナミック形2進カウンタを動作させた。図2.5にはこの回路を示す。

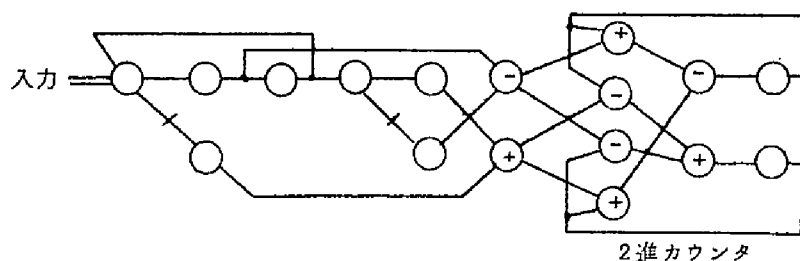


図2.5 対回路方式ダイナミック形2進カウンタ

1961年のISSCCにはエミッタホロワを使用する方式がHarrisonとFoote⁽¹¹⁾ およびTurnbull⁽¹²⁾ から提案されている。これはトランジスタを結合する方式ではトランジスタのスイッチ特性によりトンネルダイオードの高速性が殺されるため、動作遅れ時間の一番小さいエミッタホロワに注目したもので、特に前者の論文ではトンネルダイオードのパルスエミッタホロワによりパルス分配とインピーダンス変換を行い、パルストランスと線形トランジスタ増幅回路により反転と増幅を行う形式について述べている。実験例では図2.6に示す回路により3段の2進計数回路は100MHz、10段のリングカウンタ

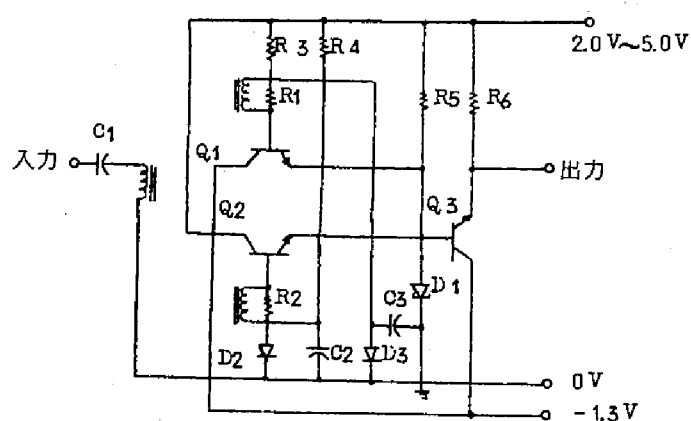


図2.6 トランジスタとパルストランス結合方式による
トンネルダイオード2進計数回路(1段)

は45MHzで動作している。またAmodei⁽¹³⁾等はトンネルダイオードをベース接地トラン

ジスタと結合し、トンネルダイオードの電流増幅性とベース接地形の高速性を利用する回路を提案した。論理は抵抗結合による電流和方式で、トランジスタは飽和させることにより出力電圧レベルが確定し同時に信号の方向性を与える。図 2.7 は基本回路であるが、トラ

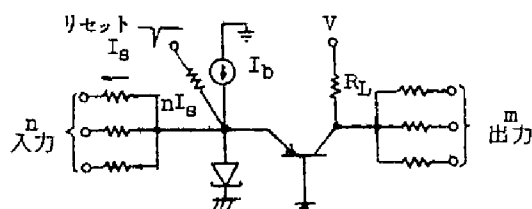


図 2.7 トンネルダイオードとベース接地トランジスタ

を使用した基本回路

ンジスタに 2N769 を使用し出力の立上り時間は 2 ns ,OR ゲートの段間おくれ時間は 3 ns 程度である。この回路はトンネルダイオードのスイッチにより電流路の切り換えを行っていると考えられるので、レジスタ、カウンタ、加算回路などを構成することが出来る。図 2.8 は Full Adder の例でトンネルダイオードが低電圧状態の時は下のトランジ

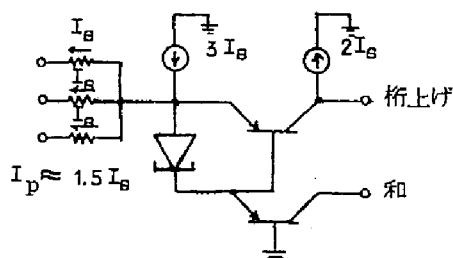


図 2.8 トンネルダイオードとベース接地トランジスタ

を使用した全加算回路

スタが導通になり、高電圧状態にスイッチすると上のトランジスタが導通することを利用している。Carry の遅れは約 3 ns である。Heiman⁽¹⁴⁾ は AND 入力をもつ 2 安定回路をリングに結線し入力はいずれに並列に加えるリングカウンタを実験した。図 2.9 は 1 段の回路を示している。i 段目のトンネルダイオードの出力をトランジスタを通して i-1 段目の 2 安定回路のリセット入力に使用する。トランジスタに 2N769 を使用して入力パルスの分解度は 8 ns である。また 100 MHz 正弦波入力でも動作した。解析の方では Gummel 等⁽¹⁵⁾ が OR ゲートのマージンを詳しく論じ、また Kaupp と Crosby⁽¹⁶⁾ が対回路の動作を、

Schuller と Gartner⁽¹⁷⁾ が単一形の回路を計算機を使用して解析した。特に後者では従

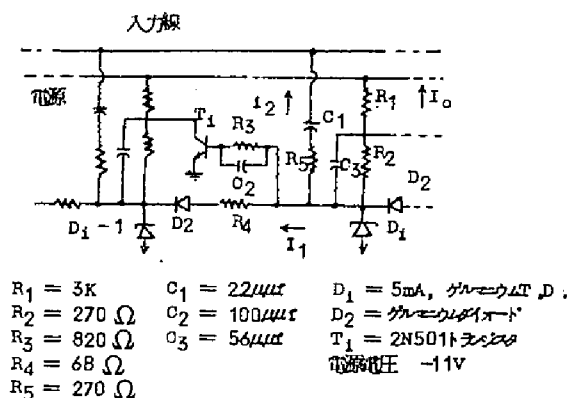
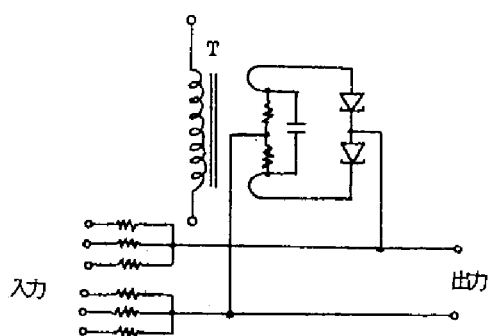


図 2.9 Heiman のリングカウンタ回路

来トンネルダイオードの特性を直線近似していたのに対して、計算機で非線形微分方程式を解くことにより発振回路とスイッチ回路を解析して回路の直列インダクタンスや接合キャパシタンスの大きさと回路動作点およびトリガ入力の大きさの関係を定量的な計算で示し、2安定回路のスイッチングにはセパトリクスと名づけたトリガ入力の限界特性があることを述べている。なおこの時期に動作速度は遅いが対回路の改良形が提案されて試作装置が動作している。これは対回路における否定回路を容易にするため図 2.10 に示すよ



2.10 無接地形対回路

うな無接地形回路⁽¹⁸⁾にしたものである。励振側中点とダイオード対中点間に信号を加えるもので否定演算は結合線を交差させれば良いと云う利点をもつ。直流バイアスはトンネルダイオードの非直線性を利用してオートバイアスによりつくっている。この回路を約500個使用したパイロット計算機が10MHzのクロックで動作した。⁽¹⁹⁾⁽²⁰⁾ また対回路のスイッチ特性を改善するため適当な直列抵抗を付加した複合対回路⁽²¹⁾も提案された。

1962年から63年にかけては100MHz以上の動作速度をもつ基本回路およびサブシステムの実験が多く発表され最盛期を示した。その中で特徴のあるものをあげる。まず1962年のISSCCに発表された論文では、Peil等⁽²²⁾がベース接地形のトランジスタとトンネルダイオードを2相で励振する回路PTDTLを実験し500MHz正弦励振波で動作させた。トランジスタは入力回路間の分離と信号の方向性を与えトンネルダイオードが増幅とthreshold論理を与える。トランジスタの種類とダイオードおよび電圧の極性により負入力で正出力(NIPO)と逆極性の正入力で負出力(PINO)回路が構成できる。従って正弦波の半相づつ信号を伝播出来るので1GHzの伝播速度が得られる。図2.11の

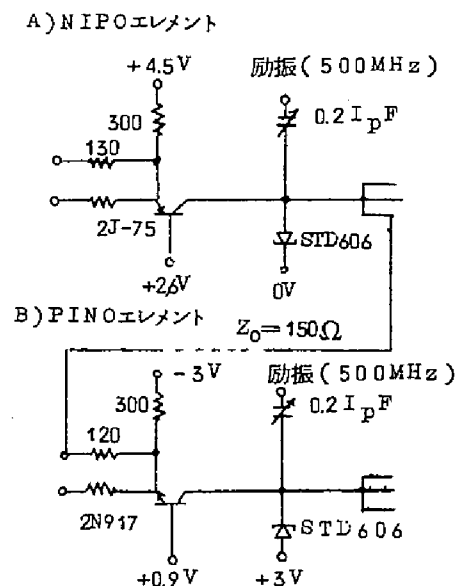


図2.11 NIPOおよびPINOエレメントの基本回路

NIPO回路で入力がない時はトンネルダイオードはトランジスタを流れる電流によって山の附近にバイアスされ励振入力の正の半サイクルでスイッチする。負の入力があるとトランジスタの電流が減少するのでダイオードはスイッチしないからNOR動作を行う。本来NOR回路があれば全ての論理回路が構成出来るのであるが、この回路は信号パルスが反転するのでサブシステム回路構成にはトランス回路が必要となる。Hwang⁽²³⁾等により動作余裕度などが検討され、実験的には直列の2進加算回路が200MHzで動作している。Axelrod⁽²⁴⁾等はBalanced Inductor Logical Element(BILE)およびBalanced Line Logical Element(BLLE)を提案した。両者の違いは前者が集中常数のインダクタンスを使用するのに対して後者は遅延線路を使用することにあるが、基本的な考え

方は同じなので後者について説明する。この回路は図 2.12 に示すように対回路方式の一種で、トンネルダイオード対に直列に 2 個の線路をつけ、その先端から直流を重畳した電源を供給する。論理は中点に結合された入力抵抗による多数決論理で信号の方向性は 3 相励振法を使用する。この回路が通常の対回路に対してつ利点は交流電源振幅が小さくか

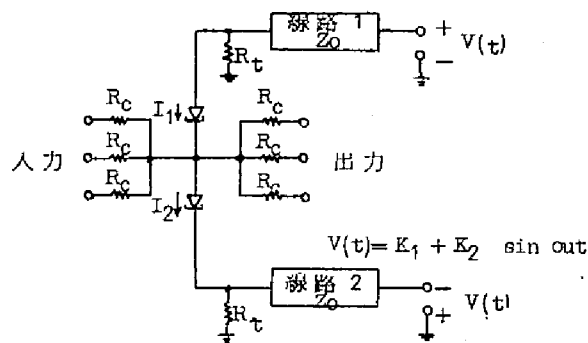


図 2.12 B L L E 基本回路

つ変動が大きくても良いこと、出力パルスの頭部が平坦になるので信号の位相問題が楽になること、共通の電源につながるゲート間のスイッチングによる電源まわりの影響は伝搬時間だけ遅れるので實際上ゲート動作に影響しないこと等である。伝搬時間を 1 ns とし $I_p = 5 \text{ mA}$, $C = 5 \text{ pF}$ の Ge TD を使用するとパルス繰り返し周期は 125 MHz が得られる。出力波形の解析と簡単な Full Adder の実験が述べられている。Bargman⁽²⁵⁾ 等は逆ダイオード（バックワードダイオード）を段間結合に使用した回路を発表した。この方法の狙いは大きく 2 つある。その 1 はスイッチ速度をはやくするためには回路のインダクタンスを小にしなければならないが、インダクタンスを小にすると不要の回路に流れる信号電流を阻止することがむずかしくなりトリガ効率が悪くなって、動作余裕、電流利得が減少し大きなトリガ電流を必要とする。この欠点を除き非直線負荷線をつくるために逆ダイオードの非直線負荷線を利用する。その 2 は信号の方向性をうることである。図 2.13 は OR 回路の例、図 2.14 は非直線負荷線の説明である。最初の段は論理を行い第 2 段は必要な出力電流を供給するための電流増幅段である。入力数は最大 5, 出力数は最大 3 で設計上では各入力出力端子電流共 8 mA としている。実験結果は入力電流 7.4 mA min (1 端子当り, 以下同じ), 出力電流 10 mA , 遅れ時間 0.7 ns , くり返し 200 MHz である。同様の考えで AND 回路が構成出来る。またフリップフロップ回路は図 2.15 に示すようにセット増幅回路, インバータドライバ, インバータ, 2 安定回路の 4 ブロックより

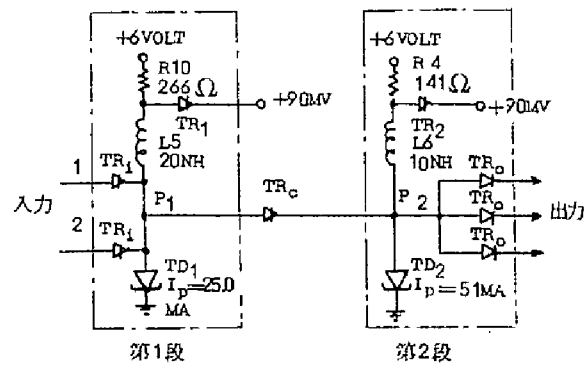


図 2.13 逆ダイオード結合を使用した OR 回路

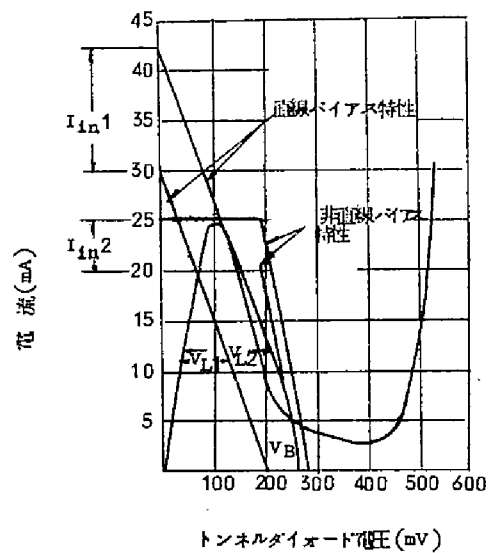


図 2.14 直線と非直線負荷線の比較

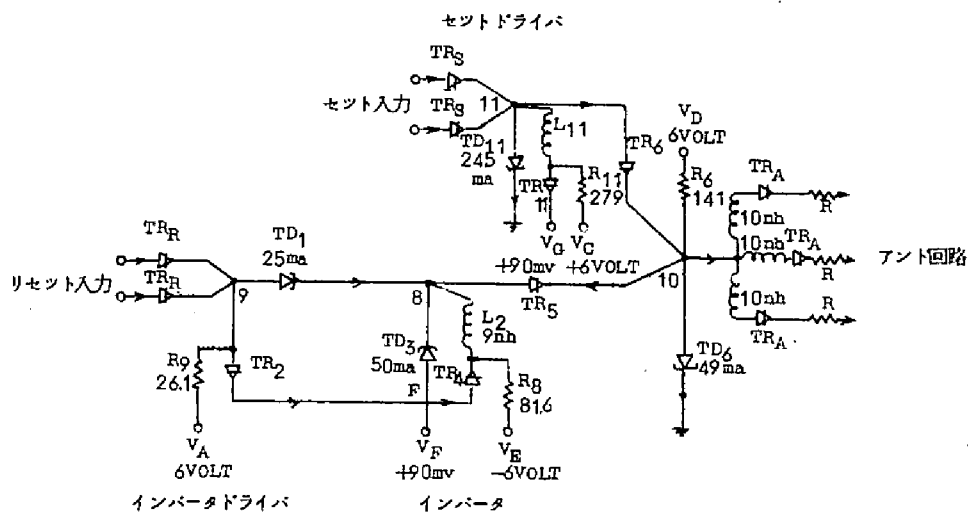


図 2.15 図 2.13 の基本回路を使用したセットリセット形フリップフロップ

構成され、特にリセット回路は正極性パルス信号から負極性のリセットパルスをつくり2安定回路をリセットする方式をとっている。したがってSR フリップフロップに4個のトンネルダイオードを使用している。この論文ではこれ等の回路の動作原理、動作余裕度、波形ひずみが検討されている。対回路に関しては Herzog⁽²⁶⁾, Miller と Powlus⁽²⁷⁾, Gibson⁽²⁸⁾等が相次いで解析と実験結果を発表した。これ等の論文では回路パラメータのスイッチングに与える影響、スイッチング波形の解析、動作余裕度、電源供給方式、段間結合の方法、ダイオードの実装方法などが検討されている。特に Miller と Powlus の実験では3段のリングカウンタ(13個の $I_p = 50\text{mA}$ Geダイオードを使用)が150MHzと450MHzで動作している。この実験ではダイオードの実装方法が特に工夫されている。Beck と Brumm⁽²⁹⁾は対回路を使用したDDAを発表した。ここで使用した回路は通常の対回路ではなく谷電流スイッチ形の1端接地回路である。したがって信号は1極性のパルスになり結合回路には不要の干渉を除くために逆ダイオードを使用している。励振は3相正弦波を使用し論理の基本は多数決論理である。1端接地のため励振回路は1回路ですむので簡単になり変動の問題も軽減される。この様な基本回路を使用したDDAを構成したが、使用したトンネルダイオード数は158、逆ダイオード113、トランジスタ30で100MHzで動作させている。この他に Smith と Pohm⁽³⁰⁾のトランジスタインバータの速度をあげるためにトンネルダイオードを利用する方法、Esaki⁽³¹⁾のトンネルダイオードのスイッチを解析した論文などがある。また Thompson⁽³²⁾は高速計算機用の一般論理回路素子としてはトンネルダイオードはシリコンプレーナ技術に追いつかれるであろうと予想した論文を発表している。

1963年にもいくつかの論文がでた。Searは2安定回路から直接出力をとると出力電圧および電流値の変動により動作余裕度が小になる欠点があるので、これを定電流切換形にした回路を提案した⁽³³⁾。図2.16はOR, AND回路の例であるが、入力があれば電流 I_{in} は D_1 を流れるので逆ダイオードBDを逆バイアスしトンネルダイオードは低電圧状態にとどまり出力はアースレベルになるが、入力が低いレベルになると D_1 がオフとなり I_{in} はBDを流れるのでトンネルダイオードがスイッチし出力は低いレベルになる。入力電流は前段の出力電圧の変動に影響されることが小になり動作余裕度がとれる。クロック周波数135MHzの実験が行われ段間遅れ時間は1nsである。Sear等はまた電荷蓄積ダイオードとトンネルダイオードを結合する方法を提案した。⁽³⁴⁾⁽³⁵⁾これは前の定電流切換えの考え方を基礎としてトンネルダイオードのファンアウト特性と動作余裕度を改善するた

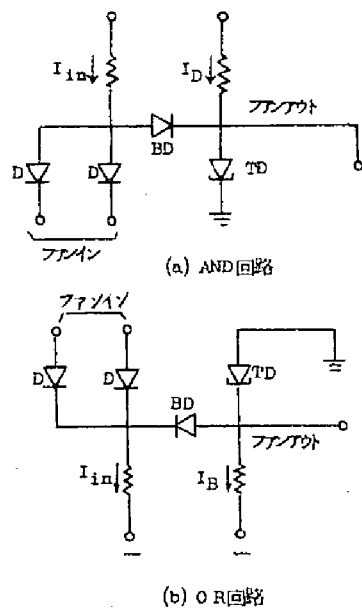
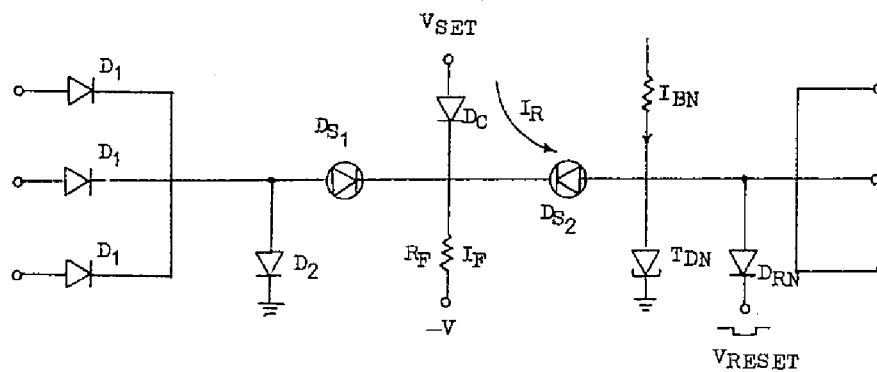
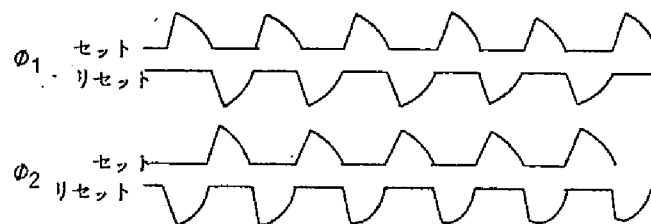
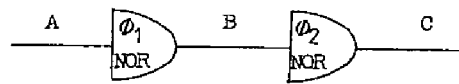


図 2.16 定電流切換形のトンネルダイオード AND-OR 回路

めに，トランジスタを結合する方法をとるとトランジスタの特性により動作速度がおさえられ利点が少ないことをさけようとしたものである。電荷蓄積ダイオードは Charge transformer の特性をもつので短い時間に大きな出力電流をとることが出来，高周波で電流増幅素子として使用出来る。図 2.17 は NOR 回路の例で D_S は電荷蓄積ダイオードである。トンネルダイオードがリセットされている状態で入力電圧が高い時には電流 I_F は D_1 を通して流れ D_S を逆バイアスにするので，セットクロックパルスが加えられても D_S からは障壁容量をめぐる小量の電流しか流れずトンネルダイオードはリセット状態にとどまっている。入力電圧が低い時には I_F は D_S を通して流れるので電荷が蓄積され，セットクロックパルスが印加されると逆電流 I_R がトンネルダイオードに流れこみスイッチさせる。 D_S の特性よりこの時の電流利得は 14 倍 (125 MC) ~ 7 倍 (250 MC) にとることが出来るので動作余裕度，ファンアウト共に大にすることが出来る。トンネルダイオードは D_R を通して負のリセットパルスによりリセットされる。論理段の構成は図示のように 2 相励振方式をとり，セトリセットは半周期ずれたパルスを使用する。この回路を 150 個使用したシステムがクロック周波数 125 MHz, 250 MHz で動作している。動作余裕度が検討され他の回路に比べて 10 倍の改善が得られており，回路の小形化により更に高速も可能である。Cooperman は先に発表した回路を改良して 300 MHz 論理回路を出した⁽⁶⁾。この回路の特徴はトンネルダイオードに対して必要なバイアス特性を与えるため



(a) NOR回路



(b) 2相タイミング

図 2.17 トンネルダイオードと電荷蓄積ダイオードによる回路

にトンネルレジスタを使用していること、段間の伝送線路にトンネルレクチファイアによる終端回路を使用したことである。図 2.18 は OR 回路の例であるが、トンネルレジスタが低い電圧範囲で動作するので電源電圧を 250 mV にすることが出来、各段の消費電力を小に出来る。段間をトンネルレクチファイアで結合するのは前の場合と同じ考えである。この OR ゲートはファンイン 5, ファンアウト 6, 平均段間遅れ時間 0.5 ns, 消費電力は 57 mW である。このように単安定回路にトンネルレジスタを使用することにより, AND 回路やセットリセット形 2 安定回路も構成出来る。40 個のゲートを使用した 5 段シフトレ

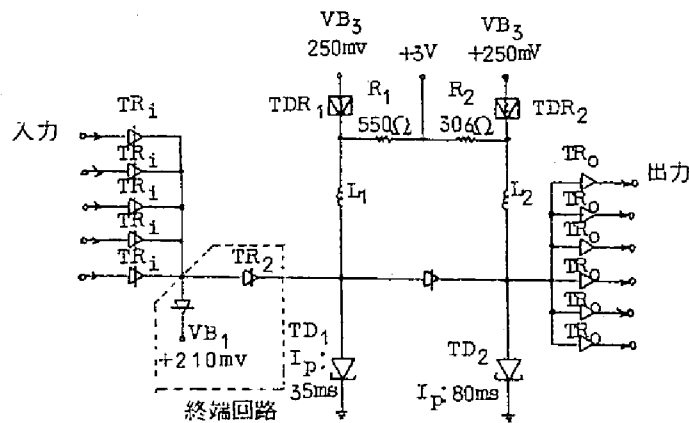


図 2.18 トンネルレジスタを使用したトンネルダイオードOR回路

ジスタが300MHzで動作した。なおスイッチング波形，動作余裕度，段間結合の伝送線路の問題が検討されている。トンネルダイオードとトランジスタの結合回路ではAmodeiとBurns⁽³⁷⁾によってカウンタとレジスタが実験された。基本回路は図2.19に示すように

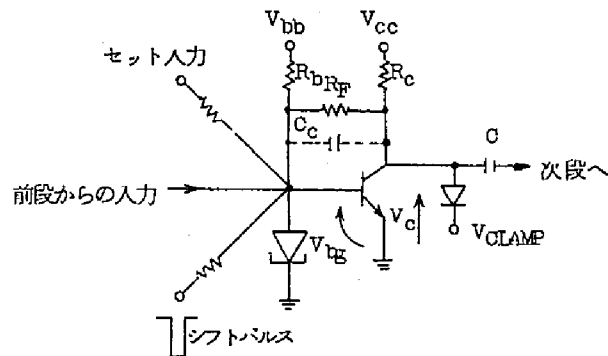


図 2.19 トンネルダイオードとエミッタ接地トランジスタ
を使用したレジスタ基本回路

2安定トンネルダイオードの記憶機能とエミッタ接地トランジスタの増幅性を使用している。ここに R_F はトランジスタが飽和状態になった時過剰のベース電流が流れるのを防止し，トランジスタの蓄積時間を小にしてリセットのための電力を減らすことを目的としている。図示のようにトンネルダイオードはセトリセット形で情報はダイナミック読み出しを行っている。低電圧状態のダイオードバイアス電流は R_b と R_F より供給され，前段からの入力（または外部セット端子入力）で高電圧状態にセットされる。シフトパルスは負

パルスでリセット動作を行う。したがってトランジスタはオンからオフになり、この時のコレクタ電圧の上昇がコンデンサを通して電流パルスとなり次段をセットする。確実に情報を伝えるためにはパルス電流の振幅とタイミングが適当でなければならない。実験では8ビットリングカウンタを100MHzと180MHzで動作させている。次にシフトレジスタは幾つかの動作の組み合わせになるのでカウンタより複雑になる。記憶機能には基本回路を使用し段間結合回路の選択により変形が考えられる。結合回路としてリアクティブ素子、伝送線路、トンネルダイオード単安定回路などを検討しているが、リアクティブ素子は動作の確実性に難点があり、また後二者は動作時間が遅延時間で固定される欠点がある。これ等の欠点を除いたものがFeedback Reset形で図2.20に回路を示すようにトンネルダイオードとベース接地トランジスタからなる結合回路を使用し、一度情報をこの結合段に

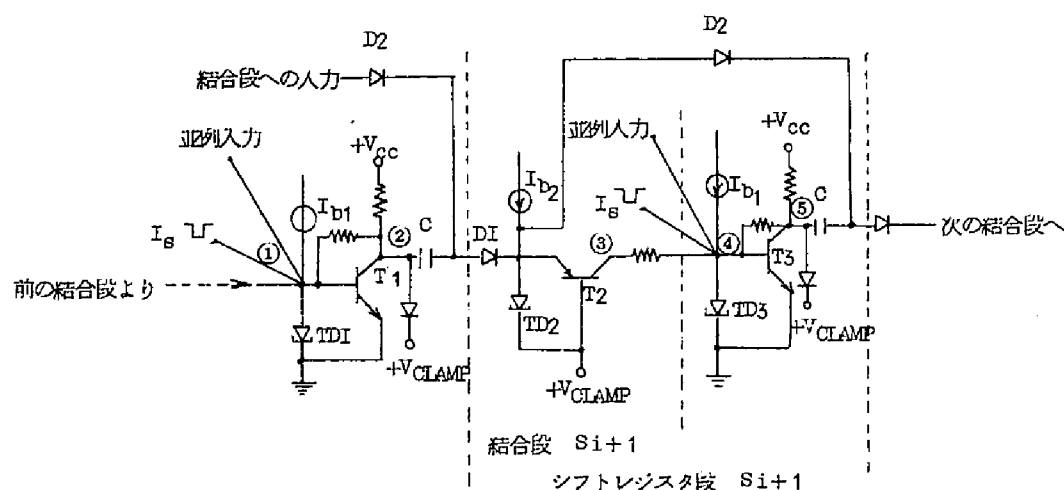


図 2.20 図 2.19 の回路を使用したフィードバックリセット形シフトレジスタ

記憶し後段がスイッチしたことによりこの結合段をリセットする方法をとっている。この形の8段レフトレジスタが100MHzで動作している。最後に小形回路化技術を取り入れた一般用論理素子としてUNIVER³⁸⁾と名づけた回路を取り上げる。この回路は外部の結合方法によりフリップフロップとしても増幅整形回路としても使用出来るもので、図2.21

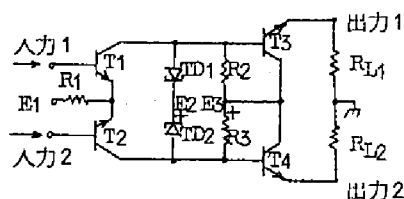


図 2.21 UNIVER回路

に示すようにエミッタ結合増幅回路，トンネルダイオードスイッチ回路，エミッタホロワよりなり，ガラス基板上に薄膜抵抗，チップトランジスタ，マイクロエポキシ容器トンネルダイオードをつけたモジュール構成になっている。入力により初段トランジスタの片方がオン他方がオフになると2安定状態にバイアスされているトンネルダイオードはオン側につながるものが低電圧，オフ側のものが高電圧にスイッチし記憶作用を行う。動作モードはセトリセットフリップフロップ，自己パルス整形回路，インバータ回路，単安定回路，遅延増幅回路などがある。実験結果では段間遅れ時間1 ns，フリップフロップ2 nsで論理利得6がとれ100 MHzのクロックで3レベルの論理が出来る。

その他に1963年から1964年にかけてDalyとKruy⁽³⁹⁾，Miiller⁽⁴⁰⁾，Amodei⁽⁴¹⁾等が加算回路にトンネルダイオードを使用した例を発表している。その後もいくつかの論文^{(42)~(45)}が発表されてはいるが，一般的に見てトンネルダイオードの基本回路の研究はほぼ1965年で終了したと云える。これはトンネルダイオードの高速性に注目し，一般用高速論理回路素子として使用するための研究が行われた結果，トンネルダイオードが主として動作余裕度，信号の方向性，信号の低レベルなどの点で必ずしも使いやすい素子でないことが明らかとなり最初の期待を満足しなかったことと，1964年頃から集積回路の可能性が明らかになり，この方面に高速論理回路素子としての将来性が予見されたことによると思われる。従って1965年以後は主としてトンネルダイオードの特性を有利に使用した具体的な応用例が発表される様になり，その意味では実用時代に入ったとも考えられる。

2.2 基本回路の動作解析 (46)

2.2.1 基本回路の説明

前節に述べたようにいくつかの論理回路形式が提案されているがこれ等を分類すると表2.1のようになる。ただしこの表の中の任意の組合せが可能なわけではない。ここで取り

スイッチ素子	T.D. , T.D.+TR, T.D.+S.R.D.
回路形式	Single T.D. Monostable, Single T.D. Bistable, Pair.
論理方式	AND/OR, NOR, 多数決
方向性	B.D., T.R., ダイオード, 三相励振, その他
同期	非同期, 一相クロック, 二相クロック, 三相クロック
T.D. : Tunnel Diode, TR : Transistor, S.R.D. : Step Recovery Diode	
B.D. : Backward Diode	

表 2.1 トンネルダイオードを使用した回路の分類

上げる基本回路は単一トンネルダイオード単安定回路を高速化しようとするもので、段間結合は抵抗結合またはトランジスタエミッタホロウ結合とし、論理はAND/OR非同期方式である。この回路は全体からみて簡単な回路構成に属する。その理由は論理用能動素子が1個であること、励振回路がないことによる。したがって高速動作を実現するのが容易であると云う利点があるが、欠点としては動作余裕度を改善する方法が特にとられていないことにある。筆者はこの基本回路を1963年に発表し、さらに1964年には組合せ回路、順序回路などについて動作を確認し200MHz～300MHzで動作させた例を示した。本小節では基本回路の動作を定性的に説明し次小節以下で解析と実験を示す。

図2.22(a)に示す単安定回路の動作はすでに良く知られているところなので簡単に述べる。

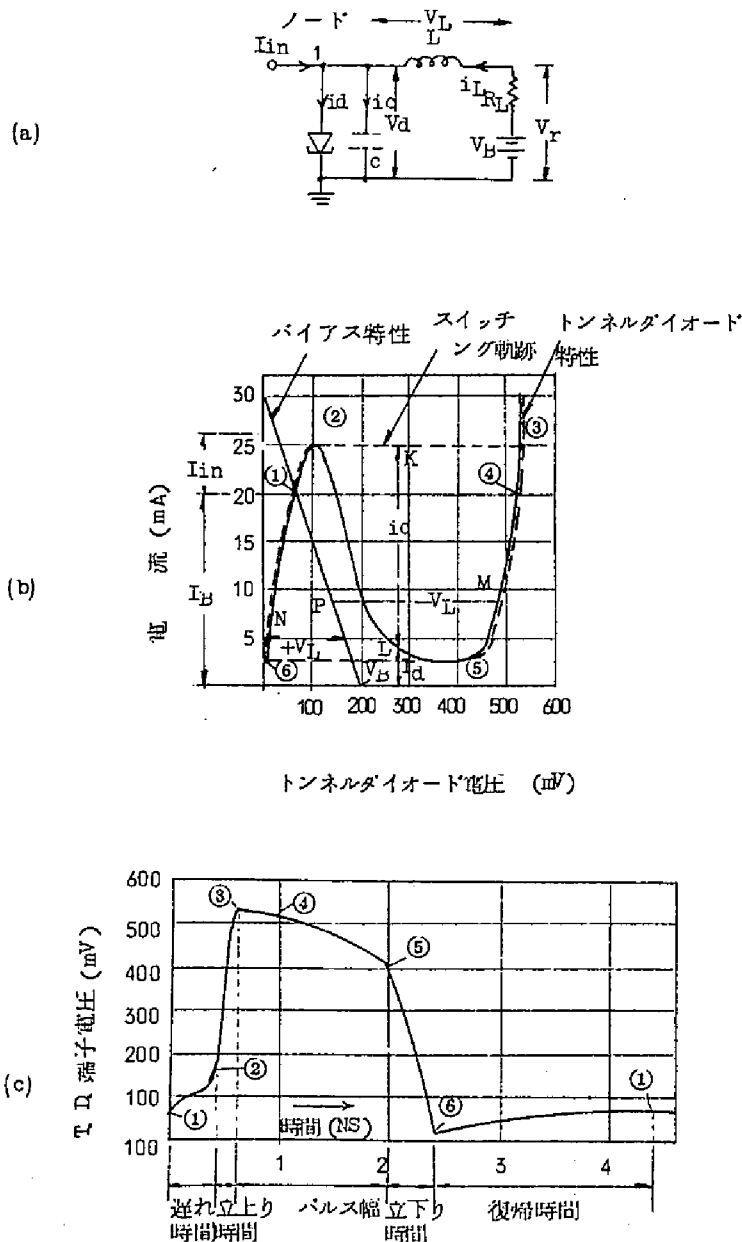


図 2.22 単安定回路の動作説明 (25)

トンネルダイオードは非直線特性を示す理想ダイオードと接合および浮遊容量を示すキャパシタンスの並列回路であらわす。ダイオードの直列インダクタンスは無視してある。負荷は最も簡単な抵抗負荷とし負荷インダクタンスは十分大きいとする。図 2.22(b) に示すように定常状態の動作点は低電圧状態に定め、当然ながらトンネルダイオードと負荷曲線との交点は一点のみである。入力パルス電流が加えられるとトンネルダイオード電流が増加し、尖頭電流をこすと図のスイッチング軌跡に沿って①から③へスイッチする。スイッチング速度はダイオード容量 C_d の充電速度 $\frac{dv}{dt} = \frac{i_c}{C_d}$ で定まり C_d を一定と考えているからこれは充電電流 i_c の大きさに依る。 i_c は図の KL の大きさと与えられるから、負荷インダクタンスが大きく定電流軌跡になっている場合には大きな充電電流がとれスイッチ速度がはやくなる。入力電流がなくなると動作点は④へ移るがインダクタンス中の電流が減少するに従って更に⑤へと動く。この時の速度はインダクタンス中の電流変化 $\frac{di_L}{dt} = \frac{V_L}{L}$ によってきまり、バイアス電圧とダイオード電圧の差（図の PM の大きさ）で与えられる V_L が大なる程はやく移動する。⑤に達した時未だ V_L は零ではないのでインダクタンス中の電流は減少をし続けるため動作点は負抵抗領域に入り再び⑥にスイッチする。⑥点も V_L が零でないため不安定で、今度は電流が増加して①に到る。したがってパルスの立上り時間と立下り時間は i_c/C_d の関数となり、パルス幅と復帰時間は V_L/L の関数となる。図 2.22(c) は対応する出力波形の図である。高速動作をさせるためにはパルス幅を狭くかつ立上り立下り時間を速くしなければならない。図 2.22(c) の波形よりまずパルス幅をせまくするためには③から⑤へ移る時間をはやくすることが必要である。このためには L を小さくしなければならない。一方立上り立下り時間をはやくするためには接合容量の小さいダイオードを使用し浮遊容量の小さい実装法をとることは勿論必要であるが、その上でなお残る手段は i_c を大にすることである。ところがインダクタンスを小にするとともに定電流スイッチング軌跡は得られないので、動作点は負荷線に沿って④から⑤の間の 1 点に移るようになり i_c は減少する。これを補うためには大きな入力電流が必要であり、立上り時間はこの方法によりある程度はやくすることが出来る。しかし立下り時間は外部入力がないので遅くなり⑤から⑥に到る時間がながくなる。出力波形は図 2.23 のように全体にまるくなり特に③から⑥に到る時間がわるくなる。

このように動作は回路常数で定まる固有の復帰時間を持ち、この復帰時間を小にするには素子自身の特性、構造、実装を改良しなければならない。素子の特性が改良されることは勿論望ましいことであるが、ここでは素子の特性自体に立入ることなく外部回路的にこ

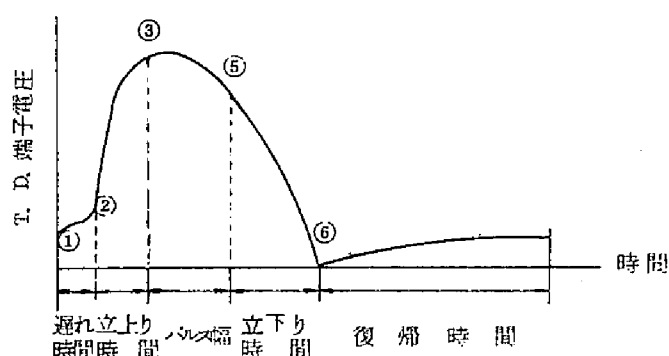


図 2.23 インダクタンスが小さい場合
の単安定回路出力波形

れを高速化する方法を検討するのが目的である。そこで固有の復帰時間を短縮し高速動作に適したパルスを与えるために筆者は伝送線路の反射を利用する方法を提案した。⁽⁴⁷⁾⁽⁴⁸⁾ 伝送線路を使用した自己発振回路⁽⁴⁹⁾や対回路の励振回路に使用する⁽²⁴⁾ことはすでに報告されているが、単一ダイオード形の単安定回路の動作を改善するために利用する試みははじめてのものである。図 2.24(a)(b)に基本回路を示し図 2.24(c)に定性的な出力波形の図を示す。今入力パルスによりトンネルダイオードが低電圧状態から高電圧状態にスイッチするところのステップ状の電圧波は伝送線路を伝搬し、終端インピーダンスを零にしておくで反射して逆極性となって帰ってくる。終端インピーダンスが十分小さく線路の長さが短かければ途中の減衰は小さいから、この反射電圧波はトンネルダイオードを再び低電圧状態にスイッチさせるに十分な大きさを持っている。往復伝搬時間が動作点の高電圧側の移動時間より短かければ動作点は図 2.22(b)の⑥に達するまえに外部からトリガされることになり、低電圧状態に急速にスイッチする。したがって出力として伝搬時間で定まるせまい幅をもち、立下り時間の改善された図 2.24(c)のようなパルスが得られる。またもし回路が 2 安定回路にバイアスされている時には、伝搬時間を大にとってもこの時間で定まる出力が得られる。また非安定回路では発振周期を伝搬時間で定めることが出来る。一般に単安定回路で動作点が平衡点にもどる前に次のトリガパルスを加えても回路はスイッチしない。この回路では負の反射電圧が加わっているためこの現象は特に明らかで、トンネルダイオードが低電圧状態にスイッチしてから伝搬時間幅の間は後の入力パルスに対して回路は不感となる。したがってこの性質を積極的に利用することが出来るのが特徴である。なお図 2.24

(a), (b)の二つの回路は直流バイアスの供給方法が異なるだけである。しかし線路の終端を確実に零インピーダンスにする点で並列形の方が動作は安定のようである。

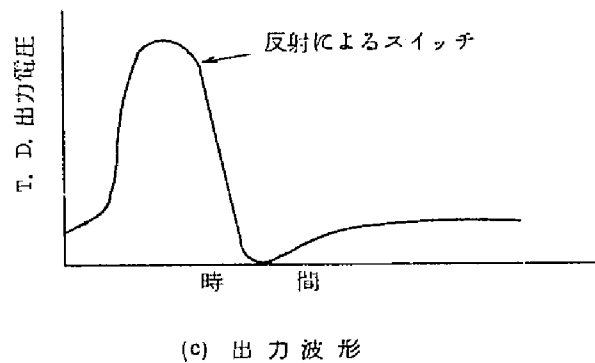
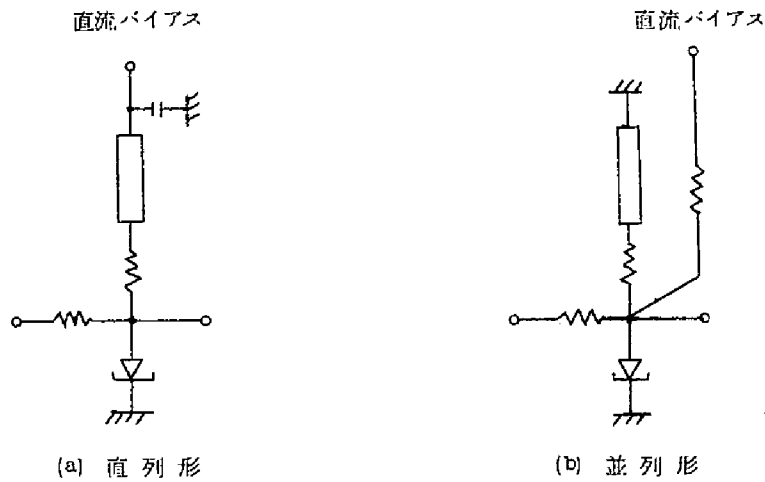


図 2.24 基本回路と出力波形説明図

2.2.2 位相面デルタ法による解析

位相面デルタ法⁽⁶⁰⁾による単安定回路の解析は文献⁽⁶⁰⁾にくわしく述べられている。ここではこの方法を応用して線路の反射パルスにより軌跡および出力波形が通常の単安定回路の場合とどのように異なるかを示す。図 2.25 (a)の回路を(b)の如く考えて(c)に示すように反

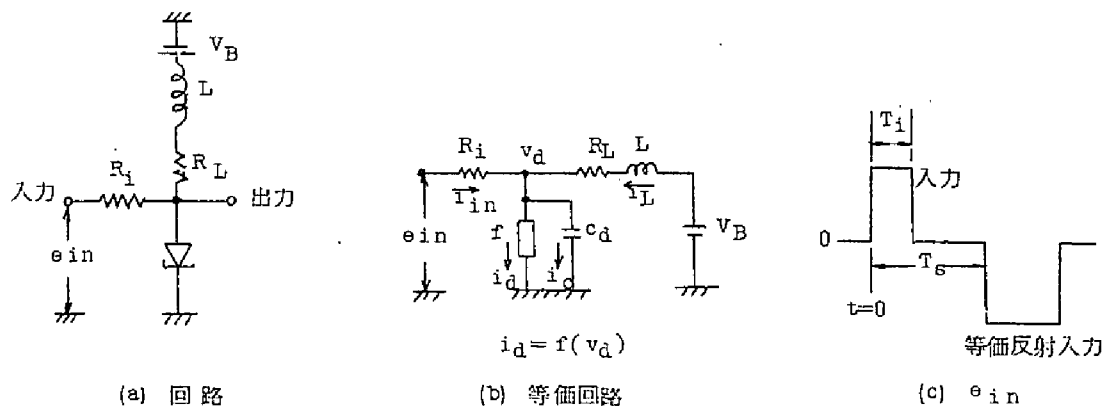


図 2.25 解析する回路図

射電圧入力は等価負極性入力におきかえて考える。ここに T_i は入力トリガパルス幅で T_B は反射電圧入力加わる時間とする。回路方程式は次のようになる。

$$\left. \begin{aligned} i_d &= i_{in} + i_L - i_c \\ e_{in} - V_d &= i_{in} R_i \\ V_d &= \frac{1}{C_d} \int i_c dt \\ L \frac{di_L}{dt} + R_L i_L + V_d &= V_B \\ i_d &= f(V_d) \end{aligned} \right\} \quad (2.1)$$

ここで知られている手順にしたがい

$$\left. \begin{aligned} P^2 &= \frac{1}{\sqrt{L C_d}} \left(1 + \frac{R_L}{R_i} \right) \\ u &= \frac{1}{P} \frac{di_L}{dt} \end{aligned} \right\} \quad (2.2)$$

とおき、上の諸式より i_L と u の関係をもとめると

$$\left. \begin{aligned} \frac{di_L}{du} &= -\frac{u}{i_L + \delta} \\ \delta &= -\frac{1}{1 + \frac{R_L}{R_i}} \left[\left(\sqrt{\frac{L}{C_d} \left(1 + \frac{R_L}{R_i} \right)} \cdot \frac{1}{R_i} + \sqrt{\frac{C_d}{L} \left(1 + \frac{R_L}{R_i} \right)} \cdot R_L \right) u \right. \\ &\quad \left. - \frac{1}{R_i} (V_B - e_{in}) - f(V_B - LuP - R_L j_L) \right] \end{aligned} \right\} \quad (2.3)$$

となる。 $i_L - u$ 平面で δ を一定とすると上式の解は $u = 0$, $i_L = -\delta$ を中心とする円となり初期条件により半径が定まる。したがって δ が一定と見なせる範囲内で円をかいて、これ等を順次つないでゆくと位相軌跡をかくことが出来る。

しかし上式では δ の中に i_L と u を含むので δ を u のみの関数としてかくことが出来ず作図が複雑になる。そこでさらに近似として $R_L = 0$ と仮定し δ を u のみの関数として扱うことにする。この時

$$\left. \begin{aligned} \frac{di_L}{du} &= -\frac{u}{i_L + \delta} \\ -\delta &= -\frac{e_{in}}{R_i} + \frac{1}{R_i} \left(V_B - \sqrt{\frac{L}{C_d}} \cdot u \right) + f \left(V_B - \sqrt{\frac{L}{C_d}} \cdot u \right) \end{aligned} \right\} \quad (2.4)$$

となり、 $-\delta$ はトンネルダイオードの特性曲線を電圧零の軸により反転し変形移動すれば良い。作図の手法については省略する。位相面の角度の和より時間が求められるので出力波形もかくことが出来る。図 2.26 に軌跡の作図例を示す。使用する数値は実際の回路常数に準じて $\sqrt{L/C_d} = 250 \Omega$, $e_{in} = 0.3 \text{ V}$, $R_i = 100 \Omega$, $V_B = 50 \text{ mV}$, トンネルダイオードの特性は $I_p = 1.03 \text{ mA}$, $V_p = 60 \text{ mV}$, $I_v = 1.2 \text{ mA}$, $V_v = 0.3 \text{ V}$ とする。初期条件は $u = 0$, $i_L = f(V_B) + \frac{V_B}{R_i} = 1.05 \text{ mA}$ である。図 2.25(c) に示すような e_{in} を考え、 $T_i = \infty$ (反射なし), $T_i = 1.3 \sqrt{L C_d}$ で反射なしおよび反射等価入力 -0.3 V と -0.6 V の場合につき $T_B = 1.3 \sqrt{L C_d}$, $1.7 \sqrt{L C_d}$ の軌跡を描いた。軌跡が内側にまわりこむ程出力パルスの立下りがはやくなる。図 2.27 はこの軌跡から求めた出力波形である。横軸には $t / \sqrt{L C_d}$ をとっている。図 2.27(a) は無限幅入力 ($T_i = \infty$), 有限幅入力 ($T_i = 1.3$), 有限幅入力 ($T_i = 1.3$) に対して入力消失してから反射入力がある場合についての出力波形の差を示す。図 2.27(b) は入力消失すると同時に反射入力加わる場合である。反射入力によりパルス幅が定まり立下り時間も改善される。トリガパルス幅 T_i は図の軌跡よりほぼ $T_i = \sqrt{L C_d} \sim 1.3 \sqrt{L C_d}$ あれば良い。反射パルスの加わる位相は $1.3 \sqrt{L C_d}$ から $1.7 \sqrt{L C_d}$ の間が良い。はやすぎると出力振幅がとれなくなり、遅すぎるとパルス幅を細くする効果が小になる。反射入力の大きさは大きい程立下りが急峻になるから、図の波形より考えてトリガパルス振幅の 2 倍以上の実効入力となることが望ましい。

2.2.3 反射を考慮した解析

2.2.2 で述べた位相面デルタ法の解析では線路の反射は理想的として入力電圧におきかえ、通常の回路との軌跡の差を明らかにしたが、今度は線路の反射と回路のスイッチ時定数による波形のなまりに注目して解析する。まず理想的な場合について考えてみる。基本回路の動作をあらわす微分方程式は、図 2.28(b) に示す等価回路をもとにして次のようになる。

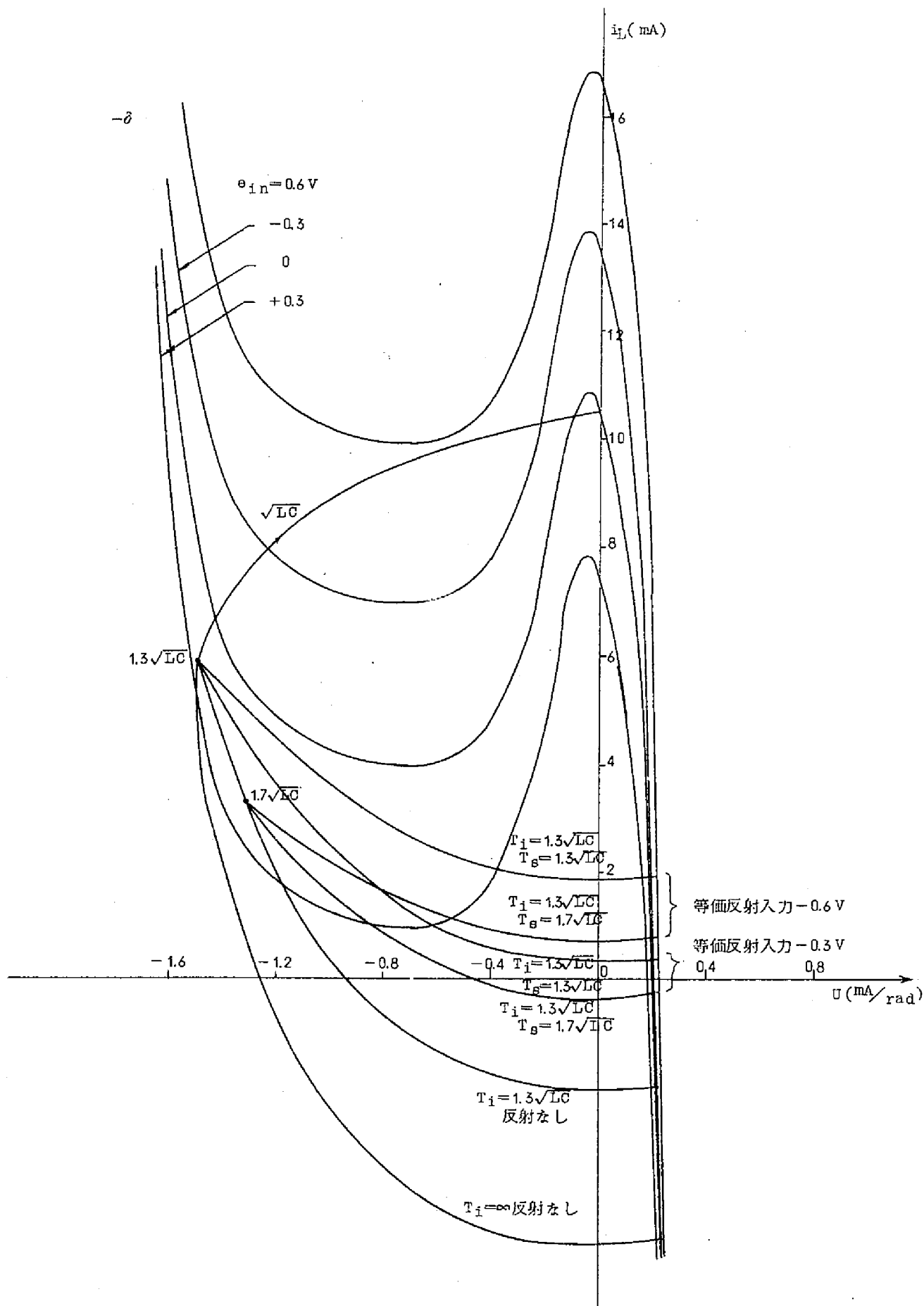
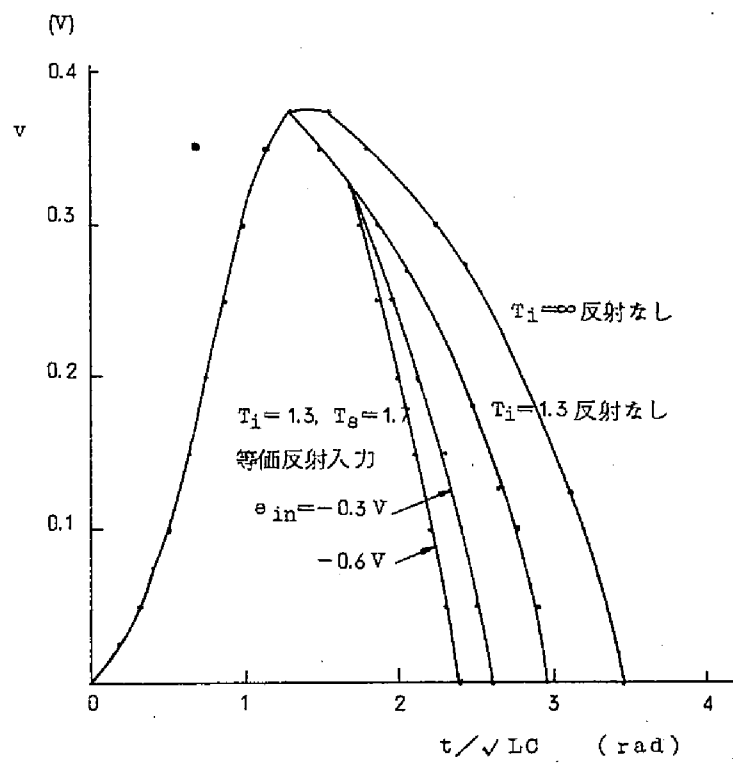
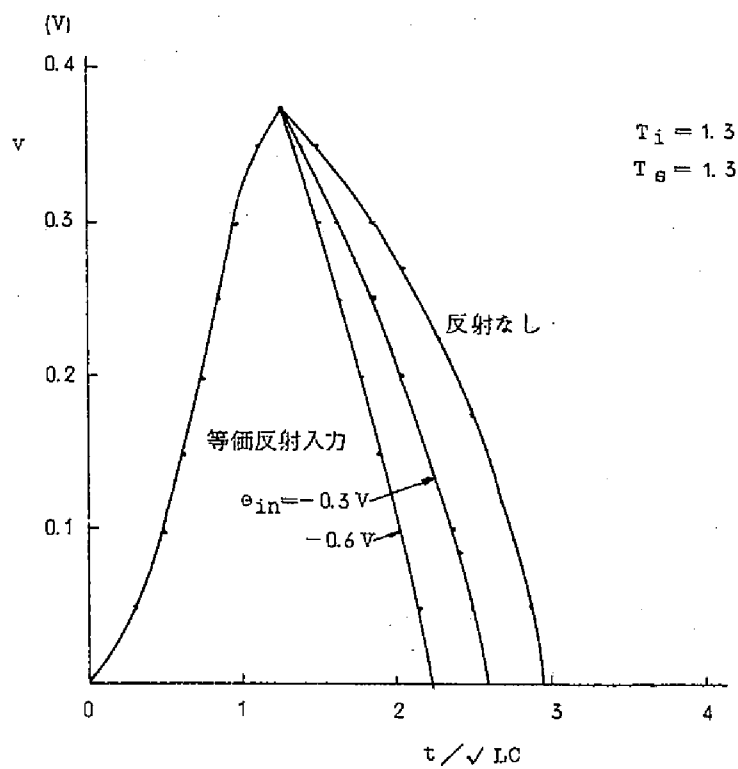


図 2. 2 6 軌 跡 作 図 例



(a)



(b)

図 2.27 出力波形作図例

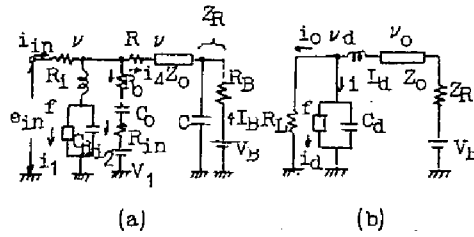


図 2.28 図 2.24(a)の等価回路

$$\left. \begin{aligned} C_d \frac{dV_d(t)}{dt} &= i(t) - f(V_d(t)) \\ L_d \frac{d(i(t) + i_o(t))}{dt} + V_d &= V_o(t) \\ i_d(t) &= f(V_d(t)) \end{aligned} \right\} \quad (2.5)$$

ここに C_d , L_d はトンネルダイオードの容量とインダクタンス, f はトンネルダイオードの非直線性特性を示す関数である。 $V_o(t)$ は線路始端の電圧で次式で示される。

$$V_o(t) = L^{-1} \left[\frac{Z_o}{Z_o + Z_t} \left\{ L[V_d(t)] \right\} \frac{1 + e^{-sT} \Gamma_R}{1 - e^{-sT} \Gamma_R \Gamma_t} \right] \quad (2.6)$$

ここに Z_o は線路の特性インピーダンス, Z_t は線路始端からトンネルダイオードを見たインピーダンス, Γ_R , Γ_t は線路の終端および始端の反射係数, $T/2$ は線路の伝播時間(片道), L はラプラス変換を示す。(2.5)式は一般の性質を示す基本式ではあるが, 非直線関数を含むので簡単に解くことはむずかしい。そこでこの回路の出力電圧のみに注目すると, 今 L_d が無視できるほど小さいと仮定すると出力電圧は $V_o(t)$ そのものとなるから, $V_o(t)$ の時間的変化を考える。また線路始端のインピーダンスを特性インピーダンスに近くとっておくと, (2.6)式において $\Gamma_t \ll 1$ が成立するから次の近似式をうる。

$$\begin{aligned} V_o(t) \doteq L^{-1} & \left[\frac{Z_o L[V_d(t)]}{Z_o + Z_t} \left\{ 1 + e^{-sT} \Gamma_R (1 + \Gamma_t) \right. \right. \\ & \left. \left. + e^{-2sT} \Gamma_R^2 \Gamma_t (1 + \Gamma_t) + e^{-3sT} \Gamma_R^3 \Gamma_t^2 (1 + \Gamma_t) \right\} \right] \end{aligned} \quad (2.7)$$

$\Gamma_t \ll 1$ という条件は始端での反射が小さいことであるから、線路中に多重反射はほとんどなく、したがって(2.7)式で3重の反射まで考えれば十分である。また線路は理想的であると仮定して(2.7)式を解いてみる。

(1) Z_0 , Z_t が純抵抗でステップ状の電圧変化を考えた場合

一番簡単な場合として C_d , I_d を無視して Z_t は純抵抗とする。またトンネルダイオードのスイッチ時間は無視出来る程小とし、単に二つの電圧値の間をステップ状に変化するものとする。このように理想化すると(2.7)式の V_d として、低電圧から高電圧へのスイッチによる電圧パルスを $E_1 U(t)$, その逆を $E_2 U(t-T)$ なる2個のステップ電圧のかさね合せを考えればよい。このようにした時の線路始端電圧は次のようになる。

$$V_0(t) = V_{OB} + K \left[E_1 U(t) + \{ E_1 \Gamma_R (1 + \Gamma_t) + E_2 \} U(t-T) \right. \\ \left. + \{ E_1 \Gamma_R \Gamma_t + E_2 \} \Gamma_R (1 + \Gamma_t) U(t-2T) \right. \\ \left. + \{ E_1 \Gamma_R \Gamma_t + E_2 \} \Gamma_R^2 \Gamma_t (1 + \Gamma_t) U(t-3T) \right] \quad (2.8)$$

$$V_{OB} : \text{直流バイアス出力電圧} \quad K = \frac{Z_0}{Z_0 + Z_t}$$

ここで Z_t はトンネルダイオードの抵抗値と直列抵抗の和とそれに並列に入る入力抵抗よりなる。入力抵抗は大きく、また直列抵抗はダイオードの抵抗に比べれば小さいから、 Z_t はトンネルダイオードの抵抗値に依存する。トンネルダイオードの低電圧状態と高電圧状態における抵抗値には差があり、低電圧状態の方が小さいのが普通であるから Z_t をこれに対応する二つの値にわけ、前者を Z_{t1} 後者を Z_{t2} とする。スイッチ前の状態においては Z_{t1} を使用するから(2.8)式で $t \leq 0$ では $Z_t = Z_{t1}$ で、したがって $K \doteq 1$ と考えてよい。スイッチ後 ($0 < t \leq T$) の状態をあらわすには $Z_t = Z_{t2}$ であるから $\Gamma_t \doteq 1$ は成立しない。一方高電圧状態から低電圧状態にスイッチするときにはこの逆が成立するから、(2.8)式をより厳密にあらわすには K , Γ_t を Z_{t1} , Z_{t2} による二つの成分に分解して表示しなければならない。今これを1, 2のサフィックスであらわすと(2.8)式は次のようになる。

$$V_0(t) = V_{OB} + K_1 E_1 U(t) + \{ K_1 E_1 \Gamma_R (1 + \Gamma_{t2}) + K_2 E_2 \} U(t-T) \\ + \{ K_1 E_1 \Gamma_R \Gamma_{t2} (1 + \Gamma_{t2}) + K_2 E_2 (1 + \Gamma_{t1}) \} \Gamma_R U(t-2T) \quad (2.9) \\ + \{ K_1 E_1 \Gamma_R \Gamma_{t2}^2 (1 + \Gamma_{t2}) + K_2 E_2 \Gamma_{t1} (1 + \Gamma_{t1}) \} \Gamma_R^2 U(t-3T)$$

この式が伝送線およびパルスが理想的な場合の線路始端の電圧式である。今トンネルダイ

オードが低電圧状態から高電圧状態にスイッチする電圧を V_{s1} とすると

$$V_t + V_o \geq V_{s1} \approx V_p \quad (2.10)$$

V_t : トリガ電圧

のときスイッチする。また逆方向の時のスイッチも同様に

$$V_o \leq V_{s2} \approx V_v \quad (2.11)$$

の条件のときにおこる。入力がなくとも

$$V_o(2nT) \geq V_{s1} \quad n = 0, 1, 2, \dots \quad (2.12)$$

が満足されると周期 $2T$ の発振をおこす。同様に

$$V_o(3nT) \geq V_{s1} \quad (2.13)$$

が満足されると周期 $3T$ の発振をおこす。図 2.29 は種々の Γ_R と Γ_{t1} の場合の (2.9)

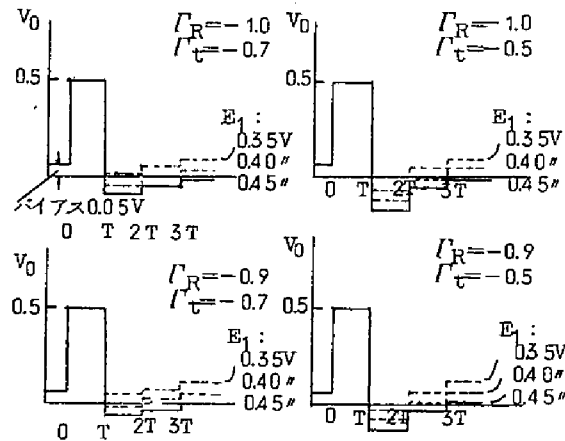


図 2.29 理想的な場合の線路単子電圧計算例

式の計算結果による波形である。 $V_o(2T)$ はスイッチ電圧の大きさと反射係数の値により正にも負にもなりうる。したがって $2T$ の周期の発振が起こりうる場合と起こりえない場合がある。時間の経過と共に電圧は増大するから周期のながい発振は起こりやすい。このことは実験の結果とよく一致する。周期 $2T$ の発振をおこす条件は (2.12) 式より

$$K_1 E_1 \{ 1 + \Gamma_R (1 + \Gamma_{t2}) + \Gamma_R^2 \Gamma_{t2} (1 + \Gamma_{t2}) \} + K_2 E_2 \{ 1 + (1 + \Gamma_{t1}) \Gamma_R \} \geq V_{s1} - V_{OB} \quad (2.14)$$

となり Γ_{t1} , Γ_{t2} と電圧の関係をみると図 2.30 のごとくになる。 V_{OB} の値により (2.14) 式を満足する範囲がかわり V_{OB} が大きいほど $2T$ の発振がおこりやすくなる。

(2) Z_t を複素インピーダンスとし指数関数的電圧変化を考えた場合

つぎにトンネルダイオードの容量を考慮して Z_t を複素インピーダンスとし、スイッチの

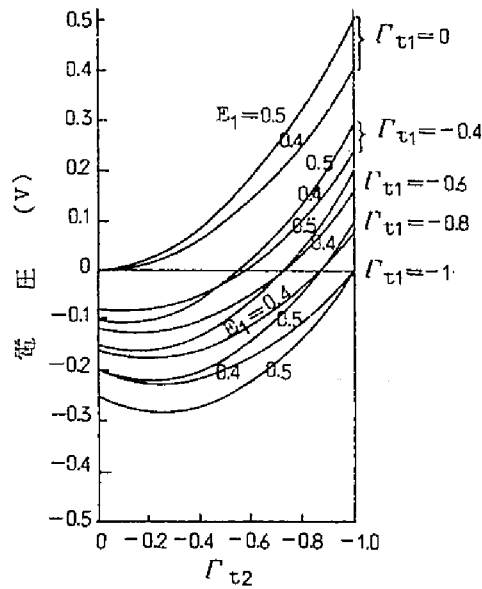


図 2.30 理想的な場合の $t = 2T$ における電圧値

と Γ_t の関係 (ただし $\Gamma_R = -1$, $K_1 = 1$,

$E_1 = -E_2$ を仮定)

ための電圧変化は指数関数とした場合について考えてみる。簡単のためインダクタンスは無視し $\Gamma_R = -1$ (終端完全反射), $E_1 = -E_2$ を仮定する。 Z_t としては

$$Z_t(s) = \frac{q}{1 + C_d s q} \quad (2.15)$$

ここに $q = R / f \cdot R + 1$ f はトンネルダイオードの非直線コンダクタンス,

R はダイオードに並列に入る全抵抗を示す。

を使用し, またトンネルダイオードの出力電圧として

$$V_{OB} + (V_H - V_{OB}) \left(1 - e^{-\frac{t}{\tau}}\right) \quad (2.16)$$

τ : トンネルダイオードの時定数, $V_H = \frac{V_F + V_V}{2}$: 出力電圧振幅

なる指数関数をとる。 $0 < t \leq T$ では (2.16) 式の電圧変化をすとして $t > T$ における電圧を計算する。反射パルス電圧は

$$\begin{aligned} & \frac{2(V_H - V_{OB})}{1 + d_2} \left[\frac{1 + d_2}{C_d Z_0} (t - T) \right] \\ & + \frac{2(V_H - V_{OB})}{C_d Z_0} \left[\frac{1 + d_2}{C_d Z_0} (t - T) - \frac{1}{\tau} (t - T) \right] \end{aligned} \quad (2.17)$$

$$d_2 = \frac{Z_0}{q_2} \quad (\text{サフィックスは前述の考えによる})$$

となる。この反射パルスがリセットパルスとして働く条件は

$$\frac{-1+d_2}{1+d_2} - \left\{ \frac{2e^{\frac{T}{\tau}}}{\frac{C_d Z_0}{\tau} - 1 - d_2} + 1 \right\} e^{-\frac{t}{\tau}} + \frac{2\left(\frac{C_d Z_0}{\tau}\right) e^{-\frac{1+d_2}{C_d Z_0}(t-T)}}{\left(\frac{C_d Z_0}{\tau} - 1 - d_2\right)(1+d_2)} \leq \frac{V_{S2} - V_{OB}}{V_H - V_{OB}}, t \geq T \quad (2.18)$$

となり、上式で等号が成立する時間を $t = T + t_r$ とすると図 2.31 に示すように、この時間でトンネルダイオードは低電圧状態から高電圧状態へスイッチする。したがってこの時点で負の入力を重畳すればよく前に考えた理想的なステップ状電圧の場合に比べて t_r だけおくれることになる。同じ考えを適用すると $t \geq T + t_r$ における出力電圧は

$$\begin{aligned} V_o(t) = & V_{OB} + (V_H - V_{OB}) \left(1 - e^{-\frac{t}{\tau}}\right) U(t) \\ & + 2(V_H - V_{OB}) \left[\frac{-1}{1+d_2} + \frac{C_d Z_0 / \tau}{(1+d_2)\left(\frac{C_d Z_0}{\tau} - 1 - d_2\right)} e^{-\frac{1+d_2}{C_d Z_0}(t-T)} \right. \\ & \left. - \frac{1}{\left(\frac{C_d Z_0}{\tau} - 1 - d_2\right)} e^{-\frac{t-T}{\tau}} \right] U(t-T) + (V_H - V_{OB}) \left[\frac{-d_2}{1+d_2} \right. \\ & \left. - \frac{(C_d Z_0 / \tau)}{(1+d_2)\left(\frac{C_d Z_0}{\tau} - 1 - d_2\right)} e^{-\frac{1+d_2}{C_d Z_0}(t-T-t_r)} \right. \\ & \left. - \frac{\left(d_2 - \frac{C_d Z_0}{\tau}\right)}{\left(\frac{C_d Z_0}{\tau} - 1 - d_2\right)} e^{-\frac{t-T-t_r}{\tau}} \right] U(t-T-t_r) \end{aligned} \quad (2.19)$$

となり、 $V_o(t) = V_{OB}$ となる時間より出力パルス幅が求められる。パルス幅を D とすると

$$\left. \begin{aligned} D &= T + t_r + t_s \\ V_0(T + t_r + t_s) &= V_{OB} \end{aligned} \right\} \quad (2.20)$$

で理想の場合に比べて $t_r + t_s$ だけパルス幅が大になる。ただしここでは $t = 2T$ 以後に加わる反射分を無視したので、実際には D は上の値より若干大になると考えられる。 t_r および t_s について数値計算例を示す。仮定する数値は $C_d = 10 \text{ pF}$, $|r| = 20 \Omega$, これより $\tau = 0.2 \text{ ns}$, $Z_0 = 50 \Omega$, $C_d Z_0 / \tau = 2.5$, $V_{OB} = 0.03 \text{ V}$, $V_H = 0.35 \text{ V}$, 線路は 5 cm とし $T \approx 0.4 \text{ ns}$ とする。このとき t_r については

$$\frac{-1+d_2}{1+d_2} - \left\{ \frac{2}{1.5-d_2} + 0.135 \right\} e^{-5t_r} + \frac{5}{(1.5-d_2)(1+d_2)} e^{-2(1+d_2)t_r} = 0.69 \quad (2.21)$$

となりこの関数を満足する t_r の値は次のようになる。

$$d_2 = 0.3, 0.5, 1.0, 2.0, 4.0$$

$$t_r \approx 0.2 \text{ ns}, 0.215 \text{ ns}, 0.22 \text{ ns}, 0.255 \text{ ns}, 0.38 \text{ ns}$$

また d_2 をパラメータにして $(V_{S2} - V_{OB}) / (V_H - V_{OB})$ と t_r の関係を求めたものが図 2.32

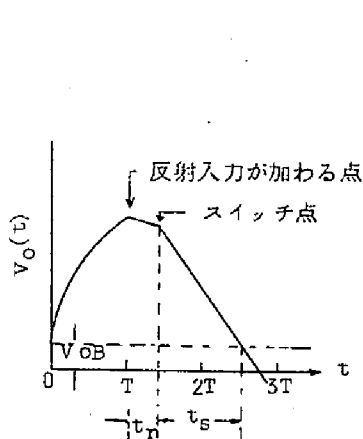


図 2.31 仮定された電圧波形と時間の関係

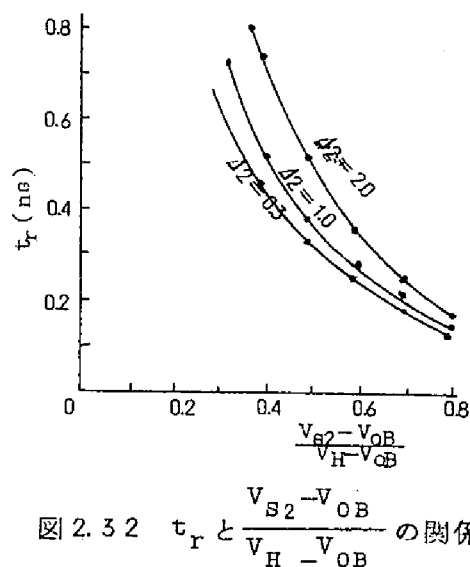


図 2.32 t_r と $\frac{V_{S2} - V_{OB}}{V_H - V_{OB}}$ の関係

である。同じ $(V_{S2} - V_{OB}) / (V_H - V_{OB})$ の値に対しては d_2 が大きくなると t_r も大になる。また同じ d_2 については $(V_{S2} - V_{OB}) / (V_H - V_{OB})$ の値が小になるほど t_r が大になる。前者はごく単純に言えばトンネルダイオードのコンダクタンスが大なる程 t_r が大になることで

これは一見トンネルダイオードの時定数が小になって逆の現象が起こるように思われるがトンネルダイオードのスイッチの時定数は負抵抗に大部分依存するので正抵抗は大きい影響をもたない。トンネルダイオードの正抵抗が小さくなることは線路の始端での反射が大になることで、終端で反射してきた負電圧波を相殺するような正電圧の反射波を生じる。したがってトンネルダイオードをスイッチさせるべき有効負電圧を減少させ、 V_{S2} になるまでの時間がながくかかることになる。トンネルダイオードのコンダクタンスは固有な常数として与えられるものであるから、逆にいえば線路の特性インピーダンスを適当に合わせなければならぬことになる。 $Z_0 = 50 \Omega$ の線路を使用すると d_2 は 2 前後の値になる。しかしここで注意すべきことは線路のインピーダンスはこの始端の条件だけでは定められないのであって、終端の反射係数を大にする条件を同時に満足しなければならない。終端が完全に短絡でない場合には Z_0 をあまり小さくとると終端の反射係数が小さくなり、本来の反射負パルスの大きさを減少させるおそれがある。後の実験結果に示すように直列形では 93Ω のケーブルを使用した時の方が小さいパルス幅が得られることはこの間の事情を示している。並列形では終端が完全短絡であるからこの点は有利である。 d_2 の変化によって生ずる t_r の差は大きくても $0.1 \sim 0.2 \text{ ns}$ であるからこのことにあまりこだわるのは得策でない。後者は出力の大きさに関係しトリガの振幅と負荷線の設定をきめる。大きな振幅変化があれば反射波も大になるので t_r が小になることは明らかである。次に t_s を同じ数値について計算する。ここで t_r は 0.2 ns とする。

$$\frac{5e^{-0.4(1+d_2)} - 2.5}{(1+d_2)(1.5-d_2)} e^{-2(1+d_2)t_s} = \frac{1}{1+d_2} + \left(0.05 + \frac{d_2 - 1.76}{1.5 - d_2} \right) e^{-5t_s} \quad (2.22)$$

$d_2 < 1.5$ では t_s は求まらない。この条件では $V_o(t)$ が 0 まで達しないということである。しかし前述のように実際には d_2 は 2 前後の値をとると考えられるから、そのような場合について計算すると $d_2 = 2$ のとき $t_s \approx 0.22 \text{ ns}$, $d_2 = 4$ のとき $t_s \approx 0.33 \text{ ns}$ となる。 d_2 が大になると t_s がのびるのは前の場合と同じ理由であると考えられる。

以上より $T \approx 0.4 \text{ ns}$ のとき理想的ならば 0.4 ns 幅のパルスが得られるところが、この計算によると $D = 0.88 \sim 1.11 \text{ ns}$ のパルス幅となり理想的な場合の約 2.2~3 倍の値となる。このことより出力パルス幅には線路の長さに関係ないトンネルダイオードの時定数で定まる最小値が存在することがわかる。しかし上の数値例の結果も実際の場合を忠実に示すものではなく、 $t = 2T$ 以後の反射を無視していること、トンネルダイオードのスイッチ特

性を時定数のみで単純に表示していること、各常数を適当な値にとっていることなどの理想化があり、実際にはさらにパルス幅がのびることは十分予想できる。特にトンネルダイオードのスイッチ時間についてはこのような時定数のみを考えた場合の計算値の2倍～3倍になるのが実際の例であるから、このことを考慮に入れるとパルス幅は2.2～3.1 nsとなる。この値は実験から得られたパルス幅にかなり近く次節の測定結果のグラフから得られる値2 nsとよく一致する。出力パルス幅には線路の長さに関係しない立上り時間や立下り時間が存在するのはやむをえないが、可能な限りこの限度までパルス幅をつめ、かつ立下り時間を短縮するのが本回路の目的で、この点については効果があったと考えられる。

2.2.4 数値解析

つぎに計算機による数値計算の例を示す。使用する等価回路は図2.28(a)とする。回路方程式は次式のようになる。

$$\left. \begin{aligned}
 I_B &= \frac{V_B - V(0)}{R_B + R} \\
 R_{in} i_{in}(t) + V(t) &= e_{in}(t) \\
 R_0 i_3(t) + \int \frac{i_3(t)}{C_0} dt + R_1 i_3(t) + V_1 &= v(t) \\
 i_1(t) &= f \left(\frac{1}{C_d} \int i_2(t) dt \right) \\
 i_{in}(t) + I_B &= i_1(t) + i_2(t) + i_3(t) + i_4(t) \\
 f \left(v(t) - L_d \frac{d(i_1 + i_2)}{dt} \right) &= i_1(t) \\
 v(t) - v'(t) &= \{ i_4(t) - I_B \} R \\
 v(x, t)_{x=0} &= (V_B - R_B I_B) + Z_0 i_4(t) + 2Z_0 \sum_{n=1}^{\infty} \Gamma_R^n i_4(t - nT)
 \end{aligned} \right\} (2.23)$$

ここに $\Gamma_R = \frac{Z_R - Z_0}{Z_0 + Z_R}$, $f(V_1) \doteq I_B$, $V(0) = V_1$, x は線路の始端よりの距離, T は往復伝搬時間

簡単のため $L_d = 0$ と仮定する。上の式より $v(t)$, $i_3(t)$, $i_4(t)$ を求めると次式をうる。

まず $0 \leq t < T$ では反射がないから

$$\begin{aligned} \frac{dv(t)}{dt} = & \frac{e_{in}(t)}{C_d R_{in}} - \frac{v(t)}{C_d} \left(\frac{1}{R_{in}} + \frac{1}{R_B + R} + \frac{1}{R + Z_0} \right) + \frac{V_B}{C_d} \left(\frac{1}{R_B + R} + \frac{1}{R + Z_0} \right) \\ & - \frac{1}{C_d} \left[f(v(t)) + i_3(t) + I_B \frac{R + R_B}{R + Z_0} \right] \end{aligned} \quad (2.24)$$

$$\frac{di_3(t)}{dt} = \frac{1}{R_0 + R_{in}} \cdot \frac{dv(t)}{dt} - \frac{i_3(t)}{C_0 (R_0 + R_{in})} \quad (2.25)$$

また、反射のある一般の $nT \leq t < (n+1)T$ では (2.24) 式のかわりに

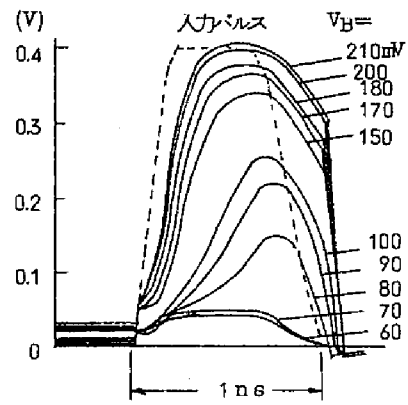
$$\frac{dv(t)}{dt} = \frac{dv(t)}{dt} \Big|_{t=0 \sim T} + \frac{2Z_0}{C_d (R + Z_0)} \sum_{n=1}^n \Gamma_R^n i_4(t - nT) \quad (2.26)$$

$$i_4(t) = \frac{e_{in}(t) - v(t)}{R_{in}} + \frac{V_B - v(t)}{R_B + R} - f(v(t)) - C_d \frac{dv(t)}{dt} - i_3(t) \quad (2.27)$$

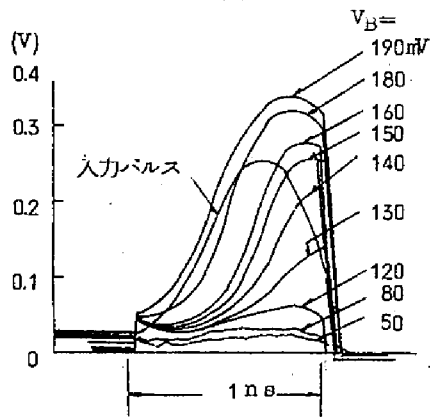
を使用して初期条件 $v(0) = V_1$, $i_3(0) = 0$, $i_4(0) = 0$ のもとで解く。図 2.33 から図 2.37 までは次のような数値例についての計算結果である。

$C_0 = 1000 \text{ PF}$, $C = 0.02 \text{ MF}$, $R = R_{in} = R_B = 10 \Omega$, $R_0 = 30 \Omega$, $Z_0 = 50 \Omega$,
 $Z_R = 0.08 \Omega$, $\Gamma_R = -0.9788$, $T = 1 \text{ ns}$,
トンネルダイオード: $I_p = 10 \text{ mA}$, $C_d = 6 \text{ PF}$

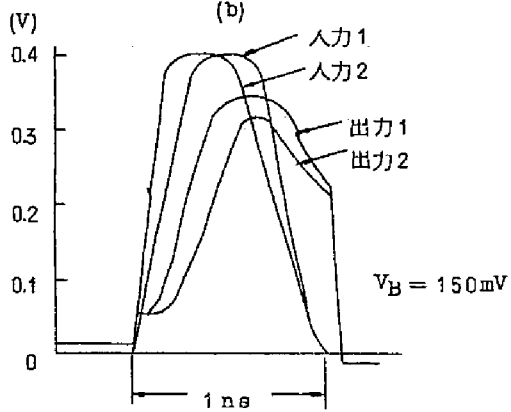
図 2.33(a) は図示のような T の幅の入力パルスに対する出力電圧波形 $v(t)$ で、回路のバイアス値をパラメータにしている。動作点が山をこえる電圧は $70 \sim 80 \text{ mV}$ であるが、この程度のバイアス値では大きな出力は得られない。また立上りの特性もわるくおくれも大きい。反対にバイアスが大きいときには立上り特性が改善されるがパルス幅が広くなる欠点をもつ。この解析にはインダクタンスを無視しているため、出力の振幅が山をこえた点で一定になることは見られない。図 2.33(b) は小振幅入力に対する同様な出力波形を求めたものであるが、動作点が山をこすバイアス値は $120 \sim 130 \text{ mV}$ と大きくなり、振幅も十分ではなく山の頂上近くから反射波で切りとられている。図 2.33(c) は同一バイアスにおいて波形のちがうパルスを入れた場合の出力を示し、特に入力パルスの立上り特性が、出力パルスの立上り特性したがってパルス幅に影響を与えていることがわかる。いずれの場合も反射波により強制的にスイッチさせられている様子がわかる。図 2.33(d) は伝送線路の往復時間よりも十分長いパルスを入力として加えた場合であって、出力はパルス幅 T



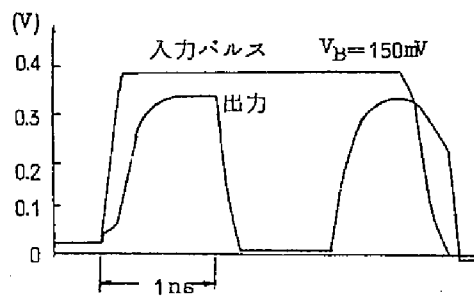
(a)



(b)



(c)



(d)

図 2.3 3 出力電圧波形 (計算値)

に整形されるがさらに再びスイッチしてもう1個のパルスを出す様子が認められる。これは自己発振に相当するものであって、バイアスが大きいときや入力パルスが連続して加わったときに生ずる現象であることは前に述べたとおりである。振幅とバイアスの関係を調べたものを図2.34に示す。入力の大小は動作点のバイアスを平行移動させるだけで、バ

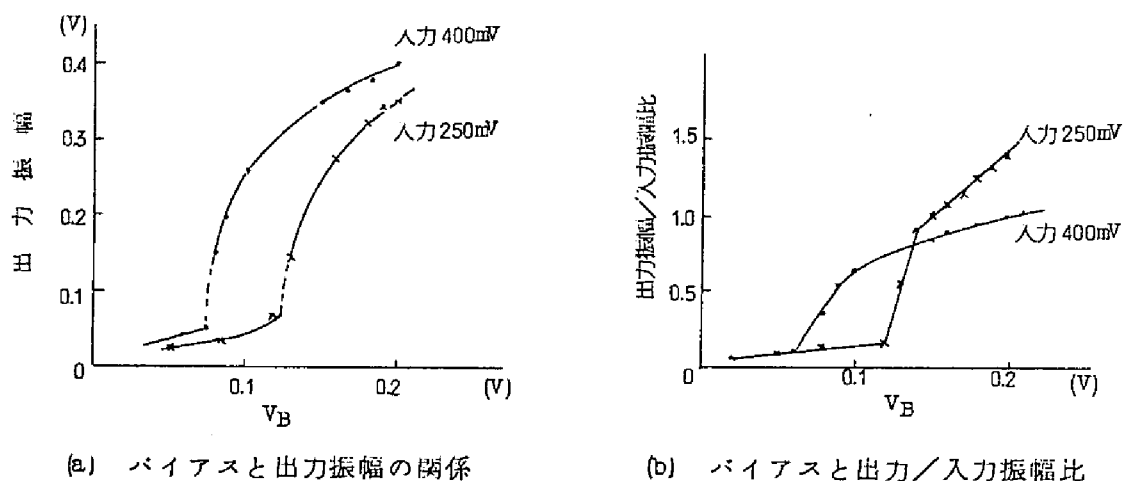


図 2.34 バイアスと入出力の関係

イアスの増分と出力振幅の増分の関係は変わらない。また入出力振幅の比をとると入力の振幅の小なるほど小さなバイアスで1.0になる。これは振幅整形作用のあることを示し、多段に結合した場合に与えられたバイアスに対して振幅が増大か減少か一定かを検討することができる。振幅のみについて見れば300～350mVppのパルスを使用するのが一番良いようである。次に遅れについて見ると線路の長さで定まるパルス幅に対して遅れは図2.35に示すように入力によって異なり、単なるバイアスの平行移動とはならない。

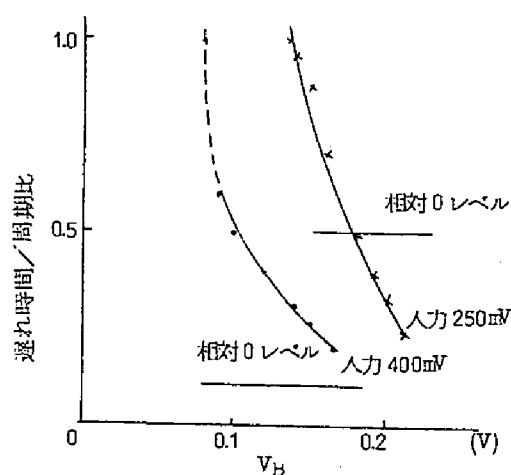


図 2.35 バイアスと遅れ時間の関係

(遅れ時間は出力が200mVになる時間)

$\text{delay} / \text{period} = 1.0$ というのは出力の出ない場合である。出力は 200mV になる点を選んだ。入力パルスの遅れを差し引いた場合には小入力で遅れが負、すなわち立上り特性の整形作用が認められる。図 2.36 は立上り時間について調べたもので、一般に振幅が

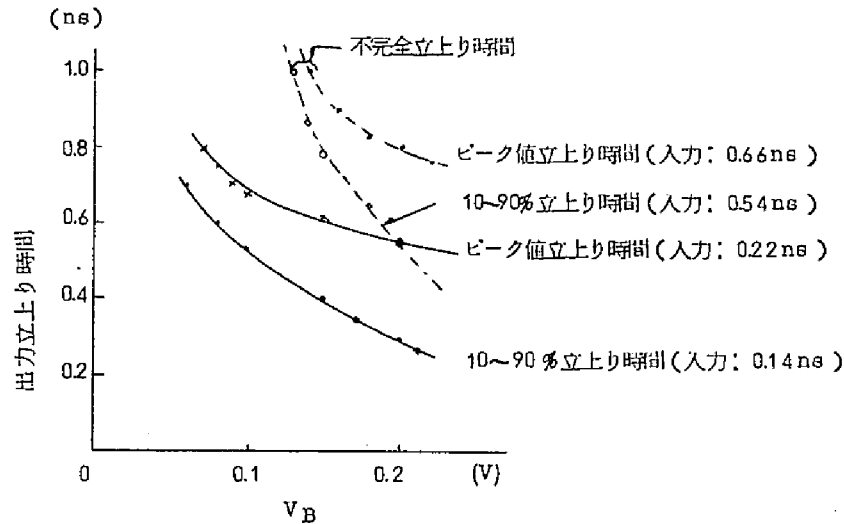


図 2.36 バイアスと立上り時間の関係

大きく立上りのはやい入力に対して出力の立上りもよくなるのは当然であるが、この場合にも最小値が存在し 0.2ns より小にはならない。通常のバイアス範囲内では $0.3 \sim 0.6\text{ns}$ にある。これをピークに達するまでの時間としてはかると最小 0.5ns 、通常では $0.55 \sim 0.8\text{ns}$ の範囲内にある。以上より、適当なバイアス値を選ぶことにより振幅整形された一定のパルスを伝搬することができる。結合線路の伝搬時間と立上り時間を加えたものがほぼ段間遅れ時間になると考えると、段間遅れ時間は約 1ns 程度になる。図 2.37 は入

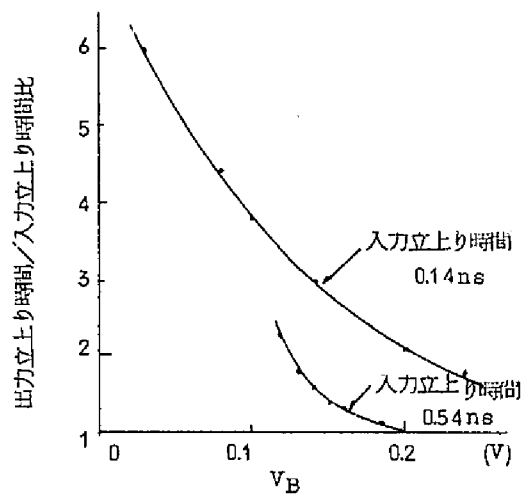


図 2.37 出力と入力の立上り時間比

力と出力の立上り時間の比を計算したもので、バイアスが小さくなると出力の立上り時間が劣化する様子を示している。このように回路方程式(2.23)より出発した数値解析は実験結果をよく説明し前節で与えた定性的な説明が正しかったことを示している。このパルス発生方法で特に強調したいことは、図2.33以下に示されているように、反射電圧によって出力が強制的にリセットされるために本来の回路時定数によって定まるスイッチ時間よりもはやくスイッチし、それだけ細いパルスを発生させることができる点である。この点は特に超高速パルス回路には有利であり、現在入手しうるような普通の素子を使用して、数百MHzに近い動作をさせうるもとになっている。

2.2.5 論理回路の構成

論理回路特に否定回路を考えるために信号をどのように表現するかを明確にしておく必要がある。2進信号の表現法としては正負のパルスを使用する方法とパルスの有無を使用する方法が考えられる。

前者は対回路方式などの多数決回路に使用されるが、ここで考えている基本回路のような1極性パルス回路では、単一回路にこのようなパルスをのせることが出来ないのといわゆる表回路と裏回路を使用する2回路形式をとらなければならない。この形式は一方が情報伝送の主体となり他方は単に否定をとるときにのみしか有用でないので、誤り検出機能があることを考えても効率の良い方法とは思えない。ここでは後者の方法をとることにする。この方式の欠点は否定回路の構成のために外部から何らかのパルスを必要とする。全体が同期回路ならば各段に同期パルスが入っているのでこれを利用すれば良いが、完全非同期方式ではこの点が最も難点となる。ここでは同期式の考え方により、必ずしも全ての段に同期パルスを供給しないで、否定回路や位相調整の必要なところのみ同期パルスを供給し回路の簡単化をはかることにする。同期のかけ方は直流バイアスにクロックパルスを重畳したバイアス変調方式による。これは信号とクロックのAND回路になっている。ただし否定回路は後に述べるような方式をとる。

この同期は信号の逆方向伝送を防止するような多相同期ではないので、信号の方向性は別の手段で与えなければならない。基本論理回路AND, OR, NOTを図2.38に示す。AND, ORについてはアナログスレッショルド論理であって、要するにトンネルダイオードに流れる全電流が I_p を越せば良いわけであるからその条件を満足するようにバイアスを調整する。またOR回路の入力を奇数個とし正負パルスを加えると多数決回路にもなる。このように通常の論理回路と多数決回路が同じ回路形式で混用できるのが利点である。否

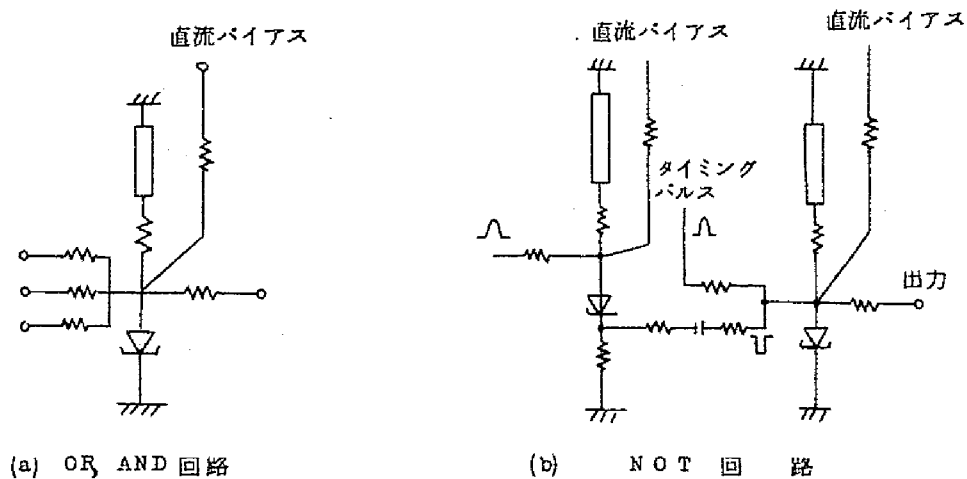


図 2.38 基本論理回路

定回路は入力パルスより負パルスをつくりこれとクロックパルスを加える。入力があるときは相殺してパルスが出ないが、入力パルスがない時にはクロックパルスが出力パルスとして出る。このような方式ではパルスの極性を変換する回路が必要であり、これを図 2.39

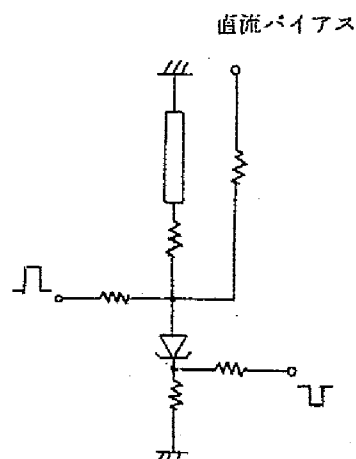


図 2.39 並列形の極性反転回路

に示す。正と負はどちらを入力とし出力としてもかまわない。ファンイン、ファンアウトの合計は単純回路で5個程度である。正負のパルスが入る多数決回路では動作を確実にするために3～4個となる。

2.2.6 方向性の検討

ここで考えている回路は反射電圧を利用するので不応時間が存在し、従って結合回路では次段の出力が前段にもどって来てもこれが不応時間内ならば信号の逆方向伝送をふせぐことができることを特徴とした。しかしこれは単に前方にのみ信号を送る性質であって、この方向は初期条件によって定まり普通に考えられている絶対的な方向性を与えるものではない。したがって場所や結線方法によってはこの方法のみで逆方向伝送をおさえることができない場合がある。たとえば図2.40のように2個以上の入力をもつ回路にお

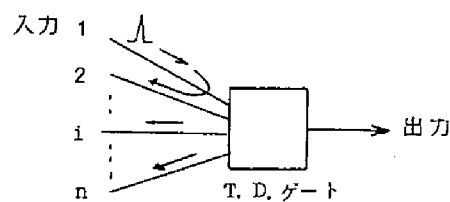


図 2.40 多数入力ゲート回路の例

いて、1個の回路にのみ信号が来たとき他の入力回路は出力回路と区別がつかないので信号が逆に伝わるということが起こりうる。そのため1方向性回路を考える必要がある。

3相のクロックパルスを使用する方法は次のダイオードを使用する方法と共に最も普通な方法であるが、全ての回路にクロックを供給する回路網を必要とするので複雑になる欠点がある。また100~300MHzのクロックではクロック回路の遅延の問題も重要になる。ここでは非同期回路を考えているからこの方法はとらないことにした。普通のゲルマニウムダイオードを使用する方法では、ゲルマニウムトンネルダイオードと組み合わせると動作電圧を考えてみるとむずかしいことがわかる。実際両方向とも通らないか、順方向が通るようにバイアスを調整すると逆も通ることが認められた。一つの方法は図2.41のように入出力回路を不平衡にすると動作バイアスがずれることを利用して、抵抗Rを30Ωにすると約60mVの電圧差を生ずるので順方向バイアス157~167mVのとき逆方向の伝送を止めることが出来る。ダイオードの中では1S73が一番よいように思えるが、順方向を確実にするためにバイアスを上げるとマージンがとれなくなり発振しやすくなる。トンネルダイオードとしてガリウム砒素を使用すると動作電圧が大きいので、適当なゲルマニウムダイオードにより逆方向を止めることが出来る。この組合せの方が有望である。

次にトンネルダイオードとバックワードダイオードの組合せはよく知られているもの

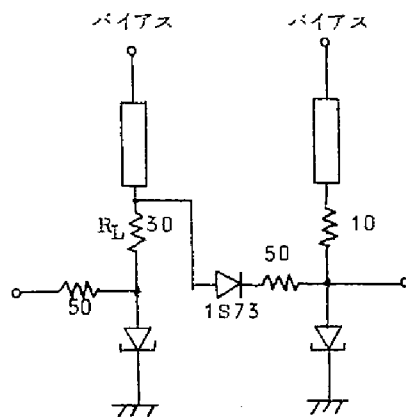


図 2.4 1 電圧レベル差を利用する方法

で原理的には問題がないが、使用にたえるバックワードダイオードを入手できるか否かが問題である。高速パルスで使用するためには電流電圧特性の良いことのほかに並列容量が小さい事が重要である。容量が大きいとこの方を通してパルスがぬけることが考えられる。特に論理回路の中に使用するようなときにはトンネルダイオード自身がファンアウトを多くとられているので、このような場合にこそマージンの大きい安定な方向性がほしいわけである。ゲルマニウムトンネルダイオードに対してはゲルマニウムバックワードダイオードの組合せをとるのが普通であるから容量 5 PF 以下のバックワードダイオードが望ましい。

トランジスタに適当なバイアスをかけて線形増幅器として使用し信号の方向性をうるることができる。通常、信号は極性が変化すると困るのでベース接地またはコレクタ接地により入出力間の位相反転は起らないようにする。また増幅は必ずしも必要ではないので増幅率は 1 または 1 以下でもよい。トランジスタとしてはカットオフ周波数の高いことが主なる条件である。この方法はダイオードによる方法に比べればコレクタ電源が必要である点や抵抗を数個必要とするなどの不便があるが、この部分をモジュール化することによりダイオードが十分使用出来ない場合はそれにかわる方法と考えられる。実験では NPN トランジスタとして 2SC103 をエミッタホロワ形で使用したとき順方向と逆方向の振幅比は約 2 倍となり、方向性回路として使用できることがわかった。しかしエミッタベース間の容量によるパルスのもれが存在するので、パルスの波形によってはこの点が問題になると考えられる。逆方向が完全にとまらない一つの原因はこの現象によるものである。

複数個の回路の組み合わせにより不要な方向にパルスが出るのを消す方法がある。図 2.42

性素子の一般的な代用とはなりにくい。

2.2.7 電源余裕度

ここでは直流条件をもとにした回路の最悪値設計による電源余裕度を計算する。単一ダイオード単安定回路の動作余裕度の解析はすでに文献(15)をはじめ多く行われているので、ここでは現在の回路の数値計算を行なえる範囲にとどめる。まずトンネルダイオード特性を考えると、ばらつきが一番問題になるのは I_p である。対回路などでは対にする2個のダイオードの特性を使用時に選別して厳密にそろえている。しかしこの場合の選別は対を構成するための選別であって単一ダイオード形の場合には必要がない。単一ダイオード形の場合のばらつきは通常の部品精度程度を考えれば良く、もしこの様なダイオードで構成した多数の回路間の動作点のばらつきが許容範囲をはみ出す場合にはバイアス抵抗で調整する方法をとるのが实际的である。最悪値設計は部品のばらつきによる動作点のばらつき方の目やすを与えるものであるが、最悪値設計では条件がきびしく出すぎるのが普通であって、実際には何らかの調整場所を設けることにより計算上では不合格となる部品でも回路を組むことが出来る。ここでは实际的なばらつき範囲として I_p は $\pm 2\%$ 、 I_v 、 V_p 、 V_v は $\pm 5\%$ 、抵抗は市販品より考えて 2% を考える。

図 2.43(a) の直列単安定回路を考える。安定動作点は低電圧状態 A にあるとし、各種パラメータの変化による電源 V_B のとりうる範囲および A 点の電圧電流の値を計算する。

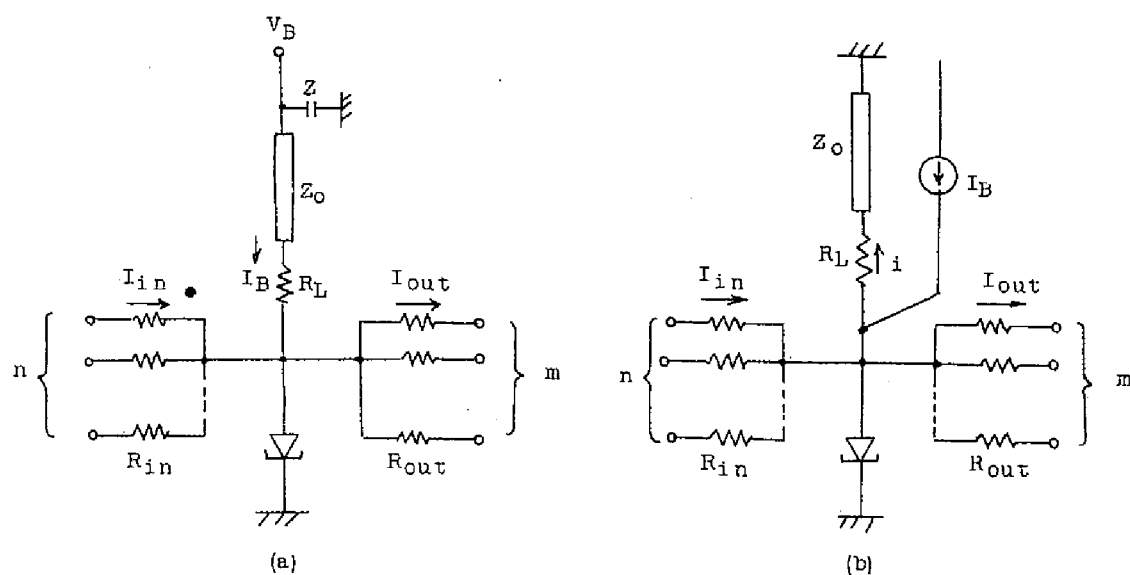


図 2.43 直列形回路と並列形回路のパラメータ

今 n 入力 m 出力回路が OR 回路として動作するための条件を求める。直流バイアス条件として

$$I_B \max \leq I_{p \min} - n I_{in \text{ lk max}} - m I_{out \text{ lk max}} - I_s \max \quad (2.28)$$

トリガ条件として

$$I_{in \min} \geq I_{p \max} + (n-1) I_{in \text{ lk max}} + m I_{out \text{ lk max}} + \Delta I_{\min} - I_{B \min}$$

または書きかえて

$$I_B \max \geq I_{p \max} + (n-1) I_{in \text{ lk max}} + m I_{out \text{ lk max}} + I_{\min} - I_{in \min} \quad (2.29)$$

出力電流値は

$$I_{out \min} = \frac{1}{\left[m + \frac{R_{out \min}}{R_{in \min}} (n-1) \right]} \left[I_{p \min} + \Delta I_{\min} - I_{v \max} - \frac{V_{v \max}}{Z'_{o \min} + Z_n} \right] \quad (2.30)$$

ここに I_B : 全バイアス電流, ΔI : オーバードライブ電流,

I_{in} : 入力電流, $I_{in \text{ lk}}$: 入力回路リーク電流,

I_{out} : 出力電流, $I_{out \text{ lk}}$: 出力回路リーク電流,

I_s : 安全電流, $Z'_o = R_L + Z_o$, Z_n : 終端インピーダンス

とかきあらわされる。入出力回路を対称として $R_{in} = R_{out}$ と仮定する。また $I_s \max$ を $I_{p \max}$ の 2%, ΔI_{\min} を $I_{p \min}$ の 5%, ΔI_{\max} を $I_{p \max}$ の 5% にとるものと仮定すると次式をうる。

$$I_{in \text{ lk max}} = I_{out \text{ lk max}} = I_{\text{lk max}}$$

$$I_B \max < I_{p \min} - (m+n) I_{\text{lk max}} - 0.02 I_{p \max}$$

$$I_B \min > I_{p \max} + (n-1+m) I_{\text{lk max}} + 0.05 I_{p \min} - I_{in \min}$$

$$I_{out \min} = \frac{1}{n+m-1} \left[1.05 I_{p \min} - I_{v \max} - \frac{V_{v \max}}{Z'_{o \min} + Z_n} \right]$$

(2.31)

上の 3 式 (2.28), (2.29), (2.30) 又は (2.31) より I_B の上限と下限が求め

られる。これよりトンネルダイオードを流れる直流電流すなわちA点の電流値 I_a は I_B にリーク電流分を補正して求められる。また電源電圧 V_B ，A点の電圧 V_a も求められる。今近似的にダイオードの低電圧状態の特性を直線近似しこの値を r とすると次式が求められる。

$$\left. \begin{aligned}
 V_{B \max} &= \left(R_{L \max} + \frac{r_{\max} \cdot R}{r_{\max} + R} \right) I_{B \max} \\
 V_{B \min} &= \left(R_{L \min} + \frac{r_{\min} \cdot R}{r_{\min} + R} \right) I_{B \min} \\
 V_{a \max} &= \frac{r_{\max}}{R_{L \max} + r_{\max} \left(\frac{R_{L \max} + R}{R} \right)} V_{B \max} \\
 V_{a \min} &= \frac{r_{\min}}{R_{L \min} + r_{\min} \left(\frac{R_{L \min} + R}{R} \right)} V_{B \min} \\
 I_{a \max} &= V_{a \max} / r_{\max} \\
 I_{a \min} &= V_{a \min} / r_{\min} \\
 I_{lk \max} &= \frac{V_{a \max} - V_{a \min}}{R_{in \min} + R_{out \min}}
 \end{aligned} \right\} \quad (2.32)$$

ここに R は入出力回路の等価負荷抵抗

この考え方は回路常数の変動の影響を全て電源余裕度の形で比べようとするもので、逆に電源余裕度が定まれば動作点、入出力電流値、入出力数などが定められる。

次にAND回路に対しても全く同じ考え方をとると(2.28)，(2.29)，(2.30)の3式のかわりに次式が成立する。

直流バイアス条件として

$$I_{B \max} < I_{p \min} - I_{in \ lk \ max} - m I_{out \ lk \ max} - (n-1) I_{in \ max} - I_{s \ max} \quad (2.33)$$

トリガ条件として

$$I_{B \min} > I_{p \ max} + m I_{out \ lk \ max} + n I_{in \ min} \quad (2.34)$$

出力電流は

$$I_{out \min} = \frac{1}{m} \left[I_{p \min} + n I_{l \min} - I_{v \max} - \frac{V_{v \max}}{Z'_{o \min} + Z_n} \right] \quad (2.35)$$

$$I_{out \max} = \frac{1}{m} \left[I_{p \max} + n I_{l \max} - I_{v \min} - \frac{V_{v \min}}{Z'_{o \max} + Z_n} \right] \quad (2.36)$$

前と同じ仮定により(2.31)式に対応する式は

$$I_{B \max} < I_{p \min} - (m+1) I_{lk \max} - (n-1) I_{in \max} - 0.02 I_{p \max}$$

$$I_{B \min} > I_{p \max} - m I_{lk \max} + 0.05 I_{p \min} - n I_{in \min}$$

$$I_{out \min} = I_{in \min} = \frac{1}{m} \left[(1+0.05n) I_{p \min} - I_{v \max} - \frac{V_{v \max}}{Z'_{o \min} + Z_n} \right]$$

$$I_{out \max} = \frac{1}{m} \left[(1+0.05n) I_{p \max} - I_{v \min} - \frac{V_{v \min}}{Z'_{o \max} + Z_n} \right]$$

(2.37)

となる。以下これ等の式より V_B をもとめさらに回路常数が検討できることは前の場合と全く同じ手順による。ここで求めた式において $I_{out} = I_{in}$ とおくと同形の回路により駆動された場合に相当する。入出力数が多い程回路条件がきびしくなり余裕度が減少するから、入出力数の多い場合の最悪値設計としては同形回路による駆動を考えた方が良いと思われる。また入出力回路のリーク電流は抵抗結合回路の場合を考えたものであるが、コンデンサ結合の場合には直流リーク電流は存在しないので上の諸式で $I_{in \ lk}$, $I_{out \ lk}$ の項は零となり余裕度が若干大になる。

次に並列形について考える。図2.43(b)に示すように電源としては定電流源を考えれば良いからこれを I_B とする。n入力m出力回路がOR回路として動作する条件をもとめると(2.28), (2.29)式の左辺をそれぞれ $I_{B \max} - i_{\min}$, $I_{B \min} - i_{\max}$ でおきかえればよい。ここに

$$i_{\left(\begin{smallmatrix} \max \\ \min \end{smallmatrix} \right)} = \frac{R}{R_L + R + \frac{R R_L}{r}} I_{B \left(\begin{smallmatrix} \max \\ \min \end{smallmatrix} \right)} \quad (2.38)$$

でこれは R_L を通って分流する電流値である。出力電流は (2.28) 式で $Z_n=0$ としたものに等しい。AND 回路に対しても同様に (2.33), (2.34) 式の左辺を $I_{B \max} - i_{\min}$, $I_{B \min} - i_{\max}$ におきかえればよく出力電流は (2.35), (2.36) 式で $Z_n=0$ とすればよい。また A 点の電流, 電圧値は

$$\left. \begin{aligned} I_{a \max} &= \frac{R}{r_{\max} + R} I_{B \max} \\ I_{a \min} &= \frac{R}{r_{\min} + R} I_{B \min} \\ V_{a \max} &= r_{\max} \cdot I_{a \max} \\ V_{a \min} &= r_{\min} \cdot I_{a \min} \end{aligned} \right\} \quad (2.39)$$

となる。結局並列形の場合でもトンネルダイオードの動作点は直列形と同じであって、全バイアス電流 I_B が定電流化され i だけ余分に流れている。

次に数値計算例として表 2.2 に示す数値を使用して直列形と並列形について計算した結果を表 2.3 に示す。この計算において $I_{lk \max}$ は OR 回路の場合 $V_B = 150 \text{ mV}$, AND 回

I_p	10 mA	$\pm 2 \%$
I_v	1.2 mA	$\pm 5 \%$
V_p	7.0 mV	$\pm 5 \%$
V_v	350 mV	$\pm 5 \%$
R_L	10 Ω	$\pm 2 \%$
R_{in} R_{out}	50 Ω	$\pm 2 \%$
Z_o	130 Ω	

表 2.2 パラメータの値とばらつき範囲

路の場合 $V_B = 100 \text{ mV}$ と仮定して算出した。出力数が増加すると電源余裕度が小になるが、これは同形の回路の駆動を考えているため入力電流が減少することと、抵抗結合を考えているため直流リーク電流が流れるからである。コンデンサ結合にすると直流リーク電流はなくなるので余裕度が改善されるのは勿論である。動作点のずれをバイアス抵抗で調

		動作点		I_{in}	直列形	並列形
		V_a	I_a		V_B	I_B
OR	$m+n$ 2	62~25	8.2~3.8	6.3~	159~ 67	13.0~ 9.3
	3	58~42	7.7~6.4	3.2~	154~116	14.1~12.8
	4	54~45	7.2~6.9	2.1~	150~131	14.2~13.7
AND	$n=2$ $m=2$	34~23	4.5~3.5	3.6~3.2	94~ 66	8.5~ 7.4
	$n=2$ $m=3$	39~32	5.2~4.9	2.4~2.1	111~ 96	10.5~10.1

(電圧 mV, 電流 mA)

表 2.3 動作点と電源余裕度(自己同形駆動)

整することを考えると、並列形は大きな抵抗を使用して定電流形にするのでこの抵抗値を調整することは容易であり、他の回路常数には影響を与えない。これに対し直列形ではバイアス抵抗が小さいのでこの値を変えると他の常数への影響が大きい。したがって並列形の方が有利であり、特に回路数が多い場合には並列形でないと實際上回路構成がむずかしい。

2.3 基本回路の実験

2.3.1 立体回路による基礎実験

基本回路でどのようなパルスが出るかを調べてみる。使用したトンネルダイオードは東芝 M8436 で特性を図 2.44 に示す。回路は同軸ケーブルを使用した立体回路とプリント配線によるマイクロストリップ線を使用したものの2種類を考えた。図 2.45, 図 2.46 にその写真を示す。基本実験には両回路を試験したが、実際には回路の小形化、価格、作業の容易さの上で実用実験は全てプリント配線のものを使用した。ここでは立体回路による初期の基礎実験結果について述べる。ダイオード容器は TO-18 を使用し、抵抗は超小形炭素皮膜抵抗 1/8 W を使用した。また回路の接続は BNC コネクタと同軸ケーブルを使用している。

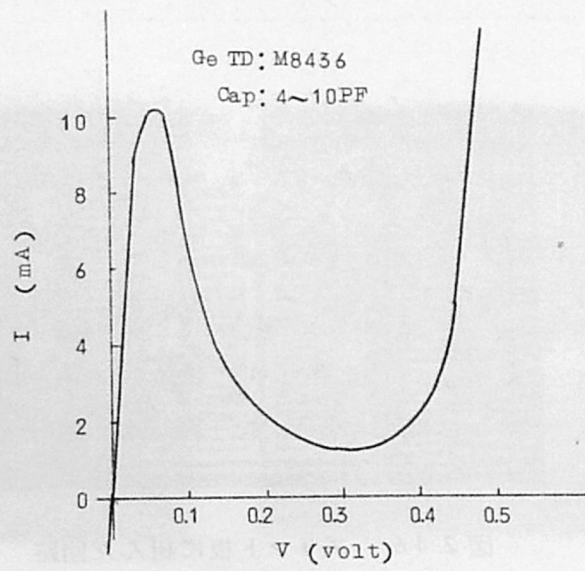
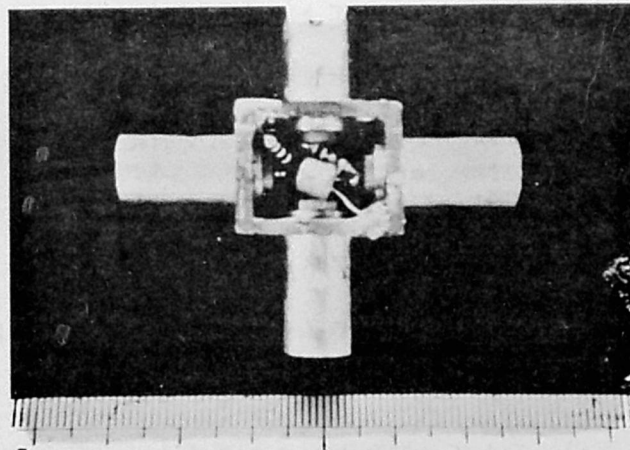
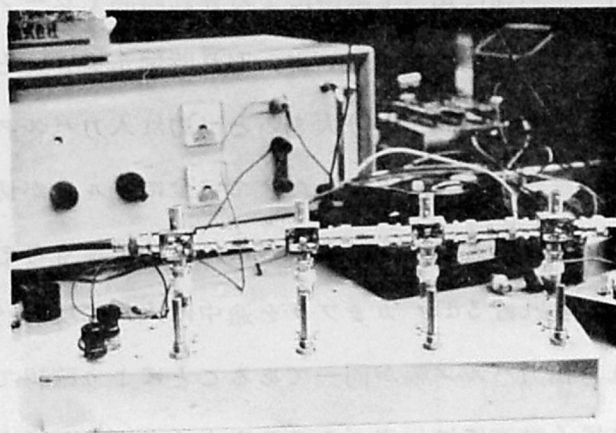


図 2.44 M8436 の特性



(a) 基本回路



(b) 4 段直結回路

図 2.45 同軸による実験回路

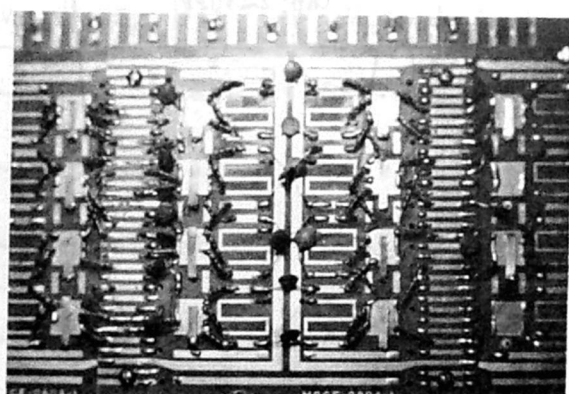
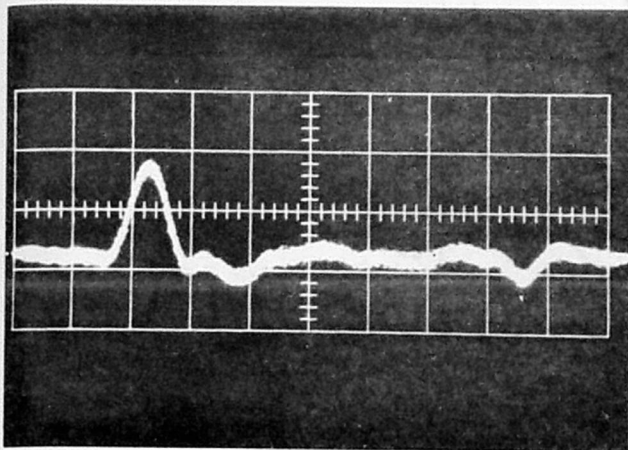


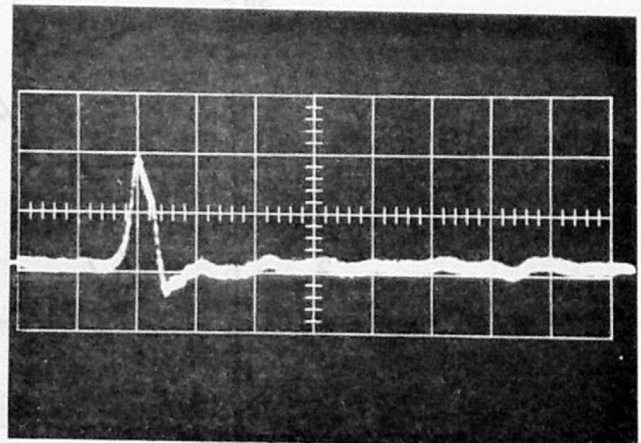
図 2.46 プリント板に組んだ回路

1) パルスの発生

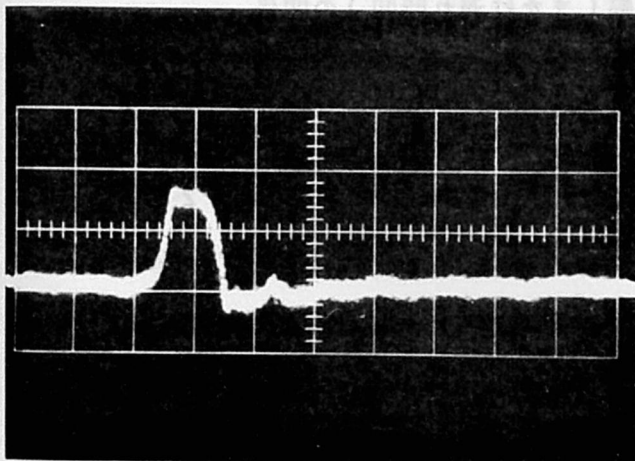
まずケーブル長とパルス幅をしらべるためにトンネルダイオードを2安定条件にバイアスし出力波形をしらべてみる。回路は直列形を使用した。図2.47の写真で(b)の如く出力パルスが入力パルスより幅がせまいのはケーブルによる反射によってトンネルダイオードがスイッチしているためで、一方(d)のように十分長いケーブルを用いると入力パルス以上の幅のパルスをうる。このことは適当なバイアスをとることによってトンネルダイオードが2安定状態で動作して低電圧から高電圧にスイッチしたときの立上り波が線路を伝搬して反射し、この反射端は大きなコンデンサが入っているから高周波に対しては接地状態になるので逆極性の電圧波が帰ってきて、再びトンネルダイオードをスイッチさせるという前節に述べた動作原理を確認するものである。バイアスの値を変化すると単安定の動作領域に入る。このとき入力パルス幅に比べて線路による遅れ時間(ケーブル往復時間)が小さいと2安定の場合と出力波形は何ら差がないが、遅れ時間が大きいと入力パルスの立下り部分の影響が認められる。遅れ時間が十分大きいと出力は入力パルス幅と同一になるが、それほど大きくない場合には波形がわるくなるだけで完全にパルスが切れるのは認められなかった。パルスの反射は線路の近端でおこるものは何らの影響も与えず、すべて遠端でおこるものばかりである。これは3dB カップラを途中に入れて反射パルスのみを測定し、反射パルスの時間おくれと出力パルス幅が同一であることにより確認できる。図2.48は線路の長さとお出力パルス幅(厳密には出力パルスの立上り点から下降点までの幅でこれは反射パルスの線路往復時間に一致する)を2種類の同軸ケーブルについて測定したものである。使用したケーブルは特性インピーダンス 50Ω と 93Ω のものをを用いた。測定結果



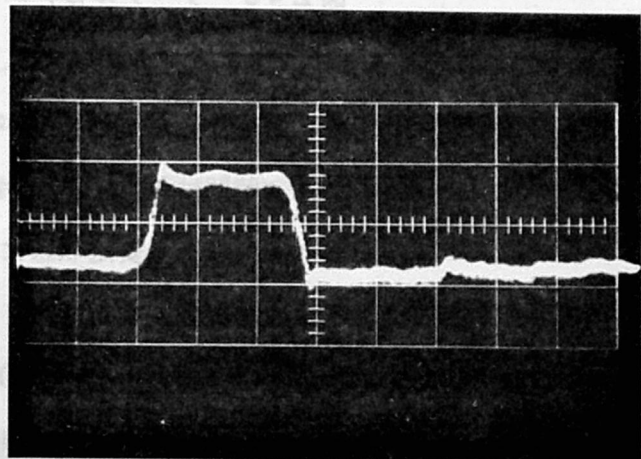
(a) 入力パルス



(b) $L \approx 5 \text{ cm}$



(c) $L = 30 \text{ cm}$



(d) $L = 105 \text{ cm}$

図 2.47 線路長 L とパルス幅の実測 ($H: 5 \text{ ns/div}$)

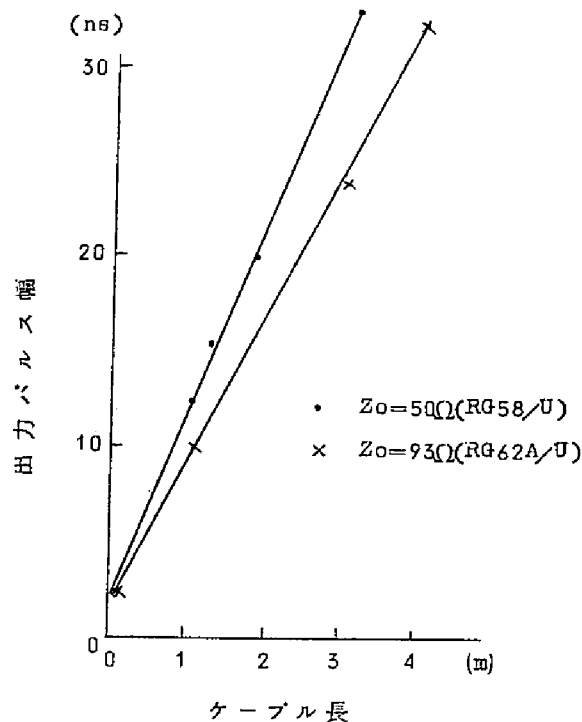


図 2.48 ケーブル長とパルス幅（または遅れ時間）の関係

から見ると 50Ω のケーブルの方が遅れ時間が大きい。50 cm のケーブルで約 5 ~ 6 ns のパルス幅が得られ立上り時間は 1.8 ~ 2 ns である。入力パルスは幅が 10.5 ns と 27 ns のものについて測定したが動作を 2 安定状態に選んだため、出力パルス幅はケーブル長のみで定まり入力パルス幅には関係がなかった。次にトンネルダイオードをかえて同様の実験を行った。まず東芝 M8436 ($I_p = 5\text{ mA}$) のものについてはケーブル長とパルス幅の関係は前の場合とかわりないが、Sony 1T1102 ($I_p = 2\text{ mA}$) についてはパルス幅のせまい範囲についてしか線路長とパルス幅の関係が明確につかめなかった。この範囲内では先の実験結果とほぼ一致するが線路長がながくなると入力パルス自身とその反射波が測定され、バイアス点の設定がむずかしく安定性もあまりよくない。総括的に見てトンネルダイオードは I_p の大きいものの方がスイッチが明確で使用しやすい。この意味で以下の実験はすべて $I_p = 10\text{ mA}$ のものを使用している。

次に動作点を負抵抗領域に定めることにより無安定動作をさせることが出来る。この場合の出力パルス幅は線路の長さにより一定であるが、くり返し周期は線路長の外にバイアス値によって若干変化する。この関係を測定したものが図 2.49 で線路が長い場合によく変化している。線路が短い場合にはもともとくり返し周期が短かいので変化率も小さい。このことは前節に述べた多重反射のかさね合せの現象を考えれば納得のゆくところである。

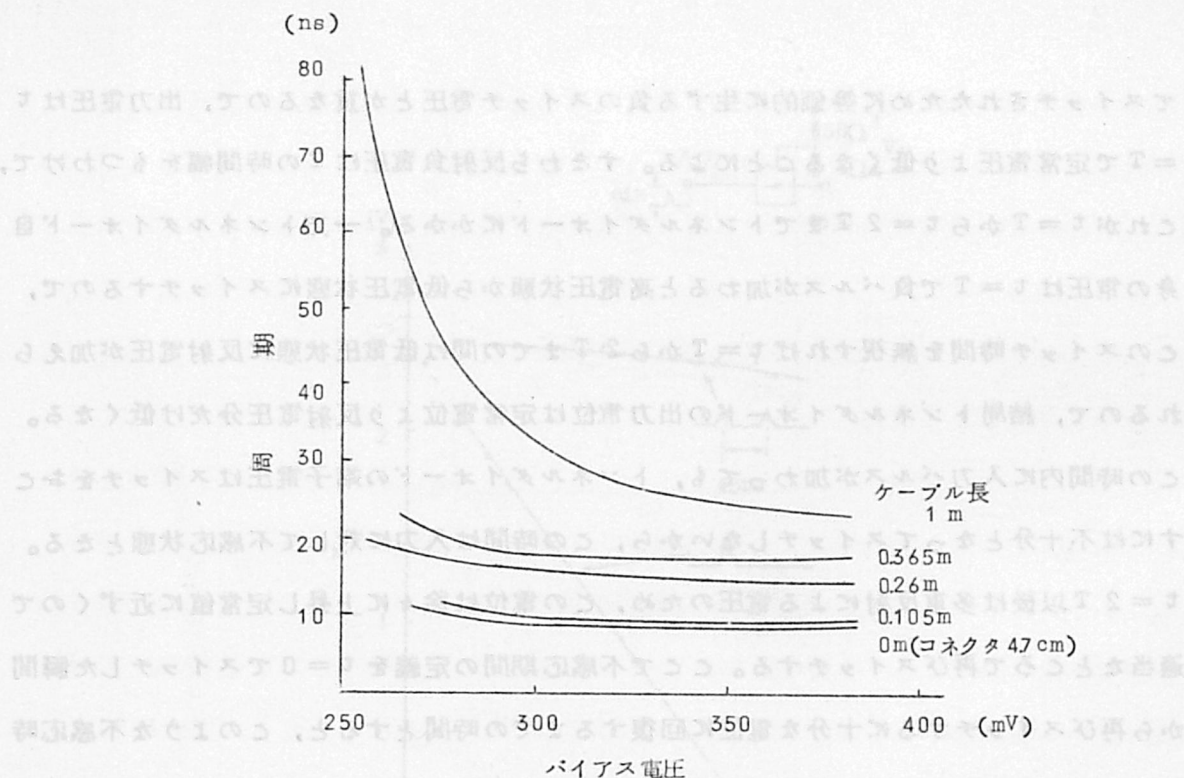


図 2.49 無安定回路発振の周期とバイアスの関係

10 cm の同軸ケーブルを用いるとくり返し 100 MHz のパルスをうることが出来る。このときの波形は図 2.50 の写真に示すようにパルス自身は三角形に近いがオフの時間はきれいにスイッチしている。この方法で得た最高のくり返し周波数は約 125 MHz でパルス幅は 4 ~ 5 ns である。

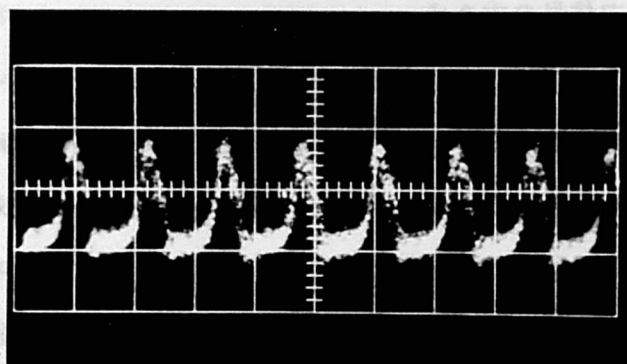


図 2.50 直結回路発振波形

2) 不感応時間

前節の解析結果や出力パルスの写真からもわかるように、この回路がスイッチした直後に入力に対する不感応時間が存在する。これは $t = T$ で線路による反射電圧とこれによっ

てスイッチされたために等価的に生ずる負のスイッチ電圧とが重なるので、出力電圧は $t = T$ で定常電圧より低くなることによる。すなわち反射負電圧は T の時間幅をもつわけで、これが $t = T$ から $t = 2T$ までトンネルダイオードにかかる。一方トンネルダイオード自身の電圧は $t = T$ で負パルスが加わると高電圧状態から低電圧状態にスイッチするので、このスイッチ時間を見れば $t = T$ から $2T$ までの間は低電圧状態に反射電圧が加えられるので、結局トンネルダイオードの出力電位は定常電位より反射電圧分だけ低くなる。この時間内に入力パルスが加わっても、トンネルダイオードの端子電圧はスイッチをおこなうには不十分となってスイッチしないから、この時間は入力に対して不感応状態となる。 $t = 2T$ 以後は多重反射による電圧のため、この電位は徐々に上昇し定常値に近づくので適当なところで再びスイッチする。ここで不感応期間の定義を $t = 0$ でスイッチした瞬間から再びスイッチするに十分な電位に回復するまでの時間とすると、このような不感応時間は出力パルス幅（すなわち線路の長さ）とバイアス値、入力パルスの大きさの3つに依存するが最も短い場合でもパルス幅の2倍だけは存在する。入力パルスとして前段のトンネルダイオードの出力を考えると、ほぼ出力パルス幅の2倍～3倍の不感応時間が得られる。無安定状態の発振をおこした場合の最小くり返し周期を決めるものはこの不感応時間であると考えられ、4 ns のパルス幅の場合には125 MHzが最高くり返し周波数となるのはこれを示している。外部から連続した2個のパルスを送りこんで2個の連続した出力をうるためのパルス間隔は8 ns以上短かくすることは出来ず、これより短い間隔でトリガしても後のパルスが拒絶されることはこの考え方により説明できる。

3) バイアスと入力信号の大きさ

この回路が単安定で動作するか無安定で働くかは主としてバイアス値と入力信号の大きさによってきまる。バイアス電圧が大きいと無安定動作となることは前にも述べたとおりである。このときバイアスを増加してゆくと1個のトリガパルスに対して1個の出力パルスを出す単安定状態から、2個、3個と連続してパルスを出す過渡状態を経てついに発振に至るのが観察される。これは多重反射によって線路端の電圧が段階的に上昇するという前節の解析結果を考えると、バイアス電圧が高くなることによって多重反射パルス自身がトリガ作用をして再び出力を出し、第1と第2のパルスの間隔がバイアス電圧の上昇と共にせまくなり、同時にさらに第3、第4のパルスを出すようになることが容易に説明出来る。また入力パルスの振幅が大きくても同じ効果をもつわけである。図2.51はバイアス値と入力パルス値によりどのような出力が出るかを測定したもので、図の直線は図示され

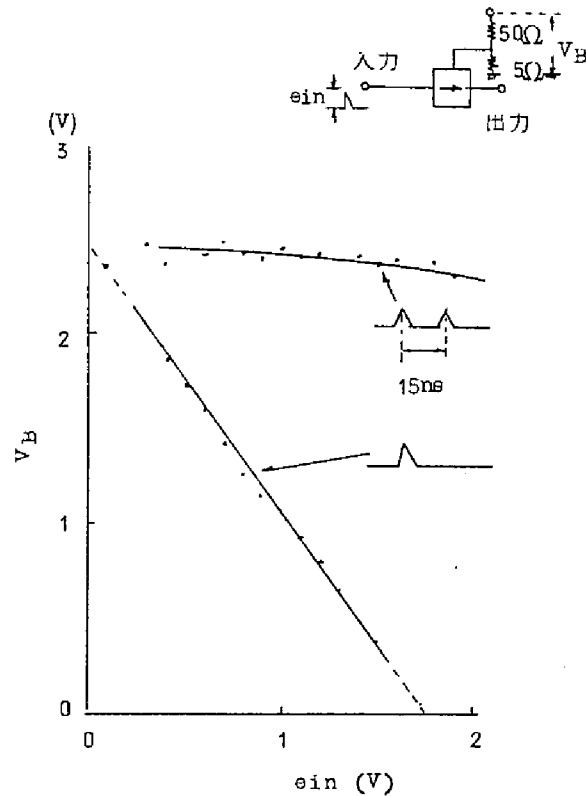


図 2.51 入力信号の大きさとバイアス電圧の関係

ている波形の出る最小の電圧値の関係を示している。バイアス値が大きいと入力の大きさに関係なく無安定動作となることを示している。バイアス電圧はバイアス回路の入力端で測定した値をとった。バイアスを小さくとるとパルスが発生しないから、ある threshold value によりパルスの整形消滅を行うことができる。

4) 並列容量と直列インダクタンスの影響

上に述べたトンネルダイオードの動作、特にスイッチ時間がトンネルダイオードの容量とどのような関係をもつかを調べる一つの方法として、外部より付加容量を並列につないで同一入力パルスでトリガしたときの出力波形の立上りおよび立下り時間を調べた。使用したトンネルダイオードは $I_p = 5 \text{ mA}$ 、 $C \approx 10 \text{ pF}$ のものである。図 2.52 はその結果である。立上り時間、立下り時間ともに増加するが、今トンネルダイオード自身の容量が約 10 pF あるからこれらのスイッチ時間は容量の変化に比例するものではない。付加容量が 20 pF 以上になると波形のくずれがひどく、このくずれはバイアスでもとに戻すことは出来なかった。そこで容量は十数 pF 以下ならばある程度のばらつきがあってもよいことになる。100 MHz 以下のパルス回路用としては容量平均 10 pF は妥当な要求で、100 MHz 以上で使用する場合には 5 pF 以下にする必要がある。

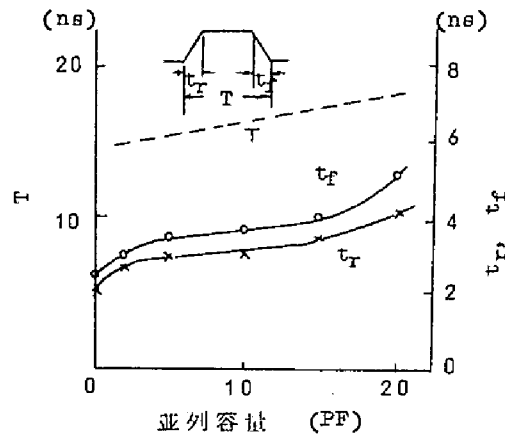


図 2.52 並列容量の影響

次に直列インダクタンスを入れるとパルス幅がのび立ち時間が大きくなる。1 μH 以上のインダクタンスになるともはや反射パルスではスイッチしなくなり、完全にトリガパルスのみで動く 2 安定動作となる。したがって高速動作を望むならば直列インダクタンスは小さい程よいことになる。最高動作速度をあげるためにはダイオード容器の構造、配線方法に検討が必要である。

5) 2 段結合回路の問題

基本回路の結合問題を 2 段の結合についてみる。このときに起こる問題はすべての結合における基礎となる。ここで考える問題は 3 種あります。バイアスの相互影響から考える。これは図 2.53 に示すように 2 個の基本回路を入力抵抗を通して結合した場合に、両段の

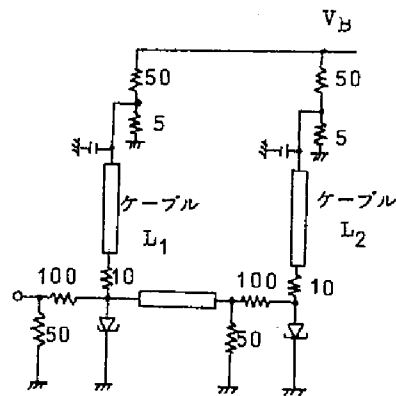


図 2.53 2 段直結回路

バイアス電圧値は一般にトンネルダイオードや抵抗値のばらつきのために同一にはならないので、結合抵抗を通して直流電流が低いバイアス側に流れる。したがって各基本回路を単独に動作状態に調整しても、結合したときに発振をおこしたりあるいは動作しないこと

がある。実験では比較的特性のそろった基本回路を単純に結合してパルスを送送する場合には、この現象はそれ程重大な問題とならず、基本回路が単独で動作していれば結合回路も動作することが確かめられたが、結合した前段と後段の回路の性質が異なる場合たとえば入力数や出力数が異なったり、論理動作の異なる場合には何らかの方法で直流バイアスの相互影響を切る必要が起った。このために性質の異なる回路の結合にあたっては結合コンデンサを使用することにした。コンデンサの大きさはパルス波形をくずすことのないように 0.005 MF 程度を使用した。

次は信号の逆方向伝送の問題である。ここで検討したトンネルダイオードと伝送線路の結合回路は、前述したようにスイッチ後に不感時間が存在するが、これを利用すると信号を一方向に伝送することが出来る。図 2.53 のように 2 個以上の基本回路が遅延回路と結合インピーダンスを通して結合されている場合について考えると、不感時間と遅延回路の遅延時間を適当にとると、送り出したパルスが次段からもどって来た時これを拒絶して前段へ伝えない性質をもつから、信号は次々と後方へのみ伝えられ一方向性が与えられる。今出力パルス幅を T とし不感応時間を T_R ，遅延回路の遅延時間 T_D ，加えられる入力パルスのくり返し周期を T_r とすると、もどって来た次段のパルスが不感応期間内に到着する条件は

$$T_R > 2T_D$$

となる。これが一方向性伝送の条件である。一方入力パルス周期を

$$T_r = nT_D$$

とおくと、入力信号は不感応期間以後に加える必要があるから

$$T_r = T_R$$

である。 n は小さい程信号のくり返し周波数がたかくなるわけであるから、2 以上の数ならばよく整数にえらぶ時は $n = 3$ が最小値である。一方不感応時間 T_R は前述のごとくパルス幅に依存するので、これを

$$T_R = mT \quad (m \geq 2)$$

と表示すると上の各式より

$$nT_D > mT > 2T_D \quad (2.40)$$

が得られる。一例として $n = 3$ ， $m = 2$ とすると

$$\frac{3}{2} T_D > T > T_D$$

が得られ、出力パルス幅が 4 ns のとき $\frac{8}{3} \text{ ns} < T_D < 4 \text{ ns}$ となる。この値は相当大きい

のでケーブルを通しておくらなければならない。次の伝送のところで述べるように、直結回路における等価な伝送おくれは約 1 ns であるから、これより $n \approx 8$ となり $T_r = 8 \text{ ns}$ が得られ、これは最小くり返し周期に等しく合理的である。

第3の問題は次段のパルス幅による前段への影響である。図 2.53 の回路によって説明すると、第1段回路のトンネルダイオードの出力パルス幅をきめるものはケーブル L_1 であり、第2段回路のそれは L_2 である。段間結合ケーブルによる反射は 50Ω 終端をとるから影響はない（段間ケーブルによる反射で第1段回路が影響をうけることは、ケーブルの長さが短ければ前述の原理から 50Ω 終端の有無にかかわらず認められない）。今第2段回路の出力パルス幅が第1段の出力パルス幅に比べて十分長いと、図 2.54 の写真に

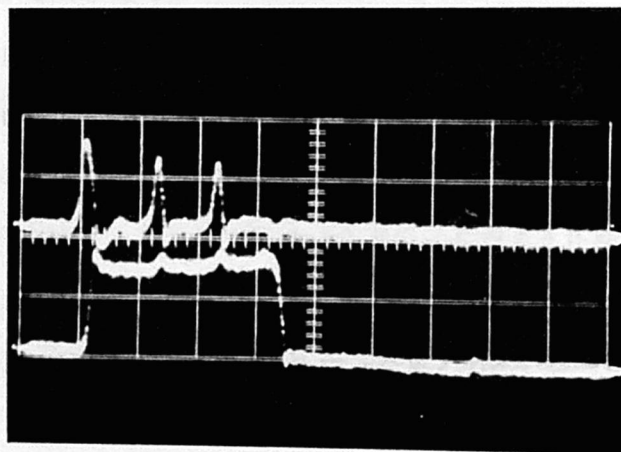


図 2.54 後段パルスの前段パルスへの影響

示すように、本来入力パルスに対応する1個のパルスのみしか出さない第1段回路が数個のパルスを出すことがある。このくり返し時間はバイアスに依存し最も短い場合は発振周期と一致する。またバイアスが低い値の場合にはこのようなパルスを出さない。このことからこの原因は後段の出力があるとこれは前段に対して付加的なバイアスを供給することになり、前段の動作点を一時的に無安定の発振状態にすることによると考えられる。前段のバイアス値をあらかじめ低くとっておくと発振状態まで達しないのでこのような現象はおこらない。これを確認するために前段回路のバイアス値を変化して、相続く出力パルス間隔の大きいものと小さいものについて測定した結果が図 2.55 の○印でこの2点間を点線で結んでみた。これをケーブル L_1 の種々の値について測定し、この第1段回路を無安

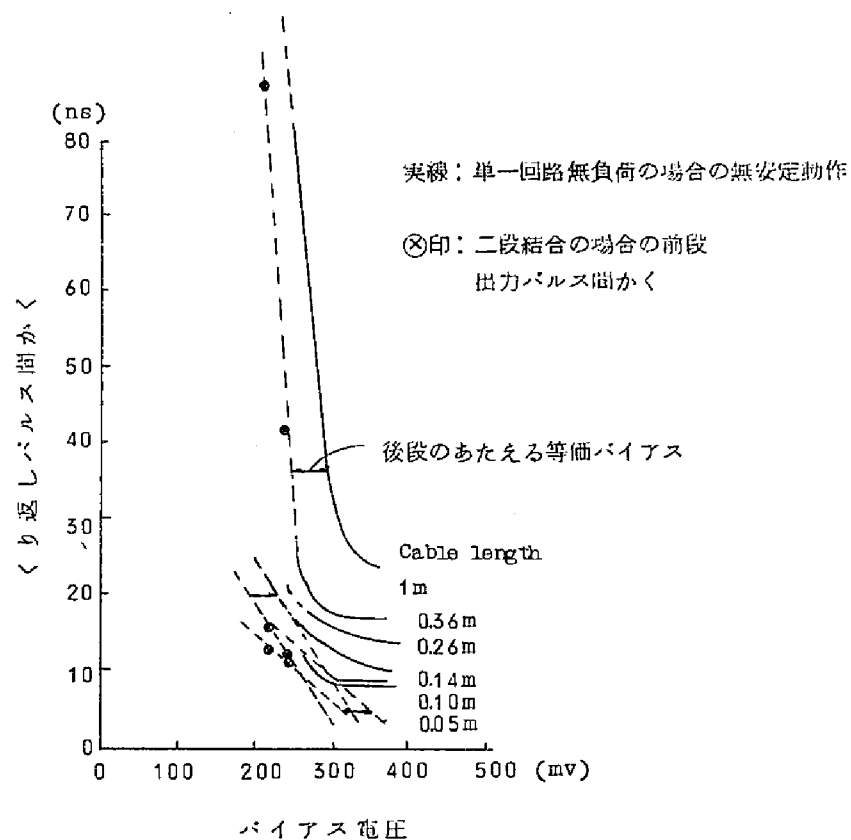


図 2.55 2 段結合の場合の後段から前段への抵抗

定状態で発振させたときのバイアス対くり返し周期の曲線と比較してみた。その結果上記の点線の傾斜と発振状態の場合の傾斜とはほぼ一致し、単にバイアス値がずれて平行移動しているにすぎないことが認められた。この両者間の移動量が後段から前段へ与えられた等価バイアス量になる。第 1 段回路と第 2 段回路の出力パルス幅がほぼ同じならば、結合のための影響は前段に出ない。したがってこの現象は適当な方法でとり除くことが出来るから、それほど重大な問題ではないが不注意に動作点を選ぶと困ることがある。

6) 同期の問題

この回路は非同期動作を目的としているので、単一回路は勿論伝送の問題でもすべて非同期回路を考えている。信号の方向性を与えるために同期をとる必要がないので、この点でも非同期回路に適している。しかしもしこの基本回路をもとにして何らかの回路を構成した時、すべて非同期とすることは不可能で適当な場所で信号の位相を合わせることが必要になり、局部的同期回路を構成することが必要になると考えられる。同期のかけ方の一番簡単な方法はバイアスをスイッチすることで、ここでもこの方法を採用する。具体的には直流バイアスに正弦波の山が重なった時には出力が出るが、谷とかさなる場合には出力

が出ないことを使用して完全に同期をとることが出来る。同期のかかるための条件を求めると、今図 2.56 のようにトンネルダイオードトリガ有効電圧を供給する時間を $2\Delta T$,

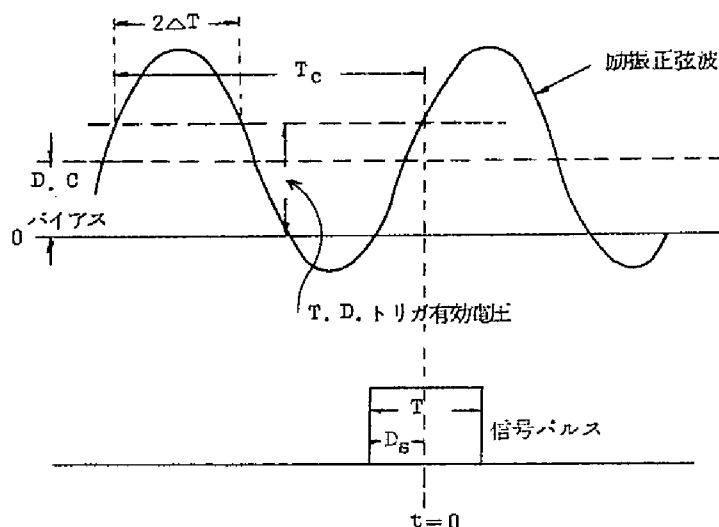


図 2.56 同期正弦波と信号パルスの関係

同期正弦波の周期 T_c 信号パルス幅 T とし、 $t=0$ をバイアス電位がトリガ有効電圧に達した瞬間にとり $t=0$ に対する入力信号のずれ時間を D_s とすると、 D_s の許容範囲は

$$-T_c + 2\Delta T \leq D_s \leq 2\Delta T \quad (2.41)$$

となりこれに必要なパルス幅 T の関係は

$$\begin{aligned} 0 < T \leq T_c - D_s & \quad D_s \geq 0 \\ |D| < T < T_c + |D_s| & \quad D_s < 0 \end{aligned} \quad (2.42)$$

となる。等号は理想の場合のみ成立するが、実際には立上りのおくれ時間や波形のなまりのために意味がない。入力パルス幅 T が同期正弦波の一周期以下の場合には、出力パルス幅は $T < 2\Delta T$ のときは T により、 $T > 2\Delta T$ のときは $2\Delta T$ できる。 T が正弦波の2周期以上にわたると両方の正弦波の山でパルスを出す。実験では同期正弦波を加える場所としてケーブルのトンネルダイオード側端子をとった。反対側端子はパルス反射のためコンデンサで接地しているので使用出来ない。そのため2回路以上に同時に同期信号を供給すると、この同期回路の線路を通してパルスが次段に入りトリガすることがあるので、これをふせぐために同期信号は大きな振幅で加え、 20 pF 、 50Ω の直列回路を通して適当な振幅まで減衰させる方法をとった。これにより不要のパルス信号は十分減衰させて悪い影響を与えることのないようにすることができる。同期信号は矩形波でも良いわけであるが、数十MHz以上の矩形波をつくるのはそれ自体がむずかしいので正弦波を使用した。本来幅のせまいパルスを問題にしているのであるからマークスペース比などの点でも特に

不利になることはない。

7) 縦続接続

基本回路を縦続に接続してパルスを送る一番基本的なものである。バイアスは並列に供給した。実験では4段の場合について行ったが、バイアス電圧は0.33V~0.35Vの間である。段間結合のケーブルは0から375cmまで変えてみたが後段が確実にトリガされ、パルスが伝送出来たからケーブルによる減衰は問題にしくともよい。30cmのケーブルで4段を結合したとき、第1段と第4段の出力のおくれは8.5nsで、4.5cmのBNCコネクタで連結したときには約4.5nsであった。図2.57の写真はこれを示す。また図2.58

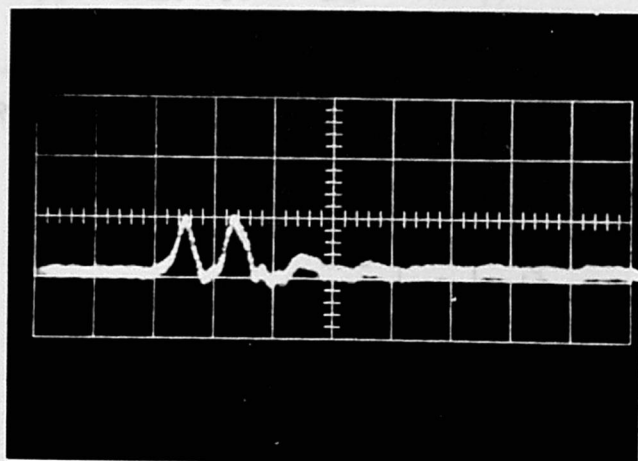


図 2.57 4段伝送のおくれ
(5 cm コネクタ直結の場合)

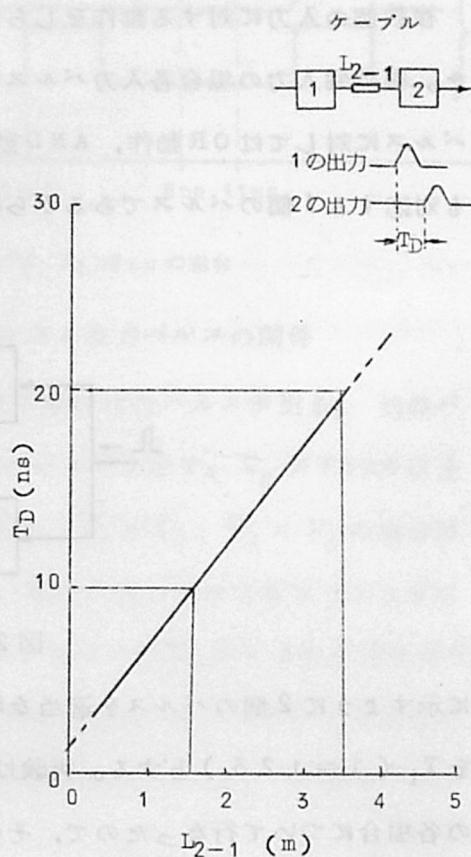


図 2.58 段間ケーブル長とパルスの遅れ時間

は段間ケーブルの長さとおくれ時間の関係を求めたものである。これより結合ケーブルが短い場合には、ケーブルの遅れよりも各段のスイッチ動作のおくれが大きく影響することがわかる。4.5cmのコネクタを伝わる時間が1nsということは考えられないことで、これは主として動作おくれであると考えたと30cmで結合したときに約8ns遅れることも了解できる。実験上传送パルスの逆方向反射などの悪影響は認められず、パルスの一方向伝送が確認された。

8) 出力分岐

3分岐の実験を行った。直結方法で並列に出力をとると各々のバイアスのばらつきが問題になり、特に次段が正常に動作するバイアスにおいて前段に2個のパルスを出す現象が認められた。これは前段の出力側に適当な大きさの抵抗を直列に入れることによりふせぐことができる。このことは出力インピーダンスの低下をふせぐと共に、次段からの直流分の影響を少なくするためと考えられる。このようにして直結による3分岐までの実験ができた。

9) 複数個入力

複数個の入力に対する動作をしらべる。入力回路はアナログ和をとる形のOR回路にした。複数個入力の場合各入力パルスの位相がずれた時の動作が問題になる。同位相で入るパルスに対してはOR動作、AND動作を行わせることはむずかしいことではなく、出力も対応する1個のパルスであるから問題はない。位相ずれのパルスをしらべるために図2.59

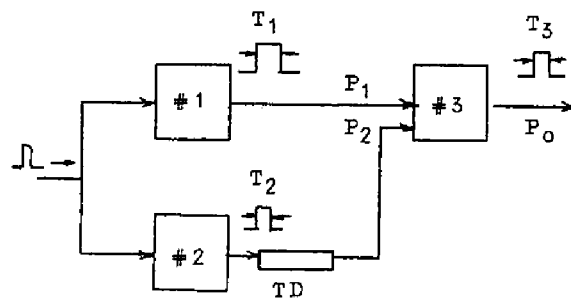


図 2.59 2入力実験回路

に示すように2個のパルスを適当な時間間隔で加え出力を調べた。各回路の出力パルス幅を T_i ($i = 1, 2, 3$)とする。実験は $T_3 = 4 \text{ ns}$ にとり $T_1 = T_2$, $T_1 > T_2$, $T_1 < T_2$ の各場合について行なったので、その結果をまとめてみる。図2.60に種々の場合の入力パルスと出力パルスの関係を理想化して示す。今入力パルス幅 T_1 が 8 ns より小なる場合には2個の入力パルスの間の遅れ時間 T_D が 1 ns より小さいと後のパルスは拒絶されて出力は1個のパルスしか出ない。 $T_D \geq 1 \text{ ns}$ のときには T_D だけの間隔で、前の入力パルスと後の入力パルスに対応する2個の出力パルスが出る。両入力に対する出力パルスを出すための T_D の最小時間は 1 ns である。この場合に後から入る入力パルスの幅は関係しない。次に前の入力パルス幅が 8 ns より大なる場合で、 T_D が 8 ns より小さくてかつ前と後の入力パルスが 8 ns 付近で重なっている場合には、 8 ns ずれた2個の出力パルスを出す。この値は回路の無安定発振の最小周期と一致する。 T_D が 8 ns と 1 ns の間するとき

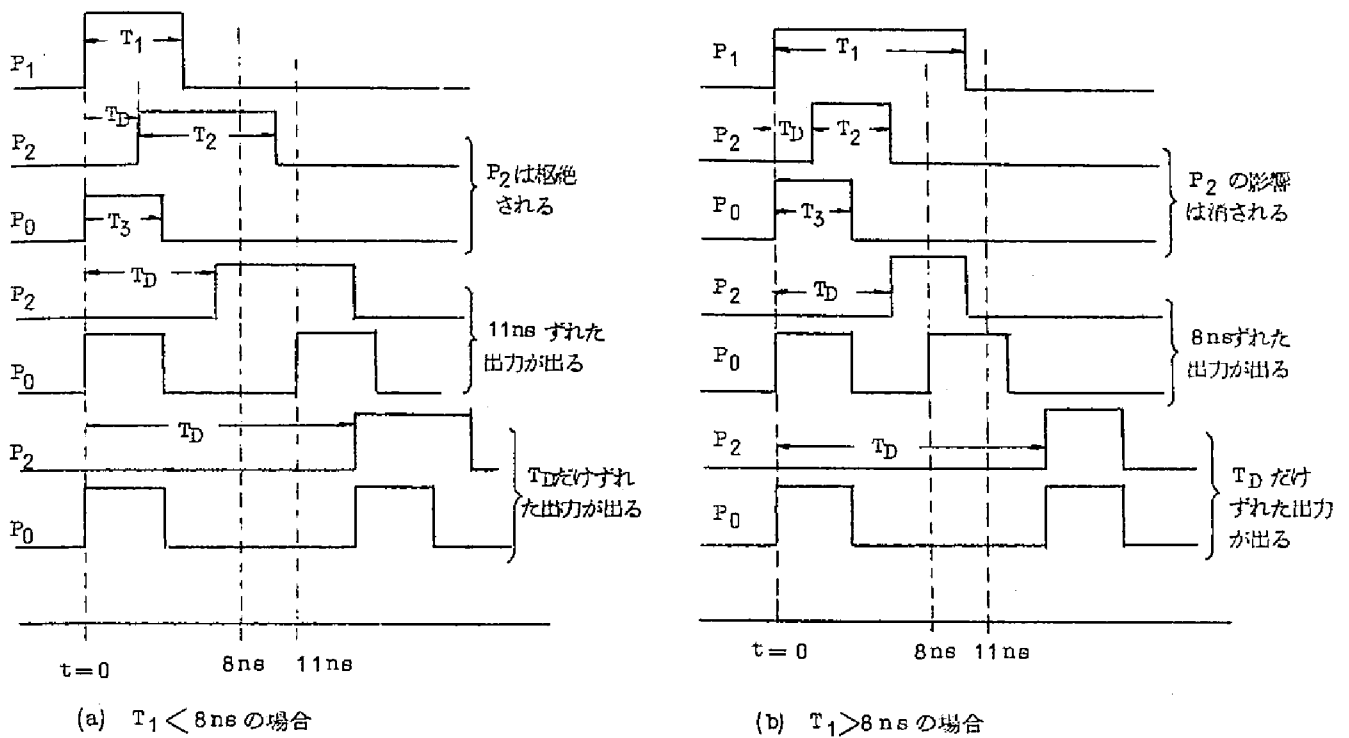


図 2.60 図式化した 2 入力回路の入力パルスと出力パルスの関係

には、前のパルスがまだ残っているとき T_D だけずれた 2 個の出力パルスが出る。前のパルスが消えて存在しないときには 11ns ずれて 2 個のパルスを出す。 T_D が 11ns 以上のときには前と同じく T_D だけおくれて 2 個の出力を出す。 $T_1 = T_2$ 、 $T_1 < T_2$ の場合は比較的簡単で T_1 が 8ns より大きい小さいかにより、後の入力パルスと重なったときに 11ns ずれた出力が出るか、 8ns ずれた出力が出るか、あるいは T_D が十分大きければ T_D だけずれた出力が出る三つの場合である。 $T_1 > T_2$ では T_1 の幅が大きいと上述したようにやや複雑な出力を出す。この関係を測定したものが図 2.61 で、 T_1 の幅をパラメ

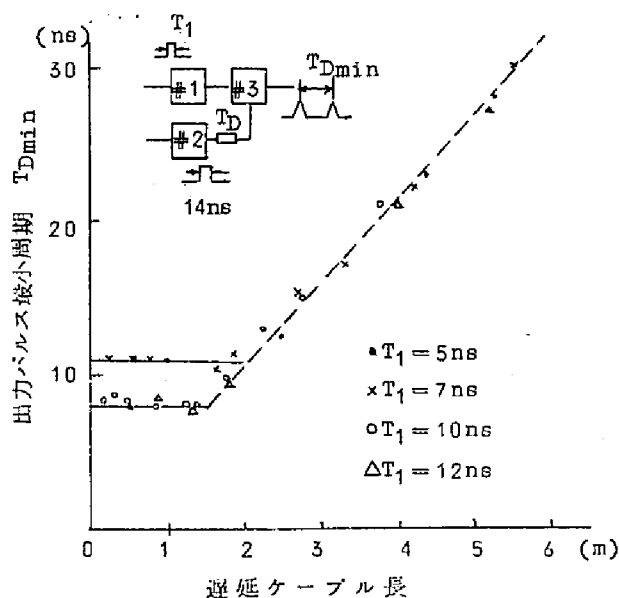


図 2.61 遅延ケーブル長と
最小くり返し周期

ータにして入力パルスの時間差と出力パルスの時間差を示している。

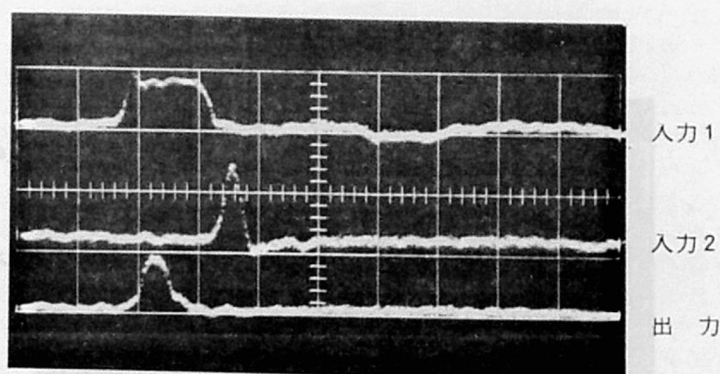
T_1 が 8 ns をとえると測定点は 8 ns 付近で一定値に達するが、 T_1 が小さいと 11 ns 付近より下には出ないので、上の結論を支持する。図 2.62 の写真は実験例で(a)は第 1 パルスの幅が 8 ns で、これに第 2 パルスを 285 cm のケーブルを通して約 7 ns おくらして加えた時に 1 個の出力パルスのみが出る場合を示す。(b)は第 1 パルスの幅がせまく、第 2 パルスを約 4.5 ns おくらして入れたときの 1 個の出力例である。これに対して(c)は第 2 パルスを約 11 ns おくらして入れているので、両入力パルスに対する 2 個の出力が出る例である。11 ns という値は第 3 回路に固有のもので、これはこの回路に入っている反射用ケーブルの長さに関係する。これを調べるために T_3 を可変にして、4 ns の 2 個のパルスを用いて最小のくり返し周期を測定したものが図 2.63 である。第 3 回路のパルス幅とくり返し周期はほぼ比例している。同じ反射ケーブルによって無安定状態の発振を起こさせた時の周期を参考のために同じ図中に書いておく。周期の値はバイアスの関数となるので一致していないが変化の傾向はよく一致している。以上より複数個入力の場合の動作は、回路固有のくり返し周期とパルス幅によって入力パルスに対応する出力が出る場合と、入力パルスのうちのいくつかは拒絶される場合とがあることがわかる。

複数個入力の特別の場合として入力端子と出力端子を全く同じ性質にすることが出来る。図 2.64 はこれを調べる回路で #1 は左から右へパルスを伝える回路、#3 は右から左へパルスを伝える回路とする。#2 はいずれの方向へもパルスを伝えうる様にするすると、入力、出力の区別がなくなり #1、#3 のいずれの出力にも応答して動作する。図 2.65 はこの動作の写真である。#1、#3 は出力側からくるパルスでは動作しないので、1 個のパルスのみを出している。この様に入出力の区別がない回路は普通は使用しないが、入出力抵抗値、バイアス電圧値のえらび方によってできることがある。

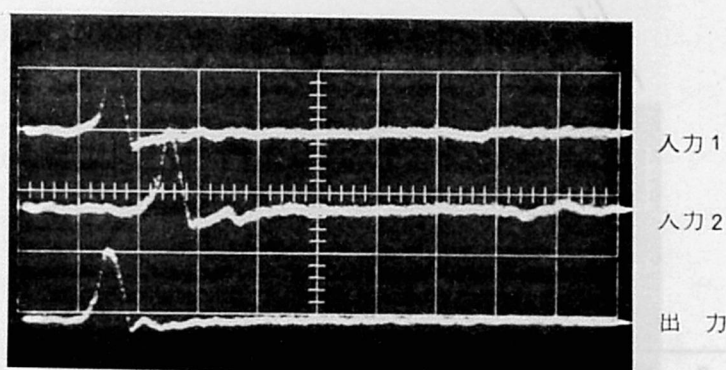
以上に述べたことをまとめると、反射ケーブルを用いた立体回路により約 4 ns のパルスをつくり、またくり返し周波数 125 MHz のパルスをつくることにも成功した。そしてこのパルスをトンネルダイオード回路の不感応期間を利用して一方向に伝送することができ、また同じ原理によってパルスの消滅をさせることもできることを示した。

2.3.2 プリント板回路の実験

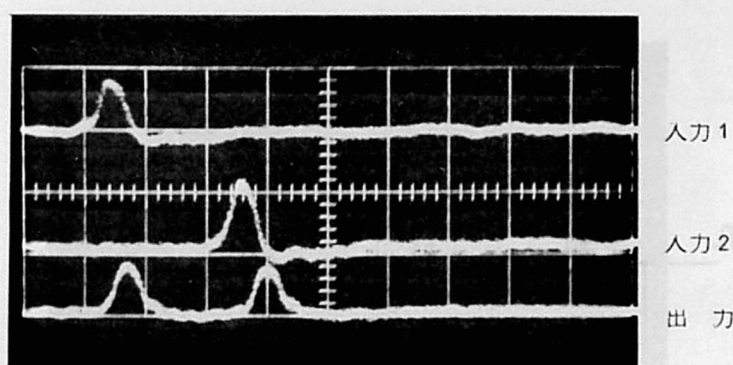
上に述べた同軸回路では小形化がむずかしく実用的でない。またリード線や配線がななくなり電気的にもスイッチ時間がはやくならない等の不利がある。ここでは実用になりうるものとしてプリント板による回路を試験した結果について述べる。



(a) 入力 2 が 7 ns おくれて 1 個の出力のみが出る場合



(b) 入力 2 が 4.5 ns おくれて 1 個の出力を出す場合



(c) 入力 2 が 11 ns おくれて 2 個の出力を出す場合

図 2.62 連続パルス入力に対する出力パルスの関係 (H: 5 ns/div)

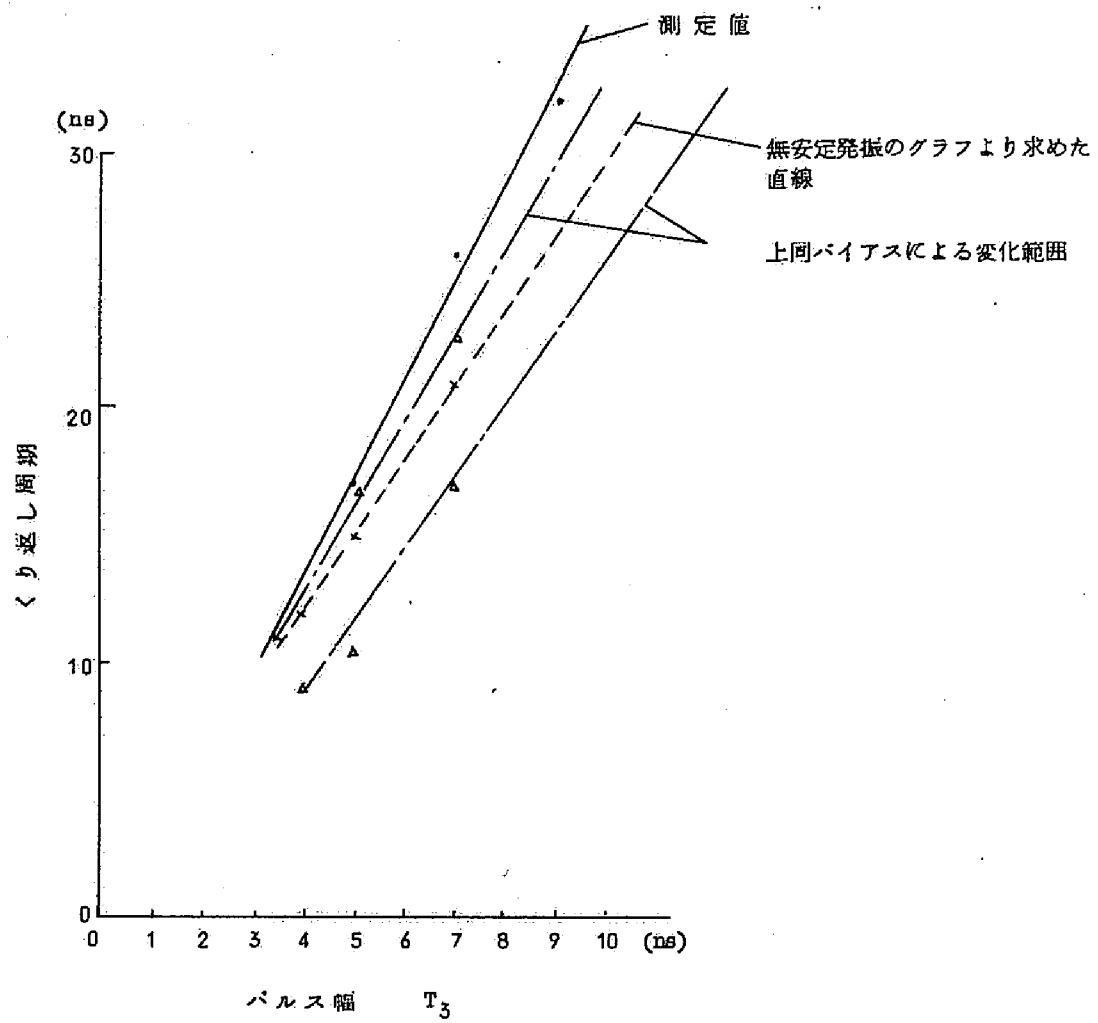


図 2.63 パルス幅と最小くり返し周期

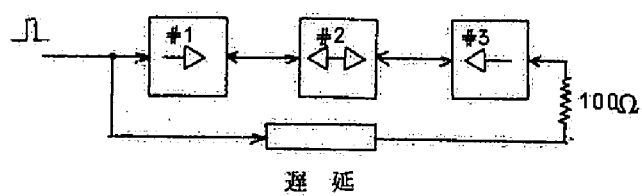
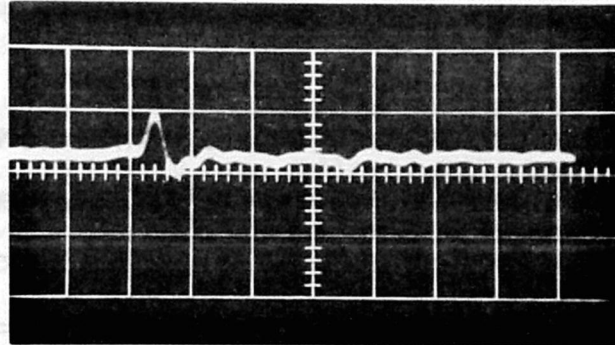


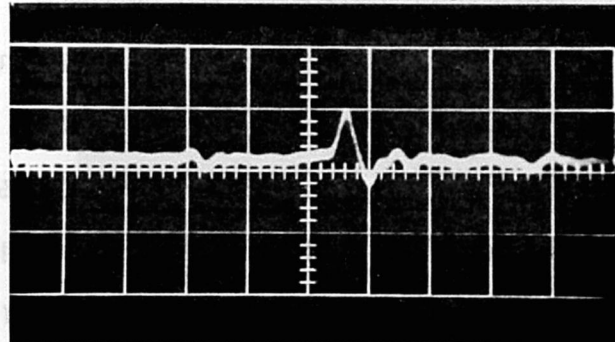
図 2.64 入出力の区別のない回路の実験

主回路の出力波形の例 (1)

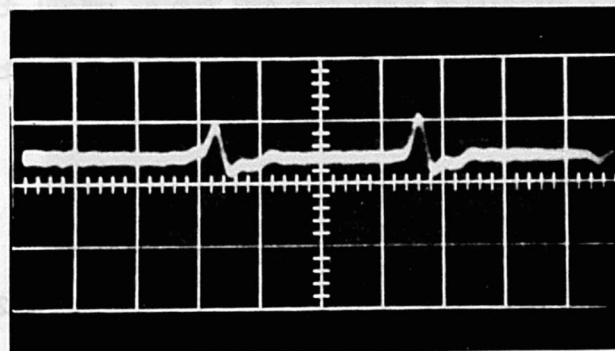
トランジスタは、出力特性のよいものを使用し、回路に組みこむようにした。抵抗、コンデンサは、出力特性のよいものを使用し、回路に組みこむようにした。トランジスタは、出力特性のよいものを使用し、回路に組みこむようにした。抵抗、コンデンサは、出力特性のよいものを使用し、回路に組みこむようにした。



(a) # 1 回路出力



(b) # 3 回路出力



(c) # 2 回路出力 H : 5ns/div

図 2.65 入出力の区別のない回路の動作例

1) 回路の構造とパルスの発生

使用したプリント板は銅被膜シリコンガラス積層板で裏面を接地とし、表面にパターンをかき部品をとりつけた。ストリップラインの特性インピーダンスの求めかたについては第6章にまとめて述べるので、ここでは省略する。ただ従来文献(51)などに示されている特性インピーダンスの式では、誘電体の厚さに対して導体幅が同等又は以下になるとあてはまらなくなる欠点があったが、最近 Caulton 等⁽⁵²⁾がこの様な場合にも適用できる特性インピーダンスのグラフを発表した(図6.3)。このグラフにしたがって本実験に使用したプリント板の特性インピーダンスを求めてみる。特性インピーダンスは誘電体の比誘電率 $\epsilon_r \approx 4$ 、板の厚み 1.6 mm として信号伝送回路は幅 2 mm で約 70 Ω 、反射回路は幅 1 mm で約 95 Ω 、0.5 mm で約 120 Ω になる。線路間の cross talk については、線間が導体幅の3倍以上あることが望ましいが、回路の大きさも考えて実験的に可能なところまでつめることにした。線路が整合している場合には 2 mm の間隔で cross talk は振幅比 10 %、5 mm で 7 %、10 mm で 3 % になるので実用上 整合をとれば線間距離は 2 mm あれば影響ないと見てよく、また不整合の場合でも 5 mm あればよい。コネクタ部は線幅 1.4 mm、線間 1.4 mm の等間隔となっているが、隣接端子に誘起されるパルスは振幅比 3 ~ 6 % 程度でほとんど問題はない。端子数は 32 端子にとったが、実用上大きなパルスの通る端子の隣接端子は入力回路等には使用しないほうが良い。直流バイアス電源配線の電圧降下は幅 2 mm、長さ 30 cm の線路で実装状態(8回路実装して約 80 mA 流れる)において約 6 mV となる。動作マージンに比して十分小さくならないから、これを 2 mV とすると線路長は 10 cm ~ 15 cm が限界となる。プリント板の大きさは 1 辺 10 cm の正方形で、左右対称に 2 系統の直流電源配線を入れてある。使用したプリント板はこの形のものと、この半分の回路を収容する小形のものの 2 種類をつくった。その写真を図 2.66 に示す。

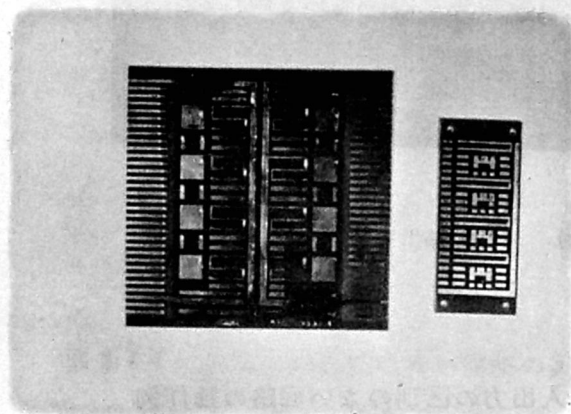
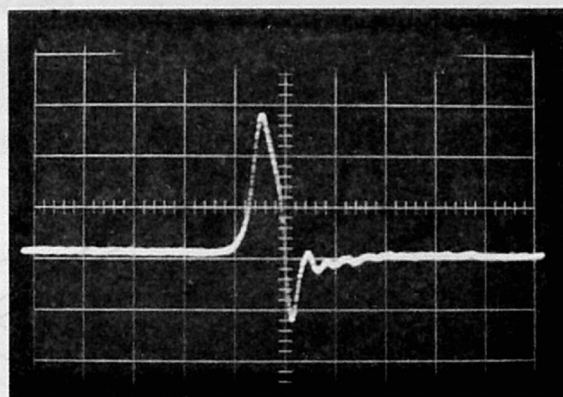
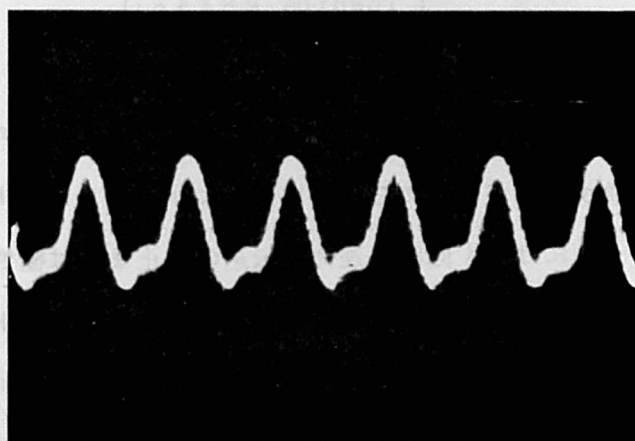


図 2.66 プリント板
写真

トンネルダイオードはビル形容器のものを使用して、板内に埋めこむようにした。抵抗、コンデンサ類は小形のものを半田づけしてある。トンネルダイオードの特性は前と同じである。回路は並列形を使用した。反射線路の長さは大形プリント板で38mm，小形のプリント板では46mmとした。この回路の基本動作はパルス幅2ns，立上りの遅れ時間0.4ns，立上り時間0.6ns，立下り時間0.4ns，段間おくれ時間0.8nsで発振周波数は最高300MHzまで得られている。図2.67はそれぞれ正常動作と発振の場合のパルス波形を示す。



(a) 単一パルス波形 H ; 2 ns / div



(b) 300MHz 発振波形

図 2.67 パルス波形

2) バイアス電圧

この回路においても基本的な性質は前述の立体回路の場合と同じであるが、並列形回路であるため動作バイアス電圧などは若干異なっている。図 2.68 は入力の大きさとバイアス電圧動作範囲を示す図である。並列回路の方が動作余裕度が大きく回路は安定である。

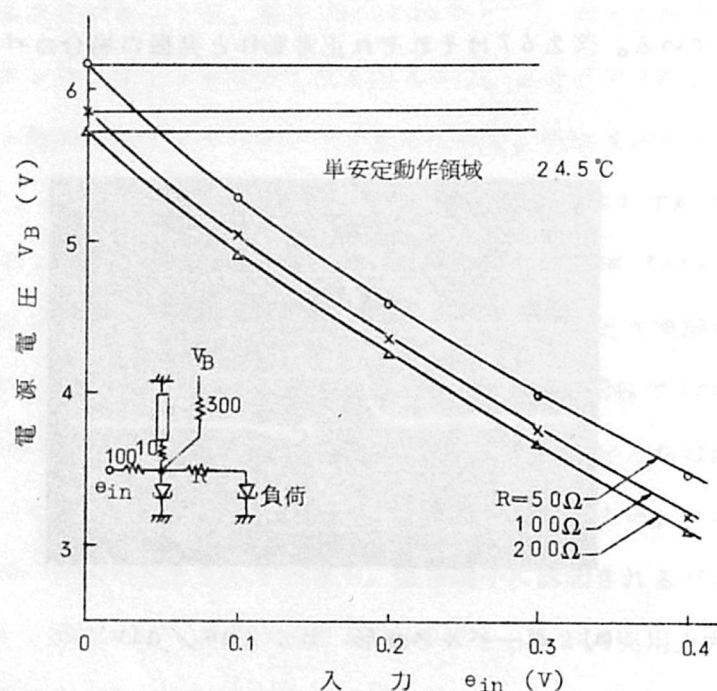


図 2.68 並列単安定回路の入力特性

(Toshiba M8436)

3) フィードバック回路の実験

以下には立体回路で行ったような基本実験よりは少し複雑な実験の結果について述べる。縦続回路にパルスを通すことが出来たら、次に正および負のフィードバックループを実験する。ループを実験するには OR 回路、逆方向伝送の防止または極性変換回路が正しく動作し、かつループの位相合せが出来なければならない。正のフィードバックループを図 2.69

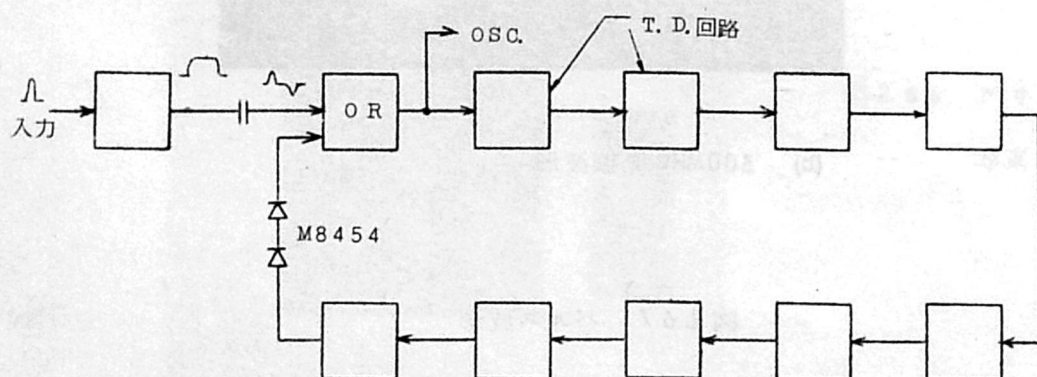
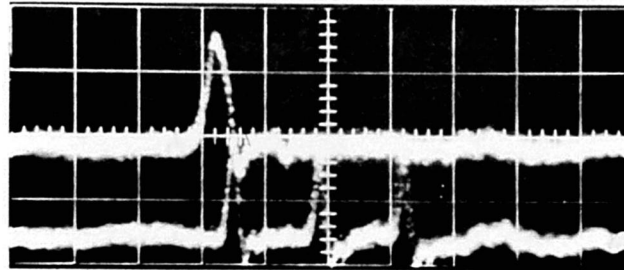


図 2.69 正帰還ループ

の構成で動作させた。分岐点での逆方向防止にはバックワードダイオードM8454を2個直列にして使用した。ループ内のトンネルダイオードの数は10個で8 ns のおくれとなるのでこれを周期にとる。入力パルスでまず幅の広いパルスをつくり、これを微分したパルスをループへ加えてこの両パルスの間だけループ中にパルスがまわるようにした。図 2.70 は動作の写真である。次に負のフィードバックループは図 2.71 の構成によった。



上 入力 H: 5ns/div
下 ループ出力 V: 200mV/div

図 2.70 正帰還ループの実験

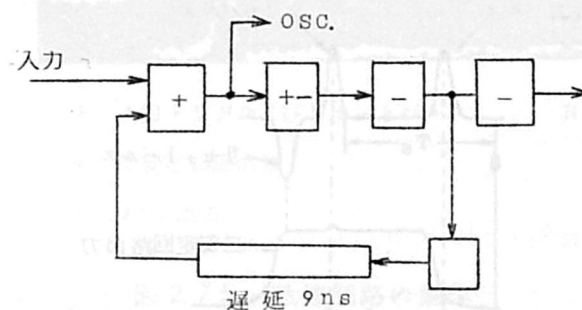
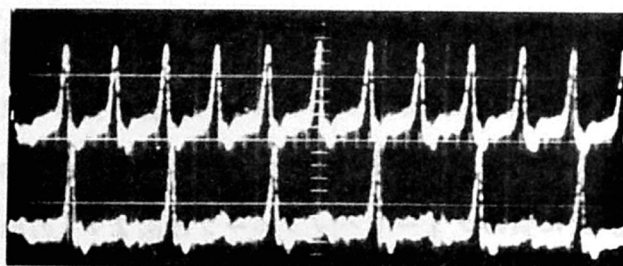


図 2.71 負帰還ループ

フィードバックされるパルスが入力と逆極性であるから、逆方向伝送防止は不要である。同じ理由により必要な遅れをとるのにケーブルを使用出来るので、ループ内の素子数を減らすことができる。ループ内のダイオードの数は4個で、全体の遅れは9 ns となり110 MHz で安定に動作した。図 2.72 は入力および出力パルスをとったものである。負のループより正ループの方が動作点の設定がむずかしく、これは主として逆方向防止素子（この場合バックワードダイオード）の特性による。一般にフィードバックパルスの方が振幅が小さいので、OR 回路の2 個の入力に振幅差が生じて動作マージンが減少する。



上 入力 H: 10ns/div
下 ループ出力 V: 200mV/div

図 2.72 負帰還ループの実験

4) Delay 調整回路

2 個のトンネルダイオードを使用し、初段は 2 安定動作をさせ後段はトリガパルスとの AND 回路にすると同期した出力パルス列を取り出すことができる。図 2.73 に示すよう

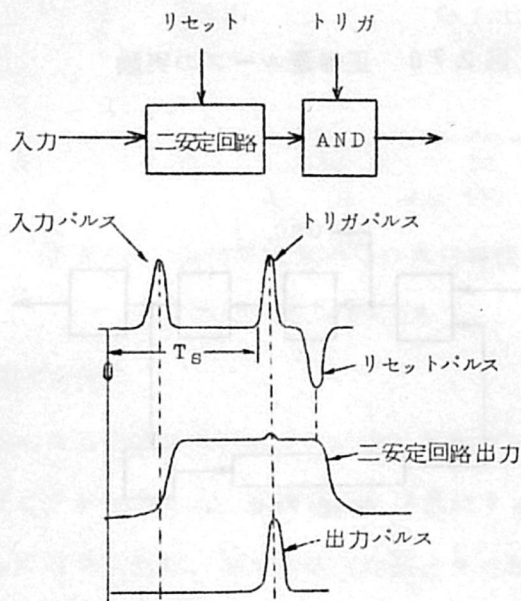


図 2.73 遅延調整回路

に、この回路の目的は時間的にずれて到着するパルスを同期パルスと同じ時間にそろえておくり出すことで、これにより非同期伝送によるパルスのずれの問題を適当な時間内におさえるものである。図 2.74 は低速くり返し (10 MHz) 実験の回路である。また図 2.75 はその時のパルスを示す。

この回路は 2 安定回路、AND 回路とも 100 MHz 以上で動作できるものであるから、問題はパルスの供給回路である。前の回路で使用方法はトリガパルスとリセットパル

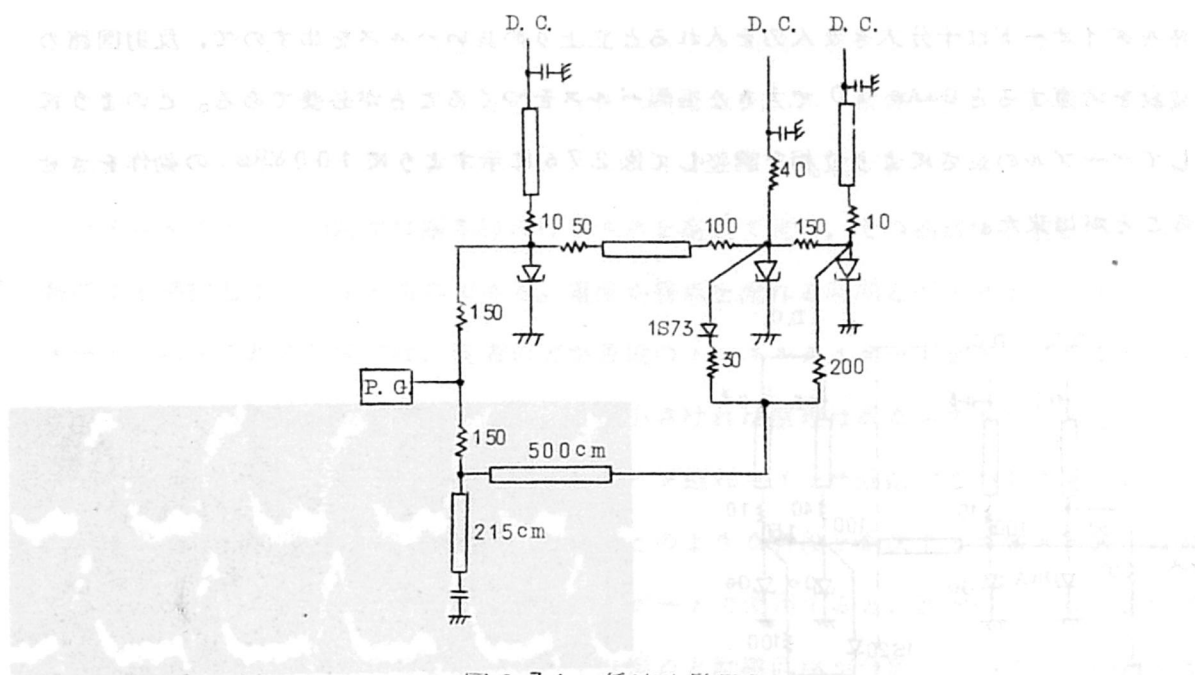


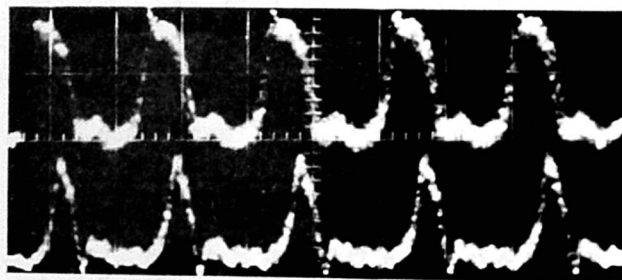
図 2.74 低速実験回路



上 入力トリガおよびリセットパルス H: 5ns/div
 中 2 安定回路出力
 下 AND 出力

図 2.75 低速回路の動作

スを共通にとり反射ケーブルを使用して極性反転をしている。しかしトリガパルスが2安定回路にも加わるので、入力がないとき誤動作する恐れがある。そのためダイオードで正パルスがリセット回路へ入るのを防いでいる。改良法としてトリガとリセットを並列としてケーブル反射により負パルスをつくるのは上述の方法と同じであるが、トリガ回路とリセット回路を分けてリセット回路に負回路を入れて反射パルスを整形すると共に、正パルスのもれるのを防ぐようにする。全回路を100MHzで動作させるためには2安定回路の出力はパルス幅が6ns程度でなければならない。そのためにはリセット回路のトンネルダイオードは3ns程度のパルスを出すことが必要である。リセット回路の負回路のトン



上 2 安定回路出力 H : 5ns/div
下 AND 出力

(b) 動作波形

(a) 実験回路

図 2.76 高速実験回路と動作例

今すべての立上り時間が同一の t_r であるとする、入力パルスのおくれ時間は $(T_s - T_r)$ まで許される。 T_s はトリガパリスの入るまでの時間である。100MHz の例を考えてみると2安定回路の出力が6nsの幅をもつとすると、 $t_r \cong 1\text{ ns}$ としておくれの最大は5nsであるから、段間おくれ時間を0.8nsとして約6段分のずれまで調整できる。

5) 高速パリティ検出回路

ここで基本回路を使用したスイッチ回路について少し一般的に考えてみる。最も基本的なスイッチ回路として接点のオンオフによるリレー回路と比較しながら考える。リレー回路の演算方式は接点間を電流が流れるか否かによるので、接点が閉じて電流が流れはじめてから（この時を演算開始と考えそれ以前の励磁コイルに電流が流れはじめてから接点が閉じるまでを準備期間とする）定常状態（演算終了）になるまでの時間は非常に短かく、

この時間内の情報の処理速度は極限において導体中を電流が流れるはやさになる。実際には準備期間が機械的動作に依存するので全体の速度は低い、情報の流れは参考になる。

このリレーの動作はこれまで述べたトンネルダイオードの高速回路の考え方と似ている。トンネルダイオード回路では基本的にはパルスを高速で流し、その通過する道を外から情報により選択しようとするものである。電流が接点を流れる時間とパルスがトンネルダイオード回路を流れる時間では、後者の方が各段のトンネルダイオードをトリガしながら進むので遅くなるが、各段の動作時間が非常に小さければ原理は異なっても同じ考え方をもって回路を組むことができる。一方トランジスタ飽和スイッチ回路でこの動作を行わせると、各段の動作時間が数 $n\text{s}$ 以上かかるのでこのような各段を順次トリガする方式では高速化は期待出来ない。トランジスタを不飽和ゲートで使用すると、速度の点では高速化できても信号のもれが問題になる。リレーでは接点と励磁回路が分離しているので問題にならないが、トンネルダイオード回路ではトランジスタ回路の場合と同様に問題になる。リレー回路に近い動作をするトンネルダイオードは、原理的に AND 動作であるが通常の入力 AND 回路にすると入力数により安定性が左右される。そこで動作マージンを大にするため、直流バイアスを制御する Controlled Power Supply 方式をとる。この場合の電源はリレーの励磁電流に相当し、オンとオフのときのレベル差を大にすれば誤動作は完全に防ぐことができる。段間の結合はコンデンサによるから直流のもれはないので、パルスのまわりこみのみが問題であるが、電源のオフレベルを十分低くとれば問題はなくなる。

最後に Controlled Power Supply に使う素子は何かと云うことを考えてみる。トンネルダイオードから供給するのでは入力 AND 回路と何ら変わるところがない。したがってこの素子はトンネルダイオードより高レベル出力を出すものでなければならない。そこで結局高速トランジスタが考えられる。結局トンネルダイオードが高速で、動作余裕度の大きい回路をつくるにはトランジスタの協力を必要とする。このように考えるとトンネルダイオードが最もその特徴を発揮する一つの分野は、高速トランジスタ並列回路（集積回路を含めて考える）でトランジスタの供給する並列信号を各段の Controlled Power Supply として、この間を相互に連絡する情報の処理回路にトンネルダイオードを使用することである。このときにはリレー回路の信号の流れ方を参考にして回路を構成することができ、パリティ検査回路、桁上げ信号伝播回路、けた移動回路などが考えられる。

この考え方によりリレー回路で使われるパリティ検査方式をトンネルダイオードで高速化する。図 2.77 は原理図で左端から入ったパルスは通過可能なゲートを通して右端に

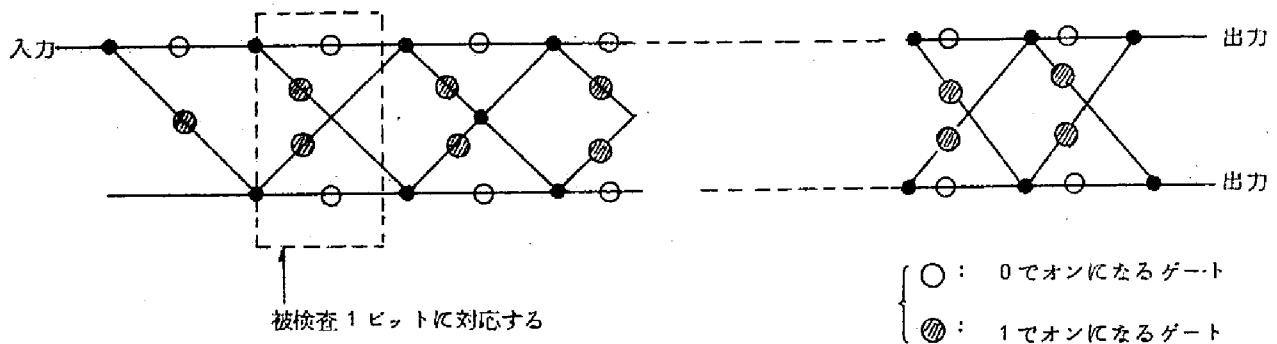


図 2.77 リレーによるパリティ チェック回路の原理図

達し、どちらの端子にパルスが出るかによりパリティを示す。この原理よりゲートを Controlled Power Supply トンネルダイオード回路で構成した回路が図 2.78 である。

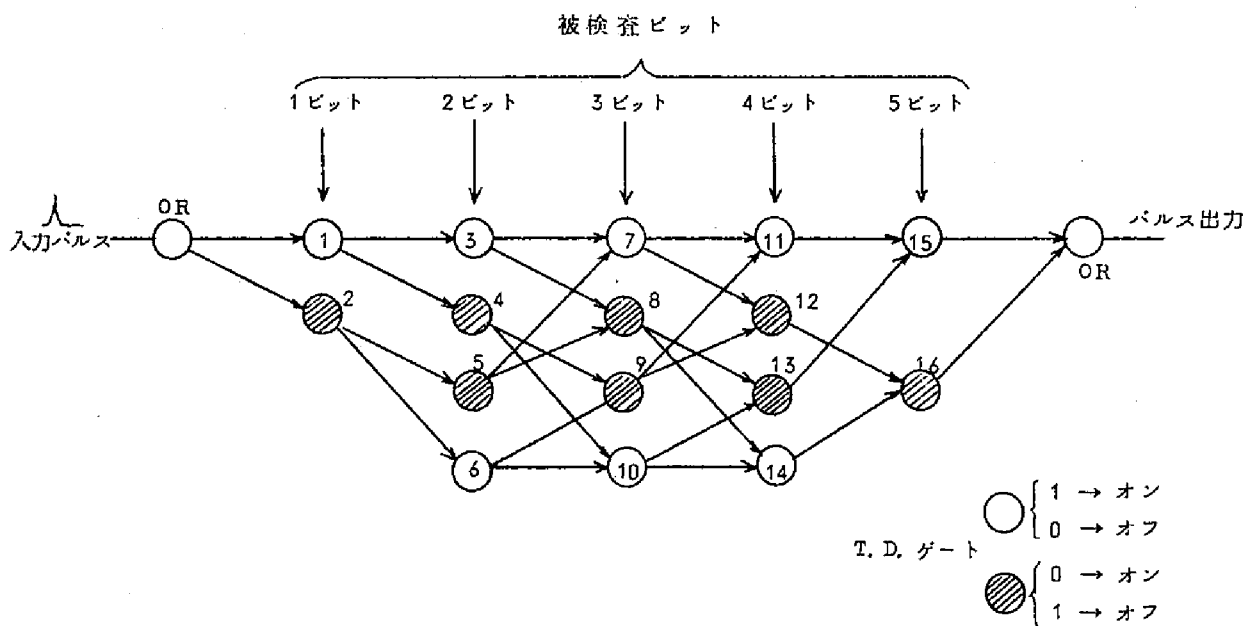
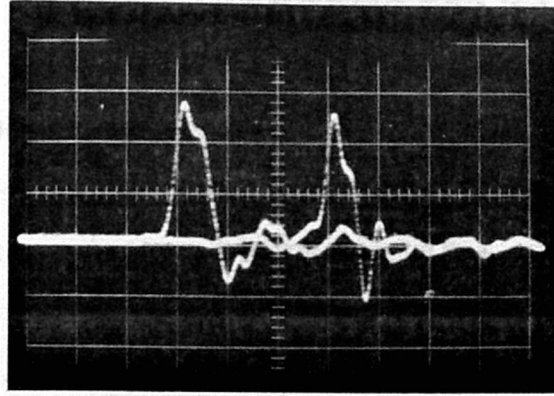


図 2.78 トンネルダイオードパリティチェック回路

ブロック図

電源電圧が切れると逆方向やまわりこみ回路が存在しないので、方向性素子も不要で回路は非常に簡単になる。被検査ビットの情報はトランジスタより供給する。図 2.79 は 5 ビットの場合の検査時間を示し、6 段のトンネルダイオードを 6 ns で通るから 1 段当り 1 ns の段間遅れ時間である。パルスの経路によるばらつきは 6 段で 0.5 ~ 0.6 ns である。



↑ 入力端子 ↑ 出力端子
パルス パルス H: 2ns/div

図 2.79 トンネルダイオード高速パリティチェック回路

の動作 (5 ビット中 “1” の数が奇数である場合)

これでも十分高速であるが、ビット数が数多くなると並列検査をすることによりより高速化できる。今一例として 25 ビットを並列に検査する場合を考える。図 2.80 に示すように 15 ビットと 10 ビットに分割し、10 ビットの検査出力でトランジスタを動作させる。

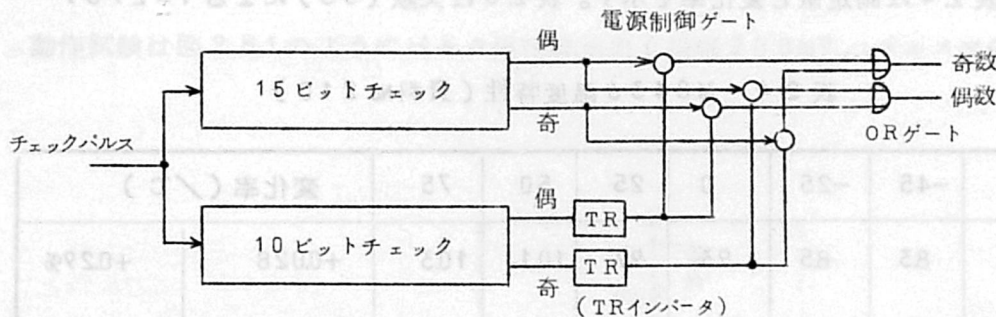


図 2.80 並列 25 ビット検査回路

トランジスタの立上り時間を 5 ns 以下に見とむと、ほぼ 15 ns で 10 ビット側出力の結果がゲートの Controlled Power Supply として加えられる。一方 15 ビット検出側の出力はほぼ 15 ns でゲート回路に到達するので、更に 2 段のゲートを通り 17 ns で全体の検査結果出力が得られる。したがってトランジスタ回路とゲート回路を付加することにより検査時間は約 30% に短縮される。並列に検査した結果をまとめるためにトランジスタを使用するかまたはトンネルダイオードエクスクループ OR 回路を使用することになるので、

何個の並列回路に分けるかはこれらの回路の動作時間とビット数によってきまる。一般的には回路の複雑さと時間短縮の割合いから見て、2～3回路にわけるのが適当と思われる。ビット数が20以下では並列化したことによる時間短縮はあまり期待できないが、数十ビット以上にすれば検査時間を $\frac{1}{2}$ ～ $\frac{1}{3}$ にすることも可能である。

以上でプリント板を使用した実用回路の実験について述べた。基本回路のみではくり返し周波数300MHzの動作をさせることが可能であるが、基本回路を組み合わせで何らかの論理動作をさせる時には、パルス幅2ns、くり返し周波数200～100MHzがよい。現在の部品を使用するところでは上述の周波数範囲のパルス処理ならば確実に行うことが出来る。300MHzを使用するには、トンネルダイオードをはじめとして部品と素子の特性の改良が必要である。また部品や回路の幾何学的な寸法、配置、回路数などが重要な問題となる。

2.3.3 温度特性

トンネルダイオードの温度特性についての一般的な議論はすでにあるので、ここでは実験に使用したトンネルダイオード試料の電流電圧特性、動作電圧範囲、出力波形などの温度による変化を実測した結果を示す。測定温度範囲は-40℃から75℃までをとり、試料は同一ロットから特性のそろったM8436 3個をとったが、測定結果には差が認められなかった。表2.4は測定値と変化率を示す。表2.5は文献(53)による1N2939

表 2.4 M8436 温度特性 (資料No 210)

T	℃	-45	-25	0	25	50	75	変化率 (／℃)	
I_p	mA	83	85	93	97	10.1	10.3	+0.028	+0.29%
V_p	mV	100	100	100	100	100	100	認められず	
I_v	mA	1.0	1.1	1.2	1.3	1.5	1.7	+0.006	+0.46%
V_v	mV	465	455	435	410	385	360	-0.95	-0.23%
V_F	mV	630	620	590	570	540	520	-1.0	-0.18%

-25℃～75℃
の平均値 25℃基準

表 2.5 1N2939 の温度特性

	基準値	変化率
I_p	1 mA	-0.13%
I_v	0.1 mA	+0.54%
V_p	60 mV	-0.03%
V_v	350 mV	-0.26%
V_F	500 mV	-0.26%

($I_p = 1 \text{ mA}$) の値である。全体に 1N2939 より変化が小さいが、 I_p に関しては変化の方向が逆転し正の温度係数となっている。これは V_p が 1N2939 では 60 mV であるのに対し M8436 は 100 mV と大きいためで、一般に V_p が 60 mV 前後のものについて I_p の温度変化が最も少なく、60 mV 以上のものでは正の温度係数、それ以下のものでは負の温度係数となることが知られている。(54) この試料のダイオードでは I_p の変化が少し大きすぎるので、周囲温度の変化に対する動作バイアス値の変化が他種のものに比して若干大きい欠点がある。

動作試験は図 2.81 のようにパルス発生器出力(振幅 200 mV, パルス半値幅 1.6 ns,

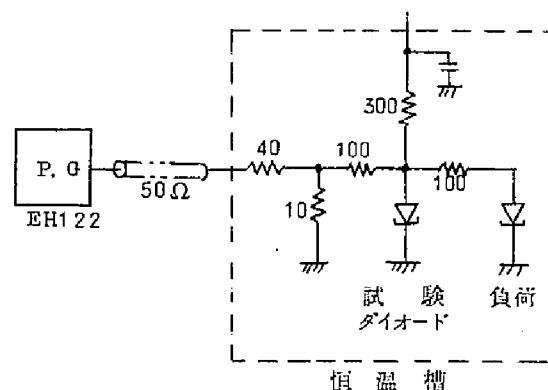


図 2.81 温度特性試験回路

立上り、立下り時間 1 ns) で試験回路を駆動し、負荷としては同種トンネルダイオード 1 個をつけた。図 2.82 はトリガ特性であるが、入力振幅が大きく直流バイアス電圧値が

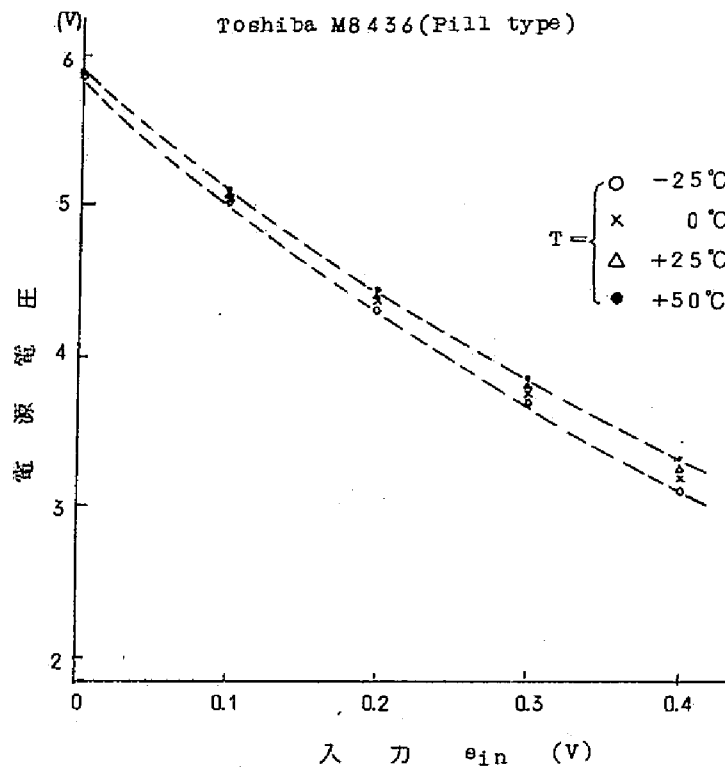


図 2.82 トリガ温度特性

小さい程温度によるバイアス電圧値の変化が大きい。温度が -25°C から 50°C の変化範囲で入力 0.4 V の時約 200 mV のバイアス電圧値の変化があり、これは約 6% である。これは $0.08\%/^{\circ}\text{C}$ になる。入力が小さいとバイアス電圧値が大きくなり、かつ変化量も小さくなるので変化率は急激に小さくなる。図 2.83 はバイアス電圧と出力レベルの図であ

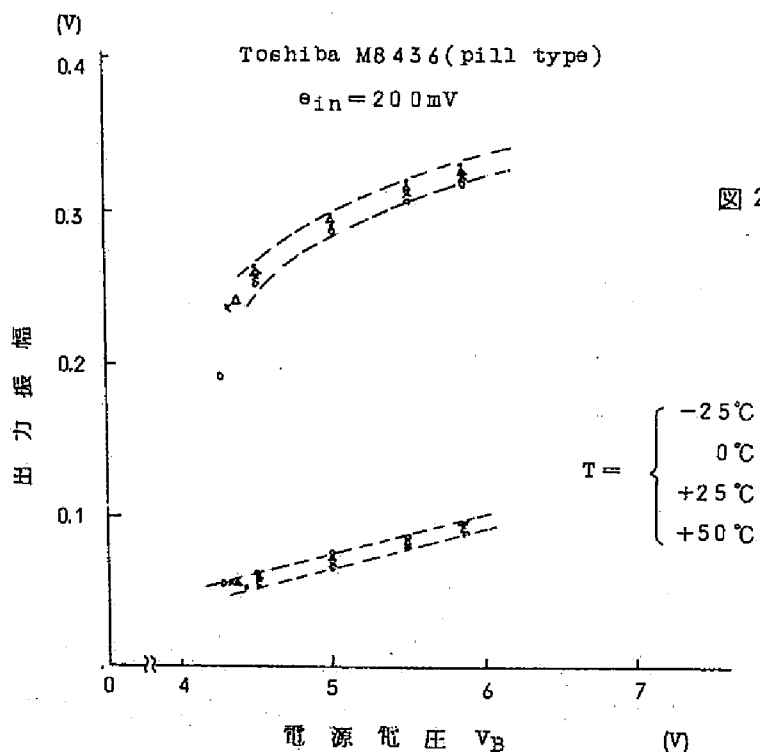


図 2.83 出力振幅と温度特性

るが、出力レベルの温度による変化は 7.5°C の温度変化に対して 10mV である。温度がたかい程大きくなるので、通常の使用温度範囲内では影響はないと考えられる。出力パルス幅は半値で 1.5ns であるが、この回路の動作原理より当然温度に影響されず一定であった。この測定で抵抗の温度係数 ($\text{約 } 400 \times 10^{-6} \Omega/^{\circ}\text{C}$) は小さいので影響を与えないものと考え無視した。

全体として温度特性は良好で、特殊な環境で使用する場合以外は温度による動作余裕については特に考えなくとも良いと思われる。

2.4 2進計数回路 (46)(55)

2.4.1 動作原理

ここで考える2進計数回路はこれまで述べた単トンネルダイオードスイッチ回路の延長として、高速で任意の間隔のパルス列を計数できるような static 方式計数回路とする。周期パルスを計数する場合ならば周期の変動は任意である。一般に外部から励振を加える対回路方式や dynamic 形フリップフロップ方式では励振回路を必要とする不便のほか、任意の周期のパルスを計数することはできない。static 方式によりこの制限をとり除くことにした。この範囲に入る回路としてインダクタンスを使用するもの、(56) パルストランスを使用するもの、(57) 2個の2安定回路とANDゲートを使用した複合形(25)(36)などの回路が発表されている。しかしこれらの回路を検討すると、異なる点は2安定回路のリセットパルスをどのようにしてつくるかと言う問題に帰着する。トンネルダイオードにインダクタンスを付加した自己リセット形は形態からみると一番簡単で望ましいが、動作周波数があまり上がらないと云う欠点をもつ。実験したところでは約 100MHz であった。その原因は高電圧状態(以下これを“1”の状態とする)から低電圧状態(“0”の状態とする)へのスイッチが入力パルスの終端で起こるため、このリセット動作が終了してから次の入力パルスまでの期間が非常に短くなり、動作速度の上昇を制限するためである。そこで筆者のとした考えはインダクタンスにもとずく動作は一切使用せず、計数回路の動作を忠実に論理回路に置き換えて各部の動作時間が一定の遅延関係をもって均一に構成されるような回路をつくることにおいた。その結果図2.84に示すような回路構成をとることにした。この回路は4個のトンネルダイオードを使用し、2安定回路B、極性反転をかねたANDゲートAINV、正および負の単安定スイッチ回路+M、-Mよりなっている。2安定回路はインダクタンスを使用しない抵抗負荷とし、スイッチ回路は反

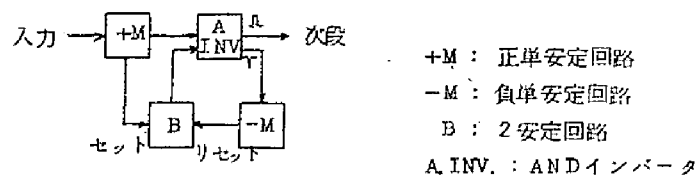


図 2.84 2進計数回路ブロック図

射伝送線路をもつ単安定回路である。

動作原理を図 2.85 にしたがって説明すると、今 B が“0”状態で入力パルスが入ると +M を通って整形されたパルスで B は“1”にセットされる。この場合 A INV は B から来る信号に時間遅れがあるため、B の変化前の“0”と +M の出力の AND がとられるので動作しない。

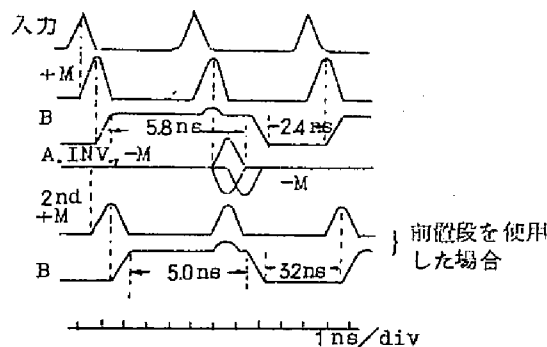


図 2.85 2進計数回路タイムチャート(200MHzの場合)

したがって次段への出力も出ず -M も動作しないので、B は“1”の状態を保つことになる。B が“1”状態の時に入力パルスが入ると +M を通ったパルスは A INV を動作させて正パルスを出す。これは次のビットへ信号として送られる。一方 A INV は極性反転回路を兼ねているので、正パルスと同時に負パルスを出す。これは -M で整形されて B に加えられる。B は“1”状態であるから、+M からくる正パルスが入っても変化しないが、-M からの負パルスで“0”にリセットされる。時間的には負パルスの方が2段分長い道を通った後で加えられるので、正パルスの終了後に到着することからリセット動作が正パルスでさまたげられることはない。このような動作原理により、各回路は十分高速で動作する能力をもつから段間遅れ時間の加算だけの遅れで計数動作を行なうことができ、高速2進計数回路1ビットを構成できる。

2.4.2 試作回路

試作した2進計数回路は高速部分がトンネルダイオード回路4ビットで構成され、これ

をトンネルダイオードトランジスタ結合回路を通して通常のトランジスタ2進計数回路6ビットにつねぎ、全長10ビットの計数回路とした。図2.86はトンネルダイオード部分の回路図である。

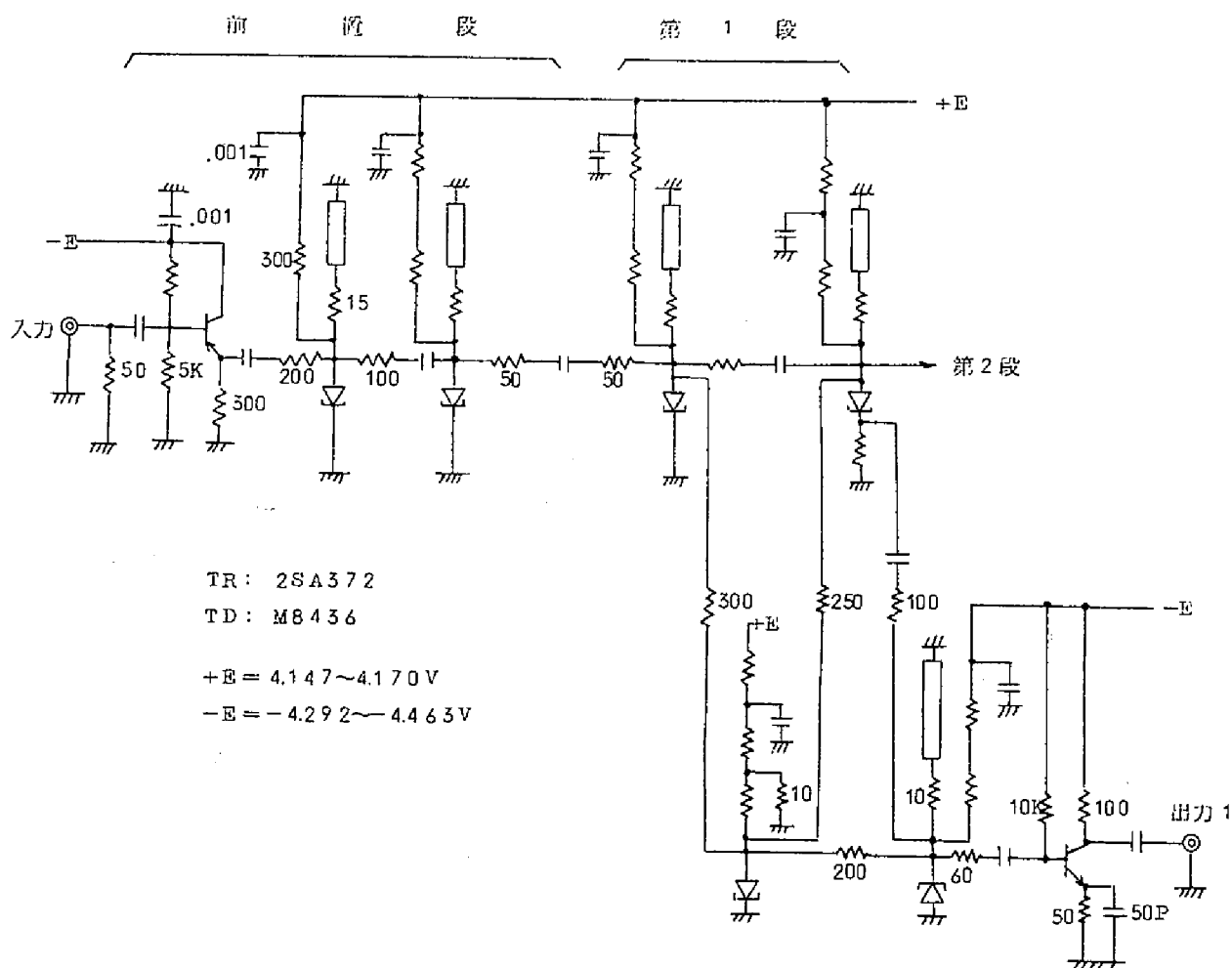


図2.86 トンネルダイオード計数回路図(前置回路および第1段)

使用したトンネルダイオードはM8436 ($I_p = 10\text{mA}$, $C = 6 \sim 10\text{PF}$)で、2安定回路以外の各スイッチ回路は前述のように反射線路をもつ単安定形スイッチ回路で回路常数は前節で述べた基本回路の場合と同一である。パルス幅は2nsで、200~250MHzの速度を持っている。ただAND回路の極性反転部分の動作が少しおそいのでここが動作の制限を与えている。2安定回路は図2.87に示すように安定点を2個もつように負荷直線をかけるわけであるが、ファンイン、ファンアウト数が大になると入出力抵抗の影響が無視できなくなるので、負荷抵抗の大きさと動作マージンの点で原理的な説明に見るほど簡単ではない。一般的に云えば1入力1出力で入出力抵抗 R_i , R_o が負荷抵抗 R に比して

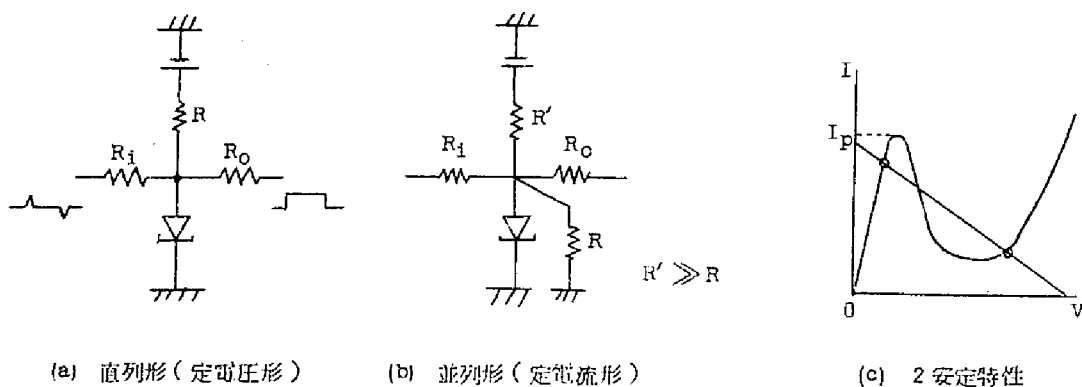


図 2.87 2 安定回路

10 倍以上大ならば R はほぼ 30Ω にとれば 2 安定回路をつくることができる。しかし入出力数が増加し、 R_i 、 R_o の値も $100 \sim 300\Omega$ の範囲であると、負荷直線は $R_i \parallel R_o \parallel R$ の 3 抵抗並列の値で定まるから上述の値より大にしなければならない。図 2.88 は直列負荷抵抗に並列入出力等価抵抗 R_i をつけ加えた場合の負荷線のひき方を示したもので、この図より R_L が 20Ω 以下になると負性抵抗域がなくなる。トンネルダイオードのスイッチ回路では負荷の入れかたにより定電圧形と定電流形がある。スイッチ時間は両者に差がないが、電源マージンなどの点で定電流形がすぐれていることが知られている。単安定スイッチ回路はすべて定電流形であるから 2 安定回路も図 2.87 に示す定電流形をとる方が望ましい。スイッチ時間は立上り時間約 0.8 ns 、立下り時間約 1 ns で、マージンは定電圧形では約 $10 \sim 30\text{ mV}$ (回路常数による)、定電流形では 70 mV 以上である。計数回路に使用した 2 安定回路はすべて定電圧形である。次節のシフトレジスタではすべて定電流形を使用した。この計数回路は 4 個のスイッチ回路を組合せているので、その間の時間関係が速度を制限する。入力端子から順を追ってパルスが流れるところは問題ないが、負パルスがフィードバックされる 2 安定回路のセットよりリセットパルスの間隔が一番問題になる。図 2.85 は 2 安定回路の動作時間を模型的に示したもので 200 MHz の動作の場合を説明している。スイッチ回路の遅れ時間を $0.8 \sim 1.0\text{ ns}$ 、立上り時間は 0.8 ns であるから、セットパルスの立上り点を時間の基準にとると 2 安定回路がセットされるのは 1.6 ns かかる。このセット側には特に問題はないが、次の入力パルスがこの 2 安定回路に加えられた後でリセットパルスが到着するように構成されているから、リセット動作が開始されるのが次の入力パルスから 2.4 ns 後 (最初から考えると 7.4 ns 後) になる。立下り時間を 1.0 ns とすると 2 回目のセット動作までに 2.4 ns しか余裕がない。したがって 2 安定回路は立上りと立下りのスイ

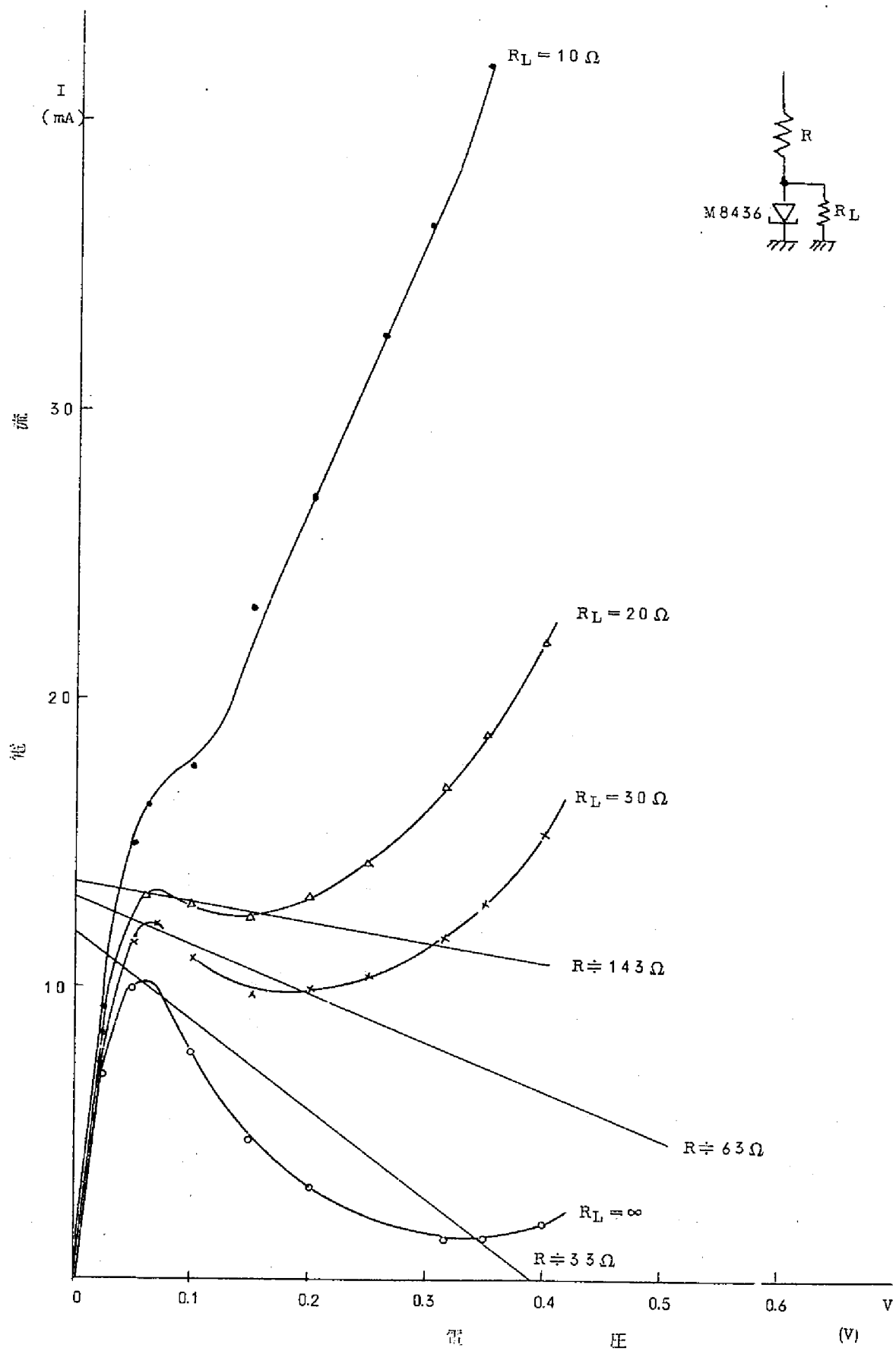


図 2.88 TD に並列に抵抗を接続した場合の特性と 2 安定負荷線

ッチ部分が 1.8 ns , “ 1 ” 状態にある時間が 5.8 ns , “ 0 ” 状態にある時間が 2.4 ns と云うことになり、このままではこれ以上動作速度をあげることはむずかしい。そこで速度をさらにあげるためにはリセットパルスをもっとはやく加えなければならぬが、正のパルスが来ているところへ負のリセットパルスを加えても相殺されて有効にリセットできないから、不用な正パルスが入らないようにしなければならない。このため 2 安定回路に入る正パルスをゲートする方法を考えたが、ゲートパルスをつくる方法や正確なおくれをとってゲート動作をさせることは非常にむずかしく、実験の結果では動作速度は逆に 160 MHz に低下した。そこで結局 2 安定回路の “ 1 ” と “ 0 ” の状態の時間の不平衡をなくせば等価的にリセットパルスをやめたと同じ効果が得られるので、図 2.89 に示すような前置段を設けることにした。

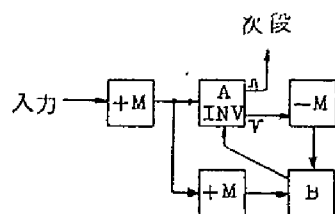
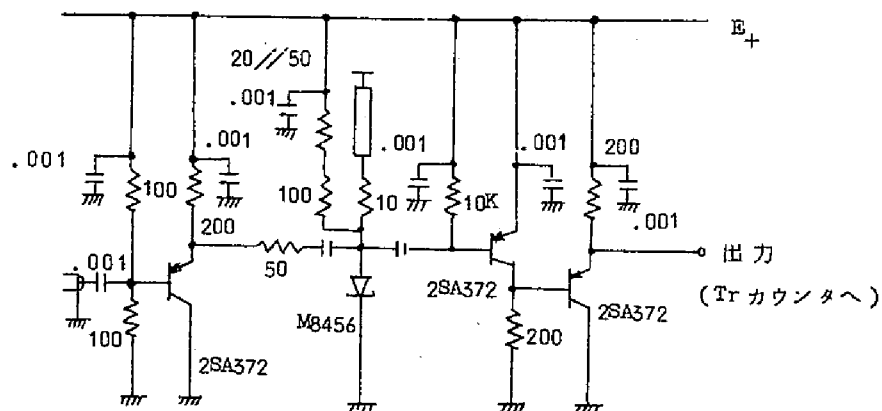


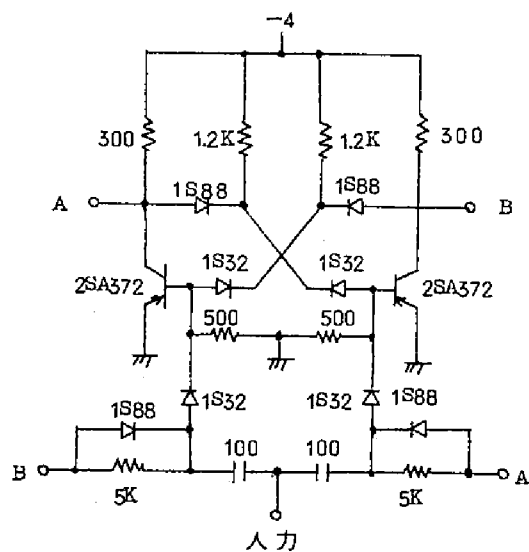
図 2.89 前置段ブロック図

これはセットパルスを 1 段の単安定回路で遅らせて 2 安定回路に加えている。図 2.85 に示すようにこの遅れはほぼ段間遅れ時間分であるから 0.8 ns となり、リセットパルスの位置は変化がないから “ 1 ” 状態が 5.2 ns , “ 0 ” 状態が 3.2 ns となり前の場合よりは均一化される。したがって “ 0 ” 状態を前と同じ値につめると入力パルス周期が 0.8 ns つめられるから、入力として約 4.2 ns 間隔のパルス、周波数として 250 MHz 付近まで計数できる。この計数回路はトンネルダイオードを使用した高速回路の実験であるから、上に述べたトンネルダイオード計数回路で目的は達せられるが、2 進計数回路として見た場合には 4 ビットでは短い。しかし速度のおそいところでトンネルダイオードを使用する必要はないので、ここでは 5 ビット目以下はトランジスタの計数回路に入れることにした。今 250 MHz の入力パルスはトンネルダイオード計数部の出力では約 16 MHz になるが、この周波数ならばトランジスタ 2SA372 のフリップフロップが動作する。問題はこの結合部においてトンネルダイオード出力を増幅する回路にあるが、増幅回路の帯域幅がそれほど広くないので、トンネルダイオード M8456 をとおしてパルス幅を広くしてから増幅すること

にした。図 2.90 はこの結合部とトランジスタ計数回路の回路図である。



(a) TD-TR 結合回路図



(b) トランジスタフリップフロップ

図 2.90 トランジスタ計数部

2.4.3 実験結果

回路はトンネルダイオード M8436, $\frac{1}{10}$ W 炭素皮膜抵抗を使用して, 裏面接地のプリント板上に構成した。1 ビットごとにユニット化して配列し, 直流電源は基板のプリント板からコネクタにより供給し, パルスは全て直接配線をつないだ。また各ビットから並列に

出力がとれるようにトランジスタインバータ（2SA372 使用）が各ビットのAND 回路についている。このインバータは不飽和で使用し利得は1で波形ひずみはほとんどないようにしてある。実験はトンネルダイオード4ビット，前置段1ビット（常時は取りはずしである）で行ない，4ビット目の出力をトンネルダイオードトランジスタ結合増幅回路を通してトランジスタ計数回路6ビットに加え，全体として10ビットの2進計数回路を構成した。図2.91は外観の写真である。計数回路の入力は本来パルスを考えているが，パ

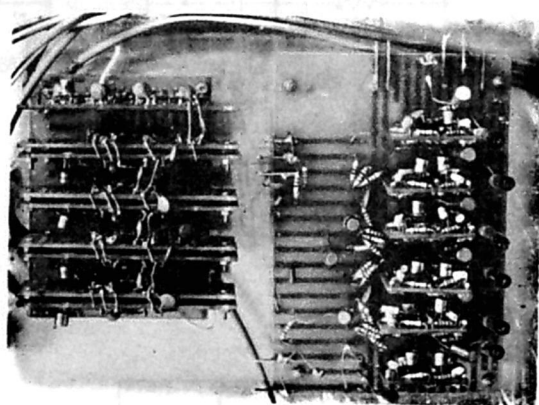


図2.91 計数回路上面（左トンネルダイオード4ビット回路，
右トランジスタ6ビット回路）

ルス源が見当たらないので，正弦波をトンネルダイオード単安定回路に加えてパルスをつくり，さらにトンネルダイオード2段で整形して計数回路に加えている。またこのパルスを分岐して一方を遅延させて任意間隔のパルスとして加える実験も行った。動作結果は最高計数速度200MHz，前置段を使用した場合250MHzで，図2.92，図2.93，図2.94の写真は各ビットの出力波形である。写真のノイズはサンプリングオシロスコープの検出端で誘起したものである。図2.95は4ビット計数回路全体のマージン特性を示す。負電圧は150mVのマージンがあるので示していない。正電圧では約30mVであるが，電圧を上げてゆく場合と下げてくる場合で動作範囲にヒステリシスがあり，ヒステリシスにかからない完全動作範囲は図中実線ではさまれる部分で200MHzをこすとほぼ零になる。しかしこれは完全に動作しなくなるわけではなく，電圧を一定方向で変化すれば点線ではさまれる区間になるから200MHzをこえても動作範囲は約20mV存在する。この計数回路で使用した2安定回路は全て定電圧形なので正電圧のマージンが小さいが，定電流形を使用すればさらに大きいマージンをとることが可能である。図2.96は参考のために定電

流形2安定回路を使用した場合の1ビット電圧マージンである。結合抵抗 R_1 、 R_2 、 R_3 をすべて 200Ω に選ぶと約 70mV のマージンがとれることがわかる。

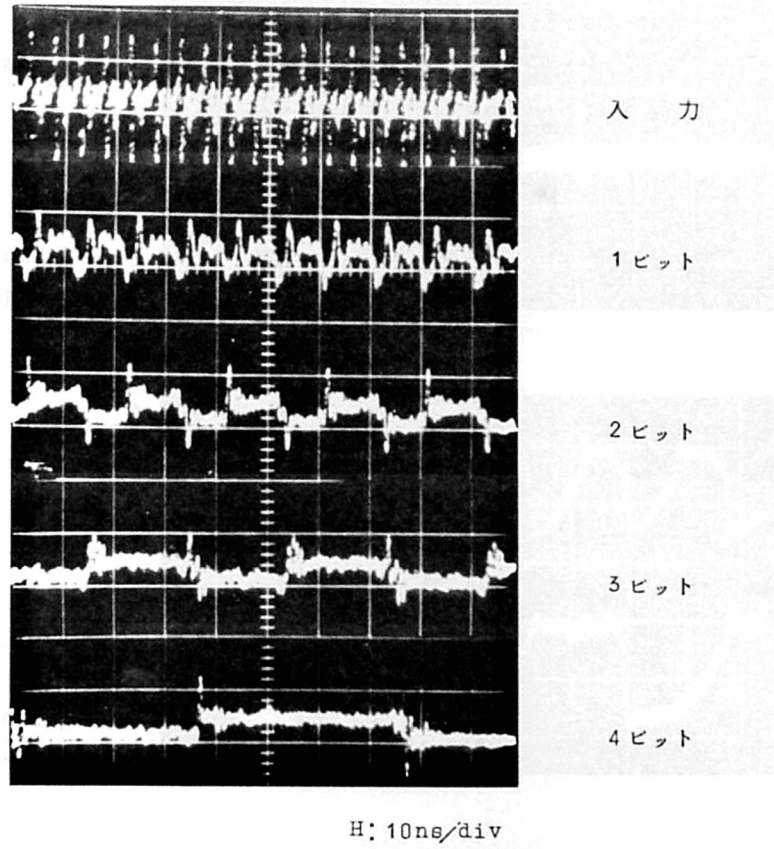


図 2.92 トンネルダイオード2進計数回路動作波形

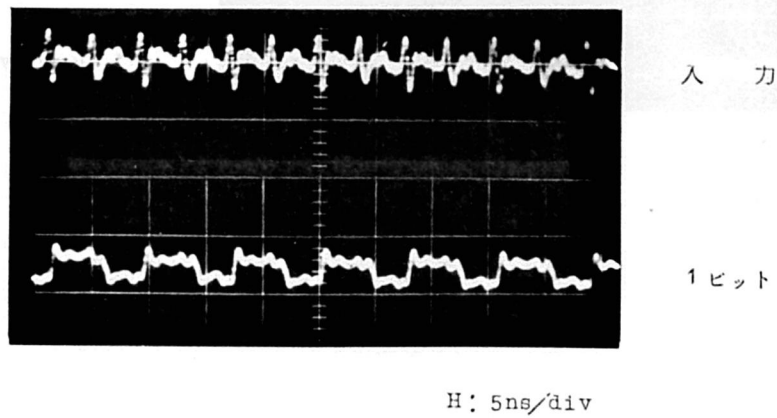
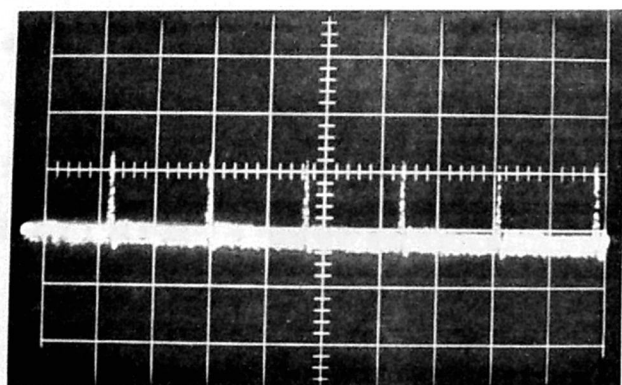


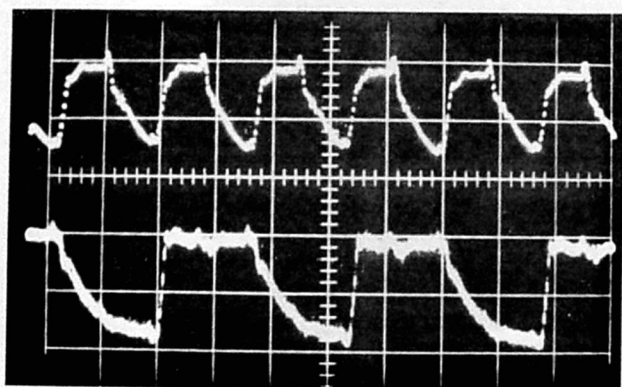
図 2.93 前置段の動作 (250 MHz 入力)



トンネルダイオード出力

H ; 50ns/div

V ; 100mv/div

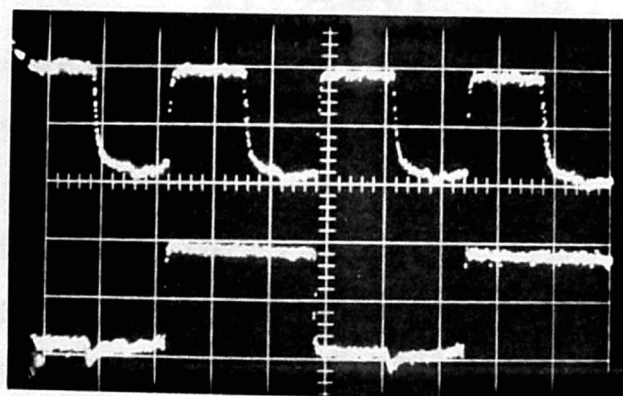


1ビット出力

2ビット出力

H ; 50ns/div

V ; 2v/div



5ビット出力

6ビット出力

H ; 1μs/div

V ; 2V/div

図 2.94 トランジスタ計数回路動作波形

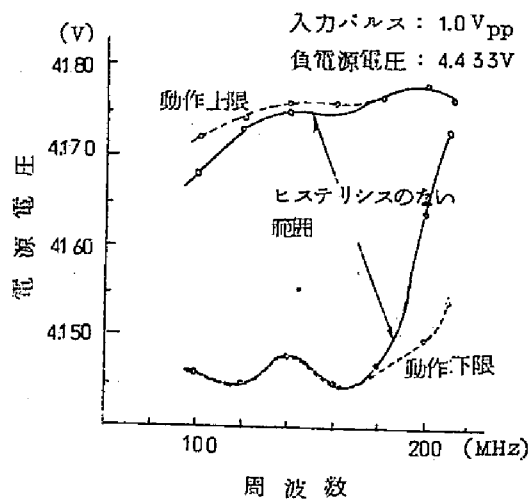


図 2.95 周波数電圧 マージン特性

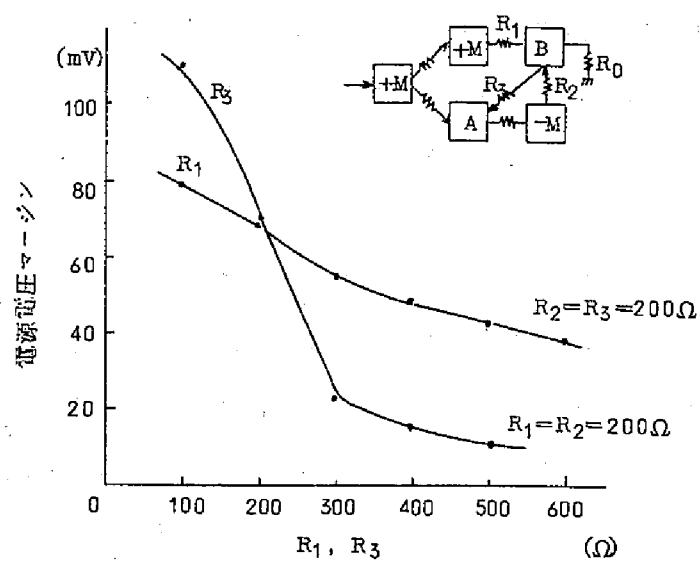


図 2.96 定電流形 2 安定回路を使用した
場合の 1 ビット電圧 マージン

2.5 シフトレジスタ (46)(55)

2.5.1 動作原理

前節のカウンタと同じ考え方、すなわちこれまで実験を行ってきた単安定回路の特性を生かした高速回路で、2安定回路を使用した static 方式のレジスタ回路を考える。スタチックシフトレジスタの方式を一般的に考えてみると次のような点をどのようにするかでおのずと回路方式が決まってくる。

1) シフトパルスを1相とするか2相とするか

1相方式が一般論としてはシフトパルス系の回路が簡単になり、またシフトパルスの位相合せなどの問題もないので望ましいわけであるが、トンネルダイオードを使用して実際に回路を構成してみると後で述べるリセット方法などの点で、必ずしもビット回路が2相方式に比べて簡単になるとは確言できない。2相方式としては時間的2相方式と、極性2相方式(正負2相方式)が考えられる。前者は 180° 位相のずれた2相パルスを使用し、1相は信号の伝送の制御に使用する方式で回路例が発表されている。(58)しかしこの方式の考え方はいわゆる3相励振方式の回路につながるもので、完全な static 方式とは云えない。もちろん段間結合回路などが一部不用になる利点はあるが、シフトパルスの位相合せなどにむずかしい問題が出る恐れがある。後者は時間的には同相の正および負のシフトパルスを使用するもので、1相方式に比べるとシフトパルス分配回路が2重になるが、リセットの問題が非常に簡単になるなどの利点がある。

2) 読み出し方式とリセット方式について

シフトパルスにより2安定回路の内容を次のビットに伝えるための信号をとり出す読み出し方式については、AND方式とリセット方式が考えられる。この動作はメモリの読み出しの場合と同じことであるから説明は省略するが、これを考える場合には同時に毎回リセットする方式か否かを考える必要がある。AND方式では必ず読み出し用のAND回路を必要とし、また読み出しとリセットが2回の操作となる不利があるが、リセットについてはどちらの方法でもとりうる。リセット方式では必ず毎回リセットされるが、読み出しとリセットが1回の操作で行なわれるので回路が簡単になる。しかし毎回リセットすることは“1”が連続するような場合には不必要な動作を含むので速度制限の原因になる恐れがある。そこで結局AND方式で、必要なときのみリセットする方式が一番よいと考えられるので、ここではこの方式をとった。

3) 結合の方式

これは次段へ情報を伝える場合の情報の一時的記憶または遅延をどのような方法でとるかと言う問題である。しかしここでは2安定回路を使用することを前提としているので直接の関係はない。一般的に云えば結合方式として、線路を使用するdynamic形、単安定回路を使用するstatic形、2安定回路を使用するstatic形の三つが考えられ、Amodei他の論文⁽³⁷⁾にその比較検討が行なわれている。結局回路の柔軟性から考えて2安定回路が一番望ましく、その中でも情報が次段に伝えられてから前段をリセットするフィードバックリセット方式が一番良いとされている。ここで使用した回路は時間を考慮した単純リセット方式であるが、動作を検討してみると、特にフィードバックリセット方式に劣るとは思われない。結局情報のある2安定回路から次の2安定回路に移すには1相でも2相でも本質的な差異はないので、違いはむしろ移した後のリセット方法に関係している。図2.97はこの関係を示すために筆者が最初に検討した回路であるが、同図(a)のような正バ

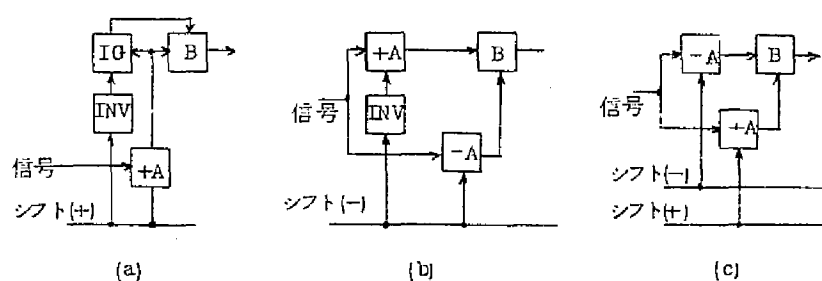


図 2.97 検討したシフトレジスタ回路

ルス1相方式にすると、リセットのための負パルスをつくるために、必ず極性反転回路が必要になる。この極性反転回路の動作はそのもとを共通にシフトパルスにしているので、セットパルスがあるときは必ず禁止されるようにAND出力でゲートしなければならない。したがってリセット用の負パルスが不必要に遅延する恐れがあり、また極性反転回路は他のスイッチ回路に比べると出力パルス幅が広いので、速度上昇の可能性は少ない。(b)はこのリセット系の極性反転回路をセット系に移してより速度上昇を可能にしようとしたものである。この方法ではシフトに負パルスを使用するので、リセットパルスは負のAND回路(ただしこれは零と負の入力で負の出力を出し、正と負の入力で動作しないと云う回路である)でつくられるので、遅延や波形のひずみなどは全く問題にしないでよい。セット系の極性反転は負から正の反転であるから、これは正から負への反転に比べれば特性が良いから、反転のための遅延は(a)の場合に比べて小さい。1相方式ならばこの方法が一番良いと思われる。(c)は正負2相方式で回路はセット系、リセット系ともにAND回路のみであ

るから一番高速化が期待できる。また回路も簡単にすることが可能であるが、シフトパルス回路が複雑になる。回路を構成する場合には数の多いビット回路ができるだけ簡単になることが望ましいので、その上でシフトパルス構成回路の複雑さを比較して考えると、正負2相方式がよいと云う結論に達し、ここで実験した回路はこの方式をとっている。

以上の諸点を考察して、実験に使用した回路は図 2.98 に示すように1個の2安定回路

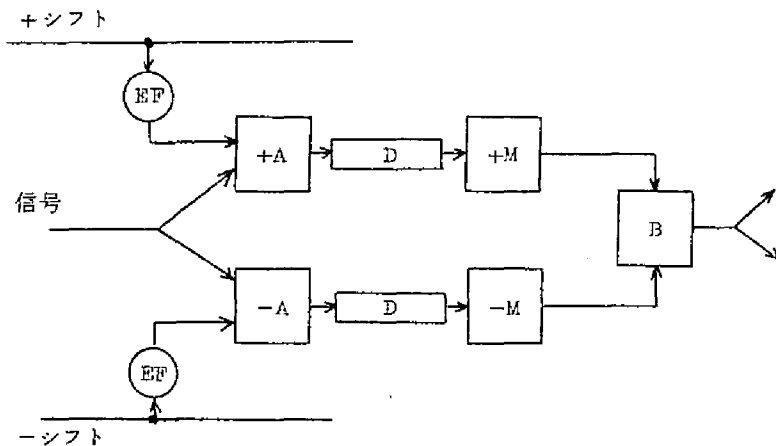


図 2.98 シフトレジスタ1ビットブロック図

B, 正および負のAND回路+ A, -A, バッファ段として使用する正および負の単安定回路+M, -Mの5個のトンネルダイオードで1ビットを構成し、シフトパルスは正負2相方式のものとした。これは図 2.97(c)の回路を確実に動作するように変形したものである。図 2.99はタイムチャートを示している。前段のBは次段の+Aおよび-Aにつながり、“1”ならば+Aが、“0”ならば-Aがシフトパルスに対応して出力を出す。これを適当な量だけ遅延させて+M, -Mで整形してBに加える。Bが“0”で正パルスがくれば“1”にセットされ、負パルスがくればそのまま“0”を保持する。“1”ならば正パルスではそのままの状態であるが、負パルスがくればリセットされる。このようにして情報は1ビットずつシフトされる。シフトパルスはANDがとればよいから正弦波でもよく、実験には正弦波を使用した。しかしパルスの方が位相が確定するので望ましいようであるが、パルス増幅器が必要になると云う別の問題が生じる。

2.5.2 試作回路

図 2.100 にさきを示したブロック図にもとづいた回路図を示す。2安定回路は定電流形とし、その他の回路は従来のもと同じである。ANDと単安定回路の間の線路は適当

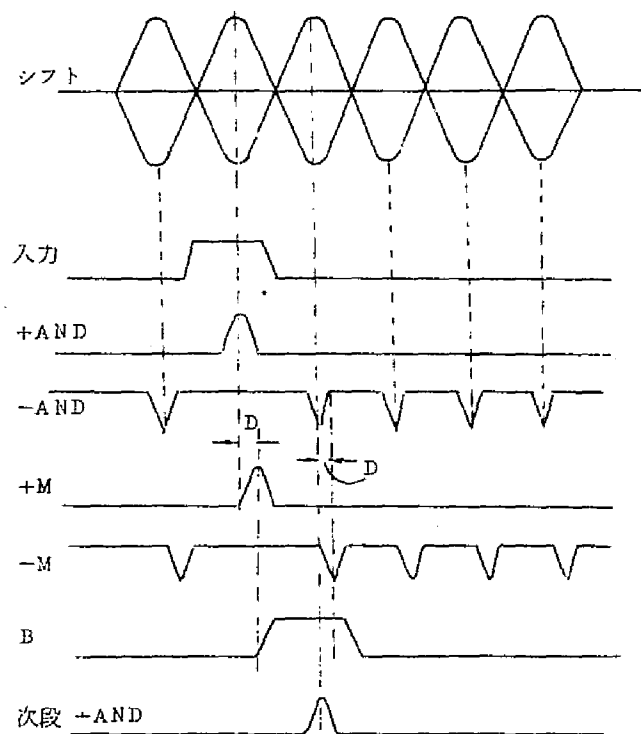


図 2.99 タイムチャート

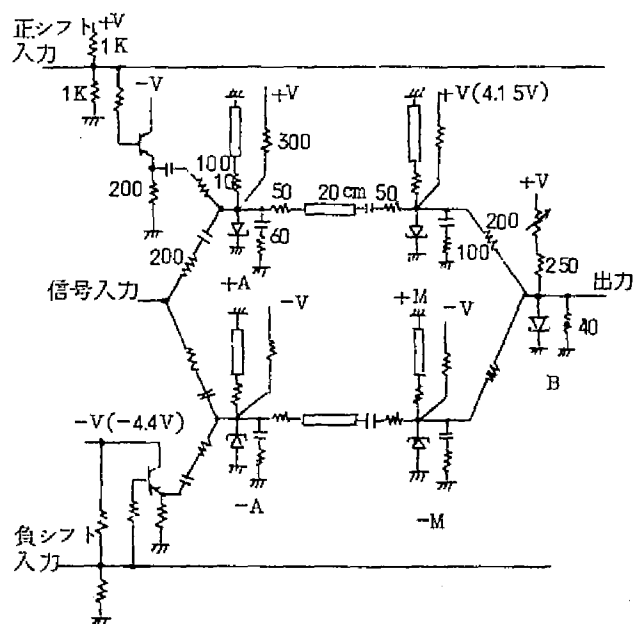


図 2.100 150MHz シフトレジスタ回路図

な遅延をとるためであるが、これは2安定回路の動作を確実にする効果をもっている。シフト信号が各ビットに同時に入るためAND回路は同時に動作する。図2.101に模型的

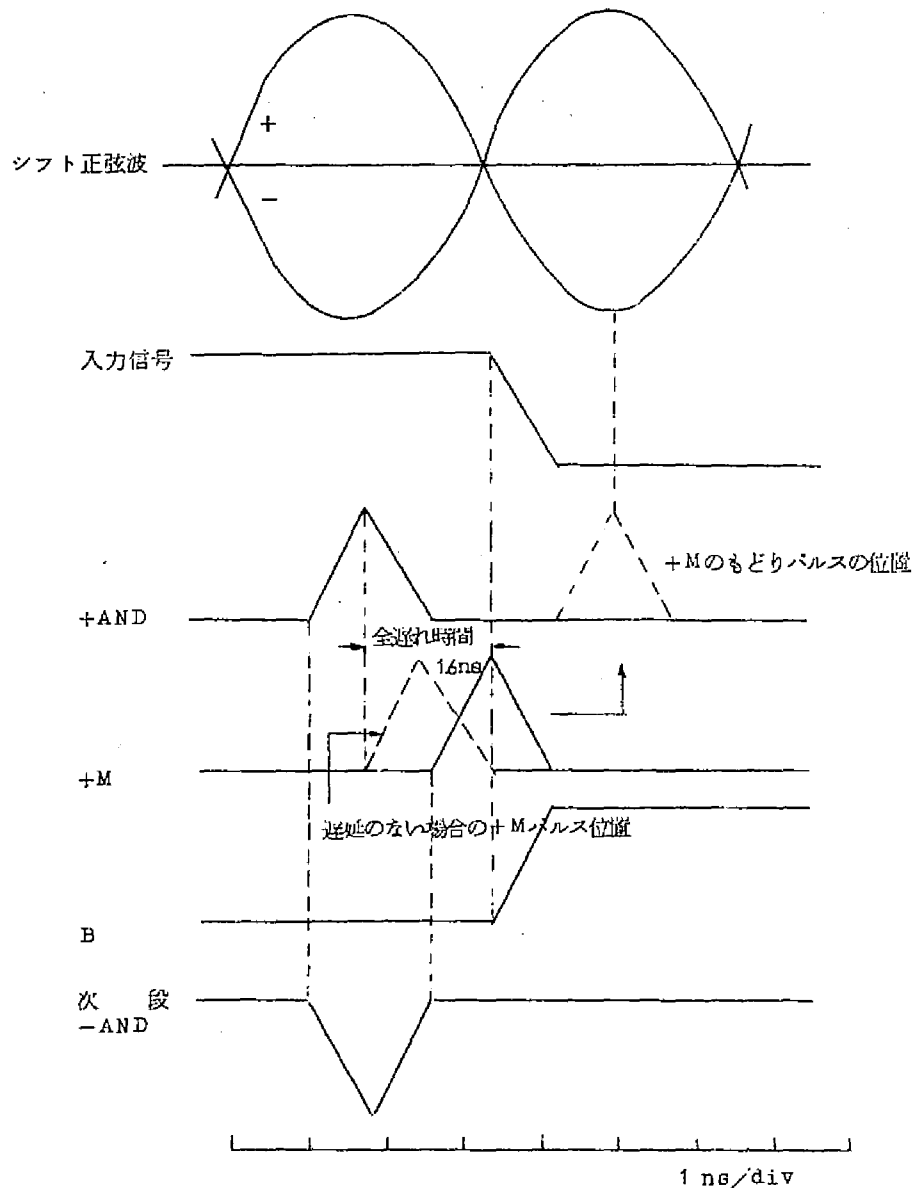


図 2.101 シフトレジスタのパルスの関係

に示すように、AND はシフト信号により2安定回路が状態を変化する前にとらなければならないが、AND の出力は単安定回路を通して2安定回路へセットリセットの信号を送ると同時に、前段の2安定回路へも逆もどりのパルスを与える。この逆もどりパルスは前段の2安定回路が“1”ならば正パルス、“0”ならば負パルスであるから2安定回路をスイッチさせることはないが、時間的にこのもどりパルスが本来のセットリセットパルスよりさきに到着するので、もし両パルスが重さなると互いに消し合って2安定回路が誤る恐

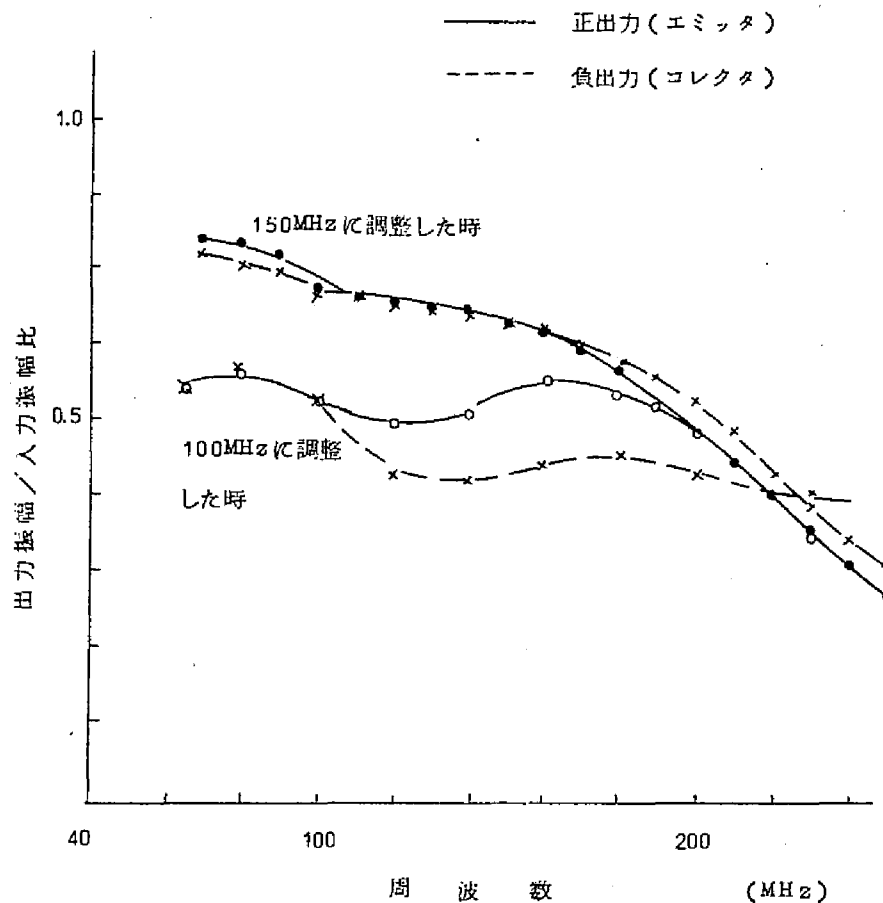


図 2.103 分割回路の周波数特性

でエミッタ出力を 20 cm 長くはしらせ位相を合わせることにした。ストリップ線路からは各ビット共にエミッタホロワで信号を取り出し AND 回路に入れている。図 2.104 はこの部分の場所による電圧値を示す。

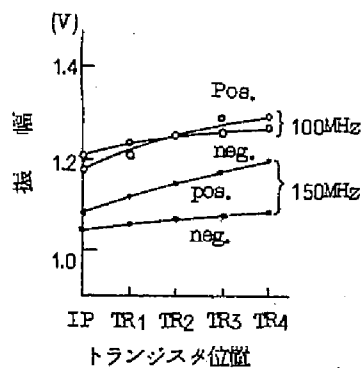


図 2.104 シフト信号振幅特性

2.5.3 実験結果

構成は計数回路と同様に1ビットを2枚の小形プリント板に組み、これを基板の上に並べた。ANDと単安定回路の間の遅延線路はストリップラインを使用した。基板は裏面アースのストリップ線路形にしてシフト分配用の回路を組みこみ、これよりストリップ線路で各ビットに分配している。別に直流電源用の線を板の端につくった。信号は直接結線である。実験は図2.105に示すブロックで行った。バイナリカウンタは前節に述べたもの

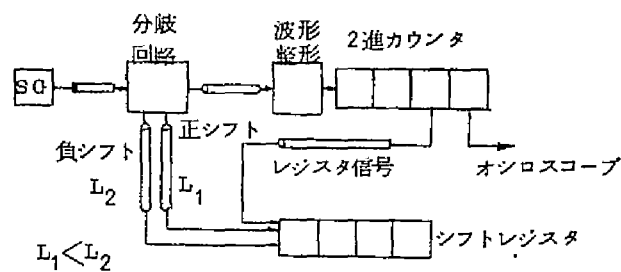
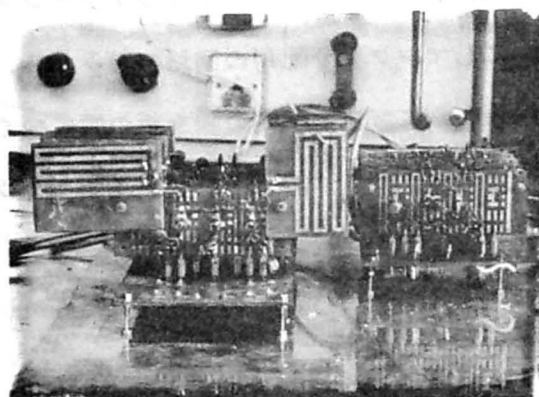


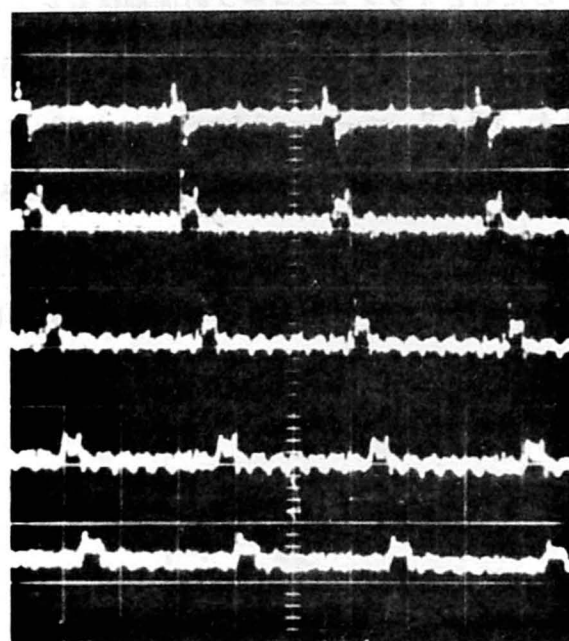
図2.105 実験回路構成

で、同期した入力をうるためとオシロスコープの同期信号をとるのに使用した。実験結果は動作周波数150MHz(146~151MHz)である。シフト用正弦波はSQ出力で2V_{PP}、直流電源は+4.156V、マージン23mV(4.147~4.170V)、-4.397V、マージン35mV(-4.379~-4.414V)であった。図2.106は実験ブロックの外観の写真、図2.107は各ビットの出力写真で“1”をシフトしてゆく様子を示している。動作周波数をさらにあげるとはパルス幅を小にしない限りむずかしい。



シフトレジスタ カウンタ

図 2.106 シフトレジスタ実験回路



入 力

1ビット出力

2ビット出力

3ビット出力

4ビット出力

H ; 20ns/div

図 2.107 シフトレジスタの動作波形
(各ビットの2安定回路出力)

第3章 高速AD変換回路

3.1 高速AD変換回路の概況

トンネルダイオードスイッチ回路は全入力電流が I_p をこえることによってスイッチする analog threshold logic であるから、電圧比較回路を構成することは容易にわかる。本章ではトンネルダイオードを使用したAD変換回路、波高検出回路などについて述べる。最近テレビジョンのPCM伝送や音声の多重PCM伝送などの研究が行われるに従って高速AD変換回路が必要となり、これにトンネルダイオードを使用することが検討されてきた。実用に供するまでにはまだ多くの困難があるように見えるが、実験回路なども発表されているので以下にその代表的な例を上げてみる。AD変換の方式としては変換速度の点から見ると並列形が一番はやく、逐次比較形が一番おそいのは当然である。その中間に直列並列形が存在し、これにはより並列形に近いものと直列形に近いものがある。ここで取り上げた例はこれらの各々が一応全て含まれているが、焦点はむしろ素子としてトンネルダイオードを使用した高速回路にあり、方式自体の比較検討は考えていない。

最初に完全並列形のAD変換を無接地形対回路で構成した例が発表されている。(20) (59)

図3.1に示すように無接地形対回路のダイオード対の midpoint に2個の等しい値の入力抵抗

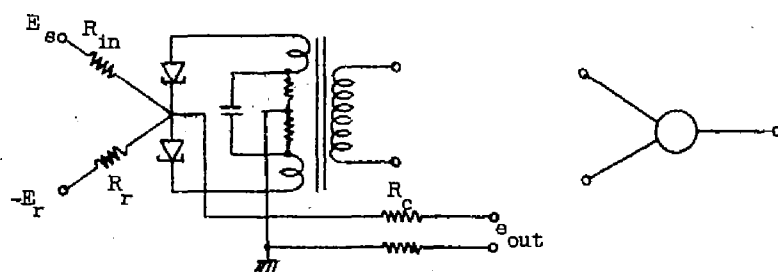


図3.1 無接地形比較回路

を通して入力アナログ電圧 E_{in} と参照電圧 $-E_r$ を加え、対の midpoint に流入する電流の正負により E_{in} と E_r の大小を判別する。この比較回路を分割レベル数だけ配列して並列形の変換回路をつくり、各比較回路の出力をダイオード対論理回路により処理して並列2進出力にする。図3.2は3ビットの回路の構成例である。入力信号は各比較回路に共通に加え参照

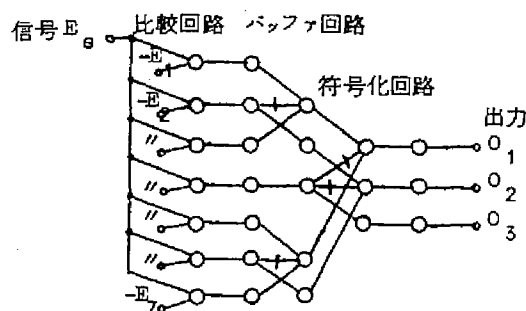


図3.2 並列形AD変換回路の構成(3ビット)

電圧は各レベルに対応したものをつくって供給する。励振周波数 10 MHz で 6 ビット、特別の切換回路をつけ加えることにより 5 MHz 7 ビットの変換回路となる。入力信号振幅は 4 V、比較回路感度は 5 ~ 20 μ A である。この AD 変換回路と対回路を使用した梯子形の DA 変換回路による実験系が動作し、テレビジョン信号の PCM 実験に使用された。次に直列並列形のうちより並列形に近いもの、すなわち並列比較回路を何組かもちこれらを直列に動作させる形の AD 変換回路が発表されている。(60) 6 ビット (64 レベル) の変換を行うために図 3.3 に示すように入力を 3 個のチャンネルに分割し各チャンネルは 2 ビット相当の遅延をもって動作するようにする。各々のチャンネル内では 3 個の電圧比較回路により並列に 4 レベルを比較して出力を出す。高位の比較結果を出すチャンネルの比較結果により、それより低位のチャンネルの入力信号が修正される。サンプリングと電圧比較を行う回

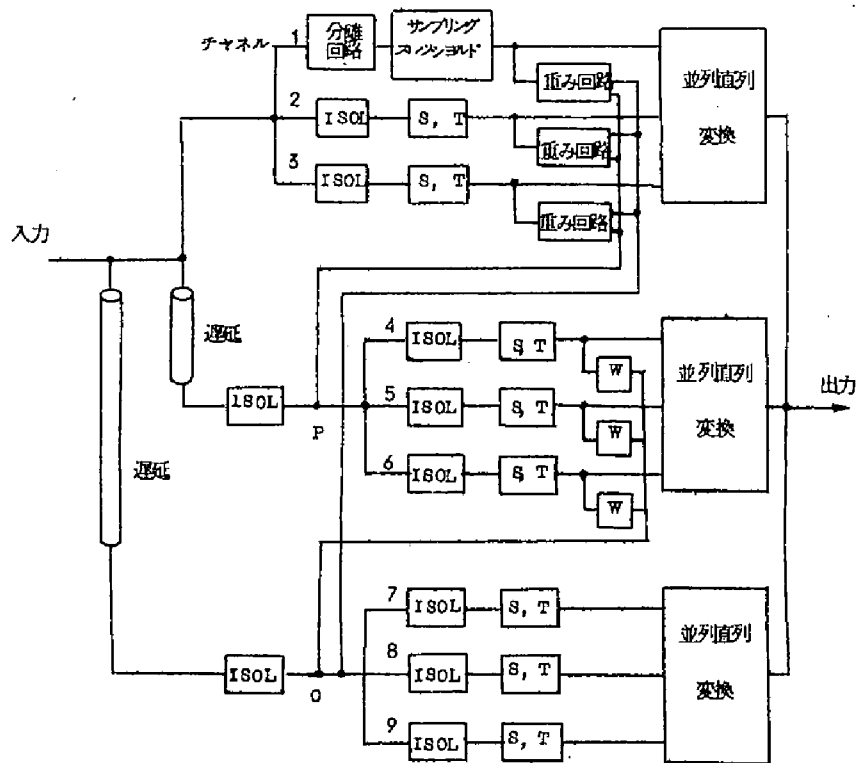


図 3.3 直列並列形の AD 変換回路

路は図 3.4 に示す単一トンネルダイオードスイッチ回路で行い、その出力を一時記憶回路に記憶する。各比較回路の出力を直列 2 進数に変換する論理回路は PTDTL (Pumped tunnel diode transistor logic) 回路(23)を使用している。サンプリング周波数は 50 MHz、したがって 6 ビット直列出力は 300 MHz となる。電圧比較回路の分解能は 50 μ A で 0.3 ns 以内で動作し、最大信号電流は 8 mA で 50 Ω 同軸線路で供給される。

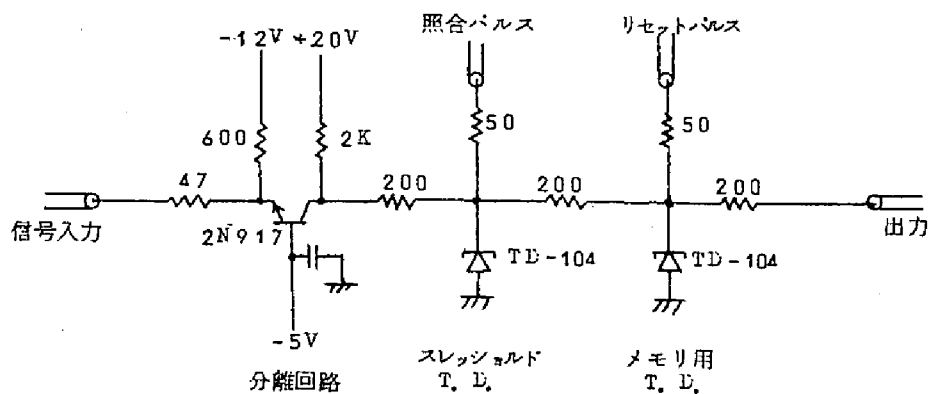
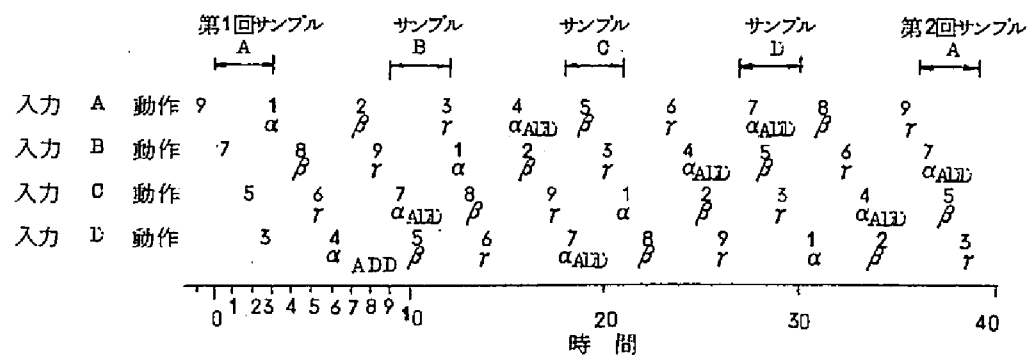


図 3.4 サンプリング回路とメモリ回路

直列並列変換くり返し形のAD変換回路で誤り訂正を行うことにより変換速度を向上させる提案がある。(61) 一般にトンネルダイオードの電圧比較回路では実効入力(信号入力と比較入力の差)が非常に小さい場合には動作がおそくなる。一方実効入力が大きすぎると回路が定常状態に回復するまでの時間が大きくなる。したがって同一の電圧比較回路を逐次使用する形の直列並列変換では最悪の場合として過大な実効入力を比較した直後に微小な入力を比較する場合は生じると変換動作時間が大になる。この様な最大時間を想定して回路設計を行うと動作速度をあげることはむずかしくなる。この点を改善するため図3.5に示すように1回目の並列比較で得た最低位ビットを次の比較の最高位ビットで修正する方法により、常に最低位の誤りを許して変換速度をあげている。この様な方法で



(a) タイムチャート

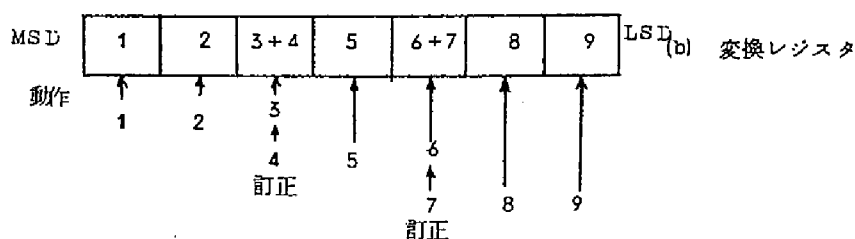


図 3.5 サンプリングと訂正動作説明図

は比較回路の速度向上に加えて、高位桁では比較電圧の精度が低位桁より悪くても良く、比較回路の動作時間が全体の精度に大きな影響をもたない等の利点がある。実験例としては出力7ビット、サンプリング周波数9MHzで3ビット並列変換を3回直列に行う並列直列変換の原理をとっている。ただし電圧比較回路は実際には1個のみでこれを図3.6に示すように切換えて使用するよう工夫している。これは重み回路が変化してから電圧が比較され加算修正が行われて再び重み回路が変化するまでのループの遅れが48nsかかるため、電圧比較回路自身の動作時間は12nsであっても1サンプル周期内に7ビットの変換が出来ないためである。したがって4個の入力回路を準備し、各入力に対しては48ns毎に9回電圧比較を行い比較結果は α 、 β 、 γ のレジスタにサイクリックに一時記憶する。 α レジスタの出力のみを加算回路に入れて修正に使用する。変換時間は約4サンプリング周期かかるので、各サンプル値を4個の入力に順次わりふって、48nsの間に各入力回路についてそれぞれ1回ずつ比較回路を巡すようにしたインターレース方式をとっている。この様にして比較的遅い変換時間にもかかわらずサンプリング周波数の低下をふせいで高速化をはかることに成功している。電圧比較回路にはトンネルダイオード対回路を使用しその他の回路はトランジスタ、ダイオードで構成されている。

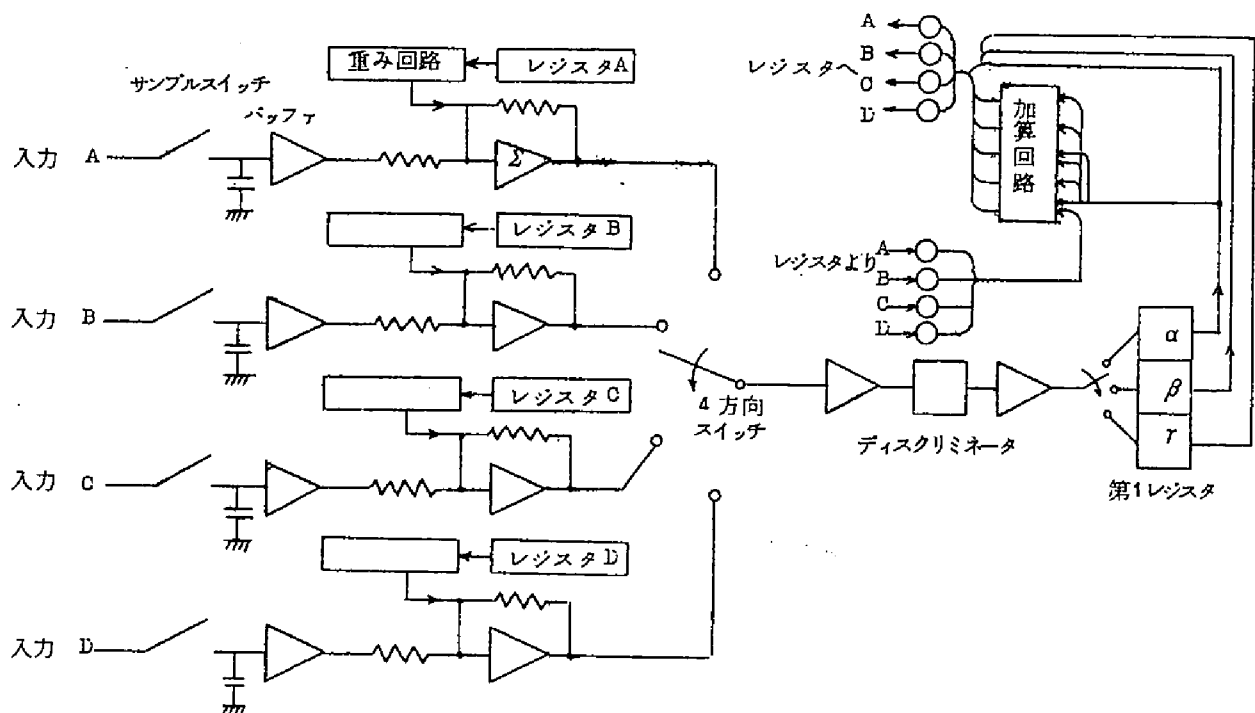


図 3.6 変換回路ブロック図

次に接地形の対回路を使用した逐次形A/D変換回路が発表されている。⁽⁶²⁾ 基本回路はインダクタンスを負荷とした一端接地のトンネルダイオード対回路で、単安定動作を行うと共に中点電流の正負による振幅比較、トランス結合による順次タイミングパルスの発

生および対回路のメモリ機能を利用している。図 3.7 は原理的な AD 変換回路図で、まずリセット信号で全ての対回路を下側のダイオードを高電圧、上側のダイオードを低電圧状態（これを“0”とする）にする。次に負のスタートトリガパルスによりまず最高位桁の

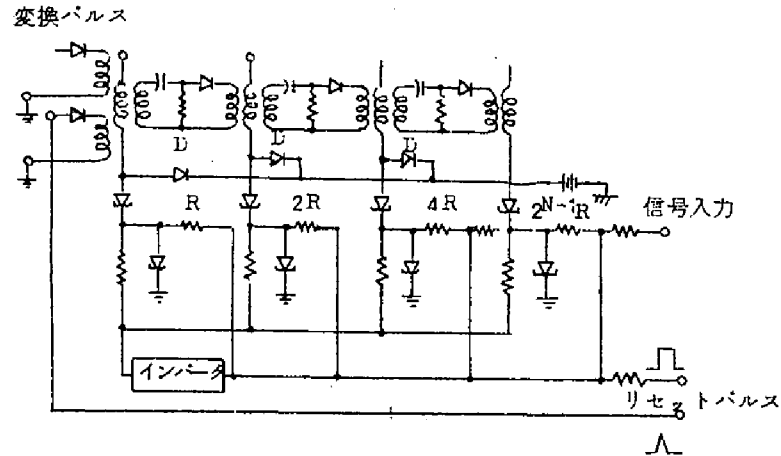


図 3.7 逐次 AD 変換回路変換部（原理図）

対をスイッチさせ 1 度両ダイオード共に低電圧状態とする。この時の下側ダイオードの電圧変化を抵抗 R で割った規準電流 I が入力信号回路の電流 I から差しひかれ、この大小により対の中心に入る比較結果の信号電流の正負をきめる。単安定回路であるからスイッチ後インダクタンスによる時定数でバイアス電流が増加し再びもとの状態にもどる時、対の中心に入る電流の実際の極性はインバータにより反転して、 I が I より小さければ上側が高電位、下側が低電位で“1”状態になり、反対に I が I より大ならば下側が高電位、上側が低電位で“0”にもどる。初段の出力パルスをトランスで取り出し後縁を微分して第 2 段のトリガパルスに使用し、同じ動作原理にしたがって I から I を引いたものを $I/2$ と比較する。以下順次同様にして各桁を比較してゆく。実際には比較精度を上げるために正確な比較電圧をつくることが必要なことと、対を構成するダイオードの特性をそろえることが問題となり、トランジスタインバータを使用する改良形が考えられている。図 3.8 の回路はこの様な考え方による変換回路で、トランジスタのエミッタに入っている、ゲルマニウムトンネルダイオードはバイアスを与えトランジスタのカットオフを確実にしてスイッチ速度を上げるためのものである。またトランス結合のかわりに外部からタイミングパルスを供給する方が安定度が向上する。トランジスタのスイッチ時間は 20 ns 程度である。対回路の電圧比較感度は $100\mu A$ である。

以上の 4 例は標準的な電圧比較回路を使用しているが、次に特別な電圧比較回路を使用する例をあげる。トンネルダイオードを n 個直列に接続すると $n+1$ 個の電圧状態を識別する電圧比較回路が構成出来る。(63)(64) 特性の等しいトンネルダイオードを使用

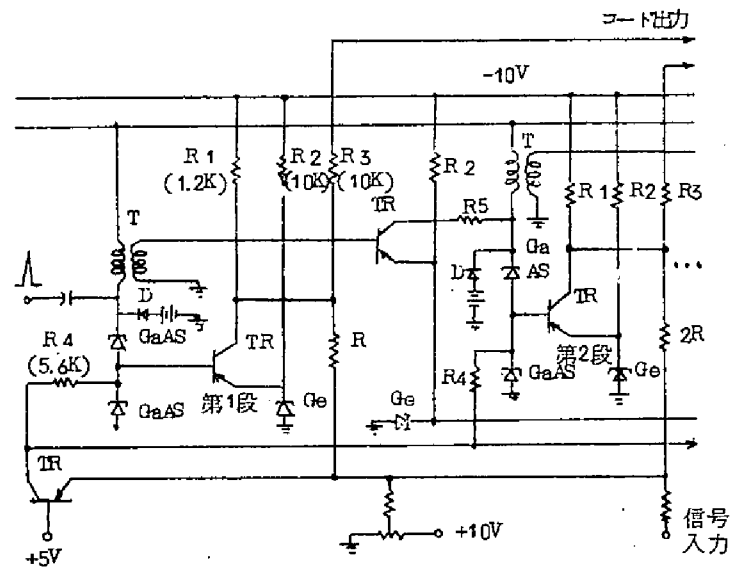


図 3.8 実用的な逐次 AD 変換回路

すると n 個の山をもつ電圧電流特性がえられるからこれと 1 点で交わる様に負荷条件を定めると、何個のトンネルダイオードがスイッチしたかにより電圧比較が行える。AD 変換回路としてデジタル出力をうるためには、比較結果を 2 進コードに変換するため若干の外部回路例えば計数回路または加算回路、同期信号回路などを必要とする。また使用するトンネルダイオードの特性を一定の関係で変えれば 2^n の状態が検出でき外部の論理回路を必要とせずに行号化が行えるが、この様なトンネルダイオードをそろえるのは困難であり、また電圧の上昇時と下降時のヒステリシスの問題もあるので実用回路をつくるのはむずかしい。

以上に述べた諸例は AD 変換回路としてまとめることを目標にしているが、この他に放射線計測などに使用される波高検出、波高分析回路がある。しかしこれらに使用されているトンネルダイオード電圧比較回路は標準的な動作のものが多く、また波高検出または波高分析回路全体としても特に興味深い方式も見あたらないので省略することにした。この他に特殊なものとして超高速 PCM 端局用として Bell Lab で実験されたトランジスタ高利得高帯域増幅器の従続接続形⁽⁶⁵⁾ AD 変換回路がある。この AD 変換回路はサンプリング周波数 12 MHz、出力は 9 ビットグレイコードを出しさらに後続の回路で 2 進コード直列に変換して多重化する。この方式では増幅器の特性が一番問題となる。60 ns の間に変換が終了して通常状態におちつかなければならないので、増幅器としては 20 dB/decade, unity gain crossover frequency 80~90 MHz、入力電流 13 μ A で 1 ステップの変化を生じるようなものを使用している。

3.2 トンネルダイオードを使用した高速AD変換回路(48)(66)

3.2.1 電圧比較回路の動作

第2章でトンネルダイオードに終端短絡の伝送線路を負荷した単安定パルス回路の基本的動作を述べたが、この回路の直流バイアスのかけかたをアナログ信号電圧と基準電圧の差電圧がかかるように変形して、アナログ信号で設定される動作点がスイッチ条件を満足しているか否かをトリガパルスで調べることにより、パルス特性を損うことなく電圧比較回路をつくることが出来る。したがって単安定回路の一つの応用例として以下に試作したAD変換回路について述べる。基本回路の安定点は負荷抵抗の大きさと電源電圧によってその位置がきまる。抵抗を一定とし振幅一定のパルスを外部より加えた時、動作点が山をこえるか否かは電源電圧に依存する。電源を二つに分けて一方には可変電圧、他方には定電圧を加え、可変電圧が一定値 E_{th} のときちょうど回路が入力パルスによりトリガされるように定電圧の大きさを定めると、可変電圧が E_{th} またはそれ以上となれば回路は入力パルスに対して応動し、以下の場合には動作しないような回路をつくることができる。いま E_{th} を零とすれば入力信号電圧 V_S と比較電圧 V_E の差を可変電圧とし、 $(V_S - V_E) \geq 0$ すなわち $V_S \geq V_E$ なるとき回路が動作するように電圧を設定することができる。図3.9の回路で V_S と V_E はトンネルダイオードの両端子間に加えられているから逆方向に作用し、 $(V_S - V_E)$ なる電圧が加わったことと等価になる。 V_D は固定バイアスを与える。したがって $V_S \geq V_E$ のときトリガパルスに対応する出力パルスが出るから、これにより比較結果を知ることができる。この構成方法は可変電圧 $(V_S - V_E)$ の零比較であるから、 V_S

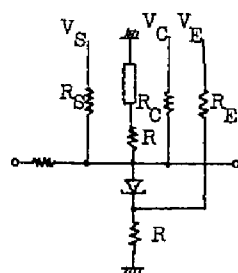


図3.9 電圧比較回路

と V_E の端子を交換することにより $V_S \leq V_E$ のとき回路が動作するようにすることもできる。したがって図3.10のように両者を並列にしておくと、 V_S が V_E より大か小かにより、入力パルスに対して対応する回路よりパルスを取り出すことができる2出力電圧比較回路をつくることができる。両回路に対して全ての電圧の極性は同一で共通に使用することができる。以下では出力1側を上側回路、出力2側を下側回路とかく。アナログ信号 V_S はエミッタホロワから供給される。 V_E は比較電圧でその回路の動作範囲に対応した定電圧

が供給される。 V_c は動作点の調整用に加えるもので、可変抵抗で動作点を移動できる。

電圧比較回路の直流条件を計算し、信号と比較電圧の関係を求める。図 3.11 のように等価回路を簡単化する。

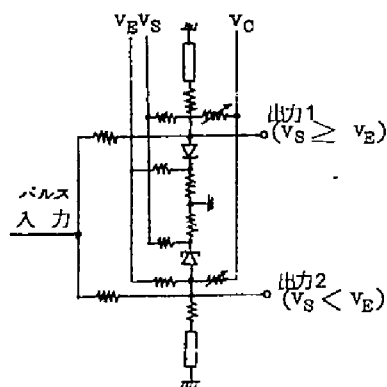


図 3.10 2 出力電圧比較回路

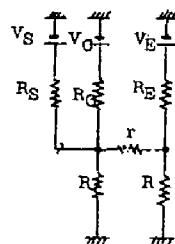


図 3.11 直流等価回路

トンネルダイオードは低電圧状態の抵抗値 r で等価する。これはトリガされる前の直流条件が電圧比較の基準になるからである。このとき電流と電圧の関係はつぎのようになる。

$$i \left[1 + \left(\frac{1}{R_S} + \frac{1}{R_c} + \frac{1}{R} \right) \left(\frac{R R_E}{R + R_E} + r \right) \right] = \frac{V_S}{R_S} + \frac{V_c}{R_c} - \left(\frac{1}{R_S} + \frac{1}{R_c} + \frac{1}{R} \right) \left(\frac{R}{R + R_E} \right) V_E \quad (3.1)$$

この式で i はトンネルダイオードを流れる直流電流であるから、トリガ電流を Δi とすれば

$$I_p - \Delta i = i < I_p \quad (3.2)$$

I_p ; ピーク電流

の時トリガ条件を満足する。(3.1)式はこの電流に対する信号電圧 V_S と比較電圧 V_E の寄与の仕方が、各抵抗の間に特別の関係が成立する場合を除いて同一でないことを示す。比較点で $V_S = V_E$ が満足されるためには、信号と比較電圧が1対1に対応するように抵抗値を決定しなければならない。この関係を R_E で調整することを考えると(3.1)式で V_S と V_E の係数の絶対値を等しくすれば良いから

$$R_E = R_S \left(1 + \frac{R}{R_c} \right) \quad (3.3)$$

とすればよい。この時 V_c の値としては

$$V_c = (I_p - \Delta i) \left[2 + \frac{R+r}{R_c} + \frac{r}{R_S} + \frac{r}{R} \right] R_c \quad (3.4)$$

となる。 $R_S \gg r$, $R_c \gg r$ が成立すれば

$$V_c \doteq (I_p - 4i) \left[2 + \frac{R}{R_c} + \frac{r}{R} \right] R_c \quad (3.5)$$

となる。いま抵抗値の選定が(3.3)式を満足しているならば、上側回路と下側回路の信号に対する動作点には差異がないはずである。しかし実際には素子のばらつき、特にトンネルダイオードの I_p のばらつきのためギャップまたはかさなりが生ずる。いま上側回路が I_p 、下側回路が $I_p + 4I_p$ であった時にこの $4I_p$ による動作点の差を計算してみる。比較電圧 V_{EO} に対して上側回路がトリガ条件を満足する電圧を V_{S1} 、下側回路のそれを V_{S2} とすると

$$V_{S1} - V_{S2} \Big|_{V_{S1}=V_{EO}} = 4I_p \left[(R_s + R_E + r) + \left(\frac{1}{R_c} + \frac{1}{R} \right) R_s r \right] \quad (3.6)$$

となる。この差は結局調整用電圧 V_c （具体的には可変抵抗）を変化して補正することになる。その補正量は

$$\Delta V_c = 4I_p \cdot R_c \left[1 + \left(\frac{1}{R_s} + \frac{1}{R_c} + \frac{1}{R} \right) \left(\frac{RR_E}{R + R_E} + r \right) \right] \quad (3.7)$$

となる。つぎに抵抗値に $1 \pm \alpha$ 、電圧に $1 \pm \beta$ 、電流に $1 \pm \delta$ の変動を考えた場合の最悪条件における比較点の変動を計算する。いま変動のない場合 $V_{S0} = V_{EO}$ でトリガ条件が満足されるとして、 V_{S0} から ΔV_S ずれるとすると

$$\begin{aligned} \Delta V_S = & (I_p - 4i) \left[R_s + \left(1 + \frac{R_s}{R_c} + \frac{R_s}{R} \right) \left(\frac{RR_E}{R + R_E} + r \right) \right] (\alpha + \delta) \\ & - 2\alpha (I_p - 4i) \left[\frac{RR_E}{R + R_E} - \left(\frac{R_s}{R_c} + \frac{R_s}{R} \right) r \right] \\ & - (2\alpha + \beta) \left[\frac{V_c R_s}{R_c} - \frac{R}{R + R_E} \left(\frac{R_s}{R_c} + \frac{R_s}{R} \right) V_{EO} \right] \\ & + \frac{R}{R + R_E} V_{EO} \cdot \beta \end{aligned} \quad (3.8)$$

となる。ここで R_E, V_c は式(3.3)(3.4)をあてはめる。 $2\Delta V_S$ がこの比較回路の最悪感度と考えられるが、実際には調整を行うので感度はこの値より良いのはもちろんである。

実際に使用した値による数値例を示す。 $R_s = 1k\Omega$, $R = 10\Omega$, $R_c = 150\Omega$, $I_p = 10mA$, $4i = 2mA$, $r = 5\Omega$ とする。 R_E は(3.3)式より計算すると $R_E = 1066.7\Omega$, V_c は(3.4)式より $V_c = 3126mV$ となる。このとき $V_{S0} = 1.00V_{EO}$ となるが、 V_c を(3.5)式によって計算すると $V_c = 3080mV$ となりこの時 $V_{S0} = 304(mV) + 1.00V_{EO}$ となる。実際には $R_E = 1k\Omega$, $V_c = 3V$ を使用し、 R_c を可変とした。 $R_c = 144\Omega$ とするとこの場合 $V_{S0} = 331(mV) + 1.079V_{EO}$ となる。つぎに $\alpha = 0.02$, $\beta = 0.04$, $\delta = 0.05$ と $\alpha = 0.02$, $\beta = \delta = 0.01$ と

$\alpha = \beta = \delta = 0.01$ の 3 つの場合について $4V_S$ の計算値をもとめる。 R_E, V_C を (3.3) (3.4) 式によって求めた値を使用すると、 $4V_S$ はそれぞれ $-3.14(\text{mV}) + 0.085V_{EO}$, $-239.5(\text{mV}) + 0.053V_{EO}$, $-124.8(\text{mV}) + 0.032V_{EO}$ となる。つぎに上記の実際の値によるとそれぞれ $-246.4(\text{mV}) + 0.096V_{EO}$, $-247.7(\text{mV}) + 0.053V_{EO}$, $-323.7(\text{mV}) + 0.032V_{EO}$ となる。このように各回路の常数によりまた各 V_{EO} の値により調整が必要になるが、調整を行えば V_{S0} からのずれは $\pm 20\text{mV}$ にすることができる。

3.2.2 AD変換回路の構成

電圧比較回路を枝状に配列した並列 4 ビットの変換回路の構成を図 3.12 に示し、変換過程を説明する。この構成法では基本回路の高速パルスの性質を十分活用するため、伝搬経路の簡単化をはかることが最大の目的である。そのために直列方式の電圧比較の考え方を採用するが、フィードバック経路は存在しないように各比較素子を配列した。

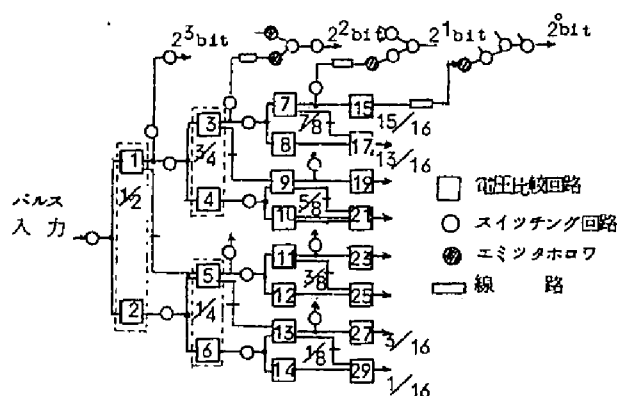


図 3.12 4 ビット AD 変換回路ブロック図

一方アナログ信号は各素子に並列に加えているが、並列方式の比較回路とは異なって複雑な論理回路にパルスを通すことはしていない。パルスは入力端（高位の桁）から終端まで、その時のアナログ信号の大きさにより定まる一つの経路を通りぬけるだけで、その途中に通過した比較素子のいかんによりビット信号を出すか否かが決定される。したがって分岐はそれぞれ一組になっている 2 個の素子（上側回路と下側回路）のどちらかが前段の出力パルスに対応して動作し、そのパルスの後段に伝えるだけで、動作しない素子に対してはそれにつながる後続回路も全く動作しない。図 3.12 の丸印はバッファ用トンネルダイオードスイッチ回路を示し、止方形は上記の電圧比較回路である。添字のうち奇数は信号電圧が比較電圧よりも大きい場合に動作するもので、偶数はその反対に小さい場合に動作するものである。点線で囲んである一組が前述した 2 出力の電圧比較回路を構成する。信号電圧はおのこの比較回路に並列に加えられ、比較電圧はフルスケールを 1 に規格化した時、各比較回路に対してその正方形の横に示した値のものが加えられ、これは固有なものであるから図では信号電圧と比較電圧を供給する回路は省略して、単にパルスの伝搬回路のみ

が示してある。変換過程の概略を説明すると、入力パルスはまず $1/2$ より大か小かで 1 と 2 のうちどちらかをトリガする。いま一例として入力 $1.05/1.6$ であれば 1 がトリガされて、パルスを 3 と 4 および 2^3 ビットが "1" であることを示す出力に伝える。つぎに 3 と 4 のうち 4 が動作範囲内にあるので 4 のみがトリガされてパルスを 9 と 10 に伝える。もちろん 5, 6 も動作条件を満足するが、これらは 2 が動作していないので入力パルスが入らないからスイッチはしない。このように動作条件を満足する比較回路につながる一つの枝のみが順次選択されてゆく。4 は出力の OR 回路につながらないから出力は出ないので 2^2 ビットは "0" である。つぎに 9 と 10 では 9 が動作するから、OR 回路より出力が出て、同時に 19 がトリガされる。最終ビットではそれ以下の段がないからこのビットを "1" にするか否かのみを判定すれば良いので、各比較回路の組において下側回路は省略してある。19 は動作条件を満足しないので、この段はどの回路も動作しない。したがって出力は並列に 10 10 がとり出され 2 進数に変換される。図中の 5, 9, 13 などにつながっている一印のある線は禁止線を示す。これは後述するように比較回路の比較範囲が重なった場合の誤動作を防止するためである。また最終段の前のバッファ回路は省略した。このようにパルスが 4 段の比較回路と 3 段のバッファ回路を通過する間に変換が行われ、フィードバックがないので、各段の遅れの約 7 倍の時間ですむ。使用している基本回路の出力パルスは立上り 0.8 ns 、パルス幅 2 ns で段間のおくれは 0.8 ns であるから、パルスが通過するに要する時間は約 6 ns である。パルスは入力端より終段まで前方へのみ伝送されるから、基本回路の性質としてそれ自身の一方向性が利用でき、別に一方向性素子を段間に入れる必要がない。ただ出力 OR 回路では、これを通してパルスが逆に伝わるのを防ぐために方向性素子としてトランジスタを使用した。サンプル用のメインパルスは正弦波でトリガした GaAs トンネルダイオード回路でつくりバッファ用の Ge トンネルダイオードを通してとり出した (図 3.13)。アナログ信号電圧はフルスケール 3 V に規格化して、4 個の並列エミッタホロワを通して 22 個の比較回路に加える。このうち 2 個のエミッタホロワ出力は不必要に大きな信号電圧がかかることをさけるため 1.5 V にクランプされるようにしてある。信号のホールド回路は実験には使用しなかった。

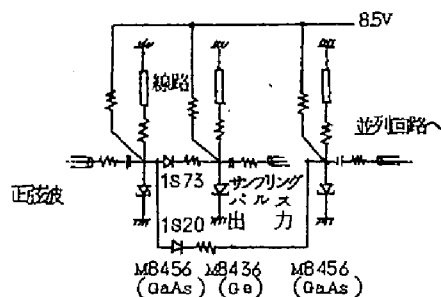


図 3.13 メインパルス発生回路

出力を並列にとる場合には 100MHz のくり返しが可能であるが、これを直列にする場合には並列出力を伝送線路で適当な時間だけ遅延させて OR 回路で集める。図 3.14 にこれを示す。線路の長さは AD 変換回路内の各ビット信号の通るゲート数に応じて定める。

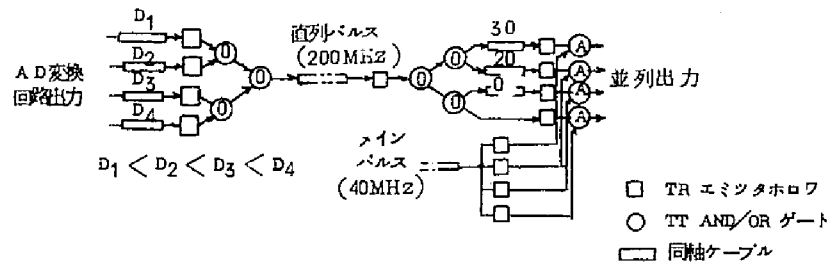


図 3.14 直列並列変換回路

系全体の動作速度を考えると、4ビット直列出力を与える OR 回路の速度を 200MHz にした。したがって直列信号は 5ns 周期のパルス列になり、周期は 50MHz になるがこれを 40MHz にして間隔を少しあけることにした。直列信号を並列になおす回路は上の動作の逆を行うもので、構成は同じ方法をとる。直列入力を並列にわけ、各回路に同じ時間に対応するビット信号が到着するように各伝送線路で遅延させ、これを外部からの同期パルスにより AND 回路を通してとり出す。同期パルスは AD 変換回路の基本のパルスを使用する。

3.2.3 AD 変換回路の動作の誤り

本来 AD 変換をする場合にはアナログ信号をホールドすることが必要であるが、変換時間 T が非常に小さい場合に信号をホールドせずに変換出来る周波数をしらべてみる。変換過程の間の信号の変動は時間的なものに限る、この変化は直線的であるとする。 T の間に ΔV の変化まで許されたとすると、 ΔV は最終段 1 レベルの電圧幅と許される誤差により定まる。正弦波の信号を考えると最高周波数 f は

$$f = \frac{\Delta V}{2\pi TV}$$

となる。ここに V はフルスケール電圧である。 n ビットの変換回路を考え、最終段 1 レベルの変動を許すとすると

$$f = \frac{1}{2^{n+1} \cdot \pi \cdot T}$$

となる。 n が増加すると T も必然的に増大するので、 f は急激に低下する。図 3.15 はこの関係を図示したもので、アナログ信号のホールドを使用しない場合には、 n は数ビット、 T は数 ns でないと使用出来ない。一般的にはホールド回路が必要である。アナログ信号が時間的に変化して、変換過程で最終段 1 レベルだけずれた場合に、変換回路全体の誤りとしては、出力の 1 ビット誤りになる場合と動作が誤らないで済む場合がある。前者は信号が減少して最終ビットが“1”より“0”に変わるときと増加して“0”より“1”に変

わるときに起こる。後者はこの逆の場合である。たとえば信号が増加して0111から1000に変わる場合を考えると、上位の3ビットは011が出る。最終桁では図3.12の22の位置の比較回路（この図では省略されて欠番）が本来動作するわけであるが、この系統にはパルスが流れてないから、動作条件は満足してもトリガされない。一方23は信号電圧が増加しても未だ動作条件を満足しているから、トリガされ出力を出す。したがって変換回路の出力は0111となり結果は誤まらない。このような時間的变化による誤りはあらかじめその変化範囲を制限できるから、最終ビットの誤りにおさえることができる。

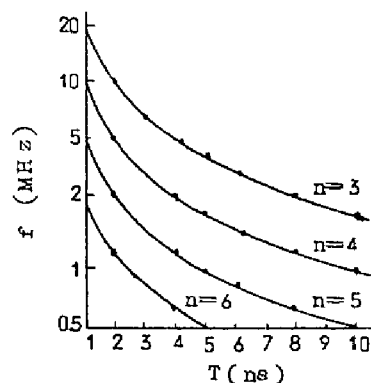


図3.15 信号をホールドしない場合の変換時間と信号周波数の関係

一方回路の動作点のばらつきによる誤りは、あらかじめ誤る場所を限定できないので、場合によっては大きな誤りを生じる。ばらつきによる誤りは2種類考えられる。一つは1組の比較回路の間の境界で起こるもので、そのビットが誤りの出力を出し以下の全ビットが全て“1”（上にずれた場合）または全て“0”（下にずれた場合）となる。したがって結果的には最終ビットの“1”の誤りとなる。ここで誤動作した比較回路のばらつきの範囲は全動作範囲に比して小さいと考えている。他の一つは異なる比較回路の組の境界で起こり、そのビットを含めて以下の全ビットの“1”と“0”が反転する。したがって上位の桁がちがった場合は大きな誤りを生ずる。つぎに二つの比較回路の動作範囲にギャップが生じると、ちょうどその中間の信号電圧の場合にはパルスはその点で止り、以下の出力は全て“0”と見なされる。微小なギャップが生じるのを防ぐ一つの方法としては、比較回路の両動作範囲を若干重なるようにして、上側出力に優先度を与えて下側出力を止めるようにする。同じ段には時間的に禁止をかけることができないので、次段の一つ下の位置の比較回路のトンネルダイオードの動作を止めれば良い。図3.12の—印はこの結線である。

3.2.4 DA変換回路

DA変換回路は通常のはしご形回路により、まず並列入力に対応した振幅のパルスをつくる。図3.16はそのブロック図を示す。トンネルダイオードの示すインピーダンスは低電圧状態では数Ωなので、これに対して大きな抵抗値を利用してはしごを組めば誤差は許容範囲内におさえることができる。一方この抵抗はトンネルダイオードの出力抵抗であるから大きい方が望ましいので、この回路では600Ωに選んだ。次にこの出力パルスを増

幅してホールドする。増幅器は40MHzの
 パルスの増幅であるから広帯域増幅器が必要で
 あるが、満足すべき性能のものが得られな
 かったので実際に使用したのはコンデンサ結合
 の高周波増幅器で利得は20dBである。ホー
 ルド回路はダイオードブリッジゲートやトラ
 ンジスタによりコンデンサを充電する方法に

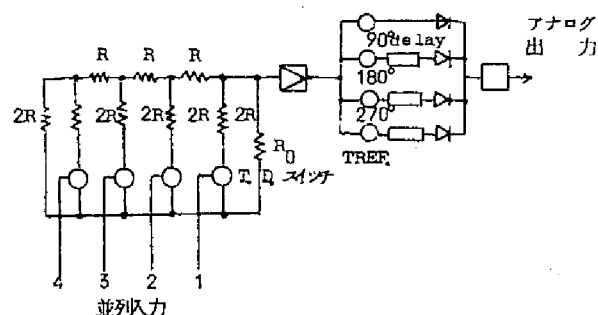


図 3.16 DA変換回路ブロック図

ついて実験を行ったが、この回路で扱っている信号周波数、ゲートパルスに対してはどの
 方法も満足な結果が得られなかった。そこでここではパルスを遅延させて加え合せる方法
 を採用した。これはホールドではないがパルス幅がひろくなれば良いので使用する。図3.16
 に示すように増幅器の出力を並列にとり、ケーブルでおくらせ90°ずつ位相をずらして
 4個のパルスを加える。この方法では正弦波の場合に約30%のリップルが出るのはさけ
 られず、パルスに近ければさらに大きなリップルが出るが、外部からのゲートパルスを必
 要とせず、またパルスを遅延させて加えることはこれまでも多く使用している方法なので
 有利であると判断して採用した。図3.17に入出力の直線性を示す。出力の大きい部分で
 のひずみは増幅器の飽和に起因するものである。

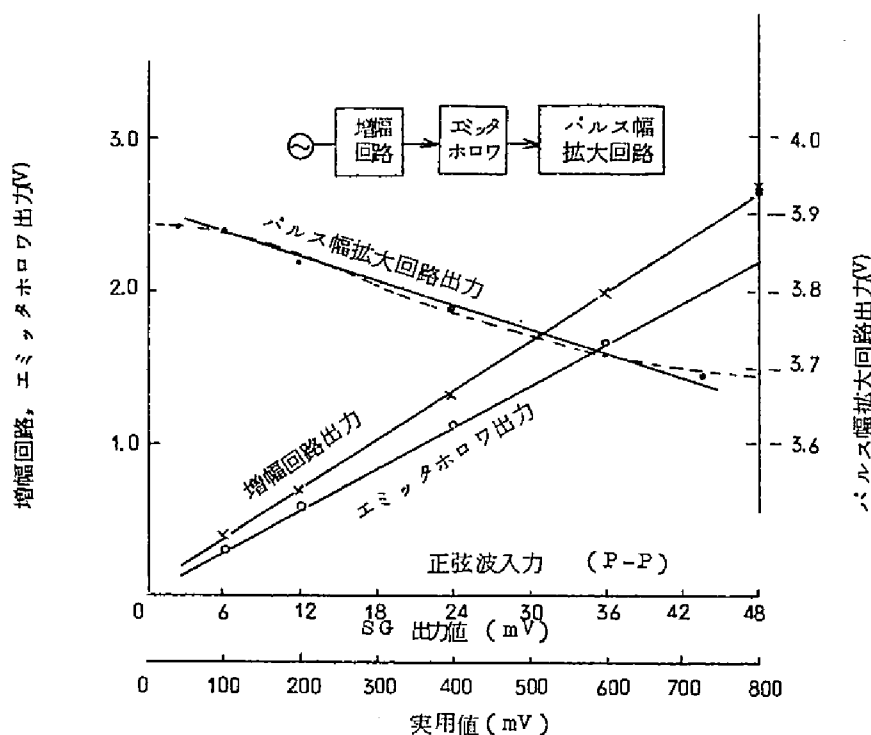
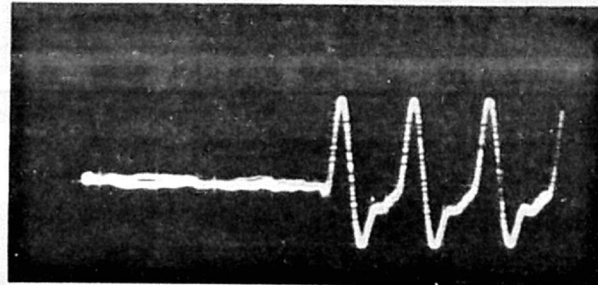


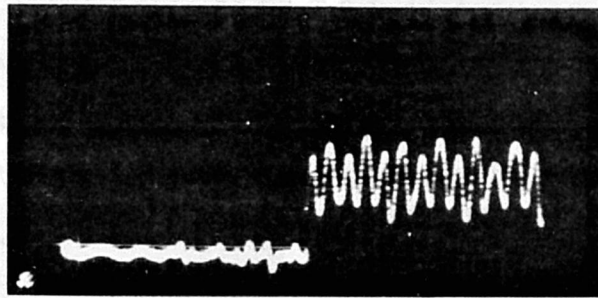
図 3.17 パルス幅拡大回路の入出力直線性
 入力：40MHz 正弦波
 50Ω線路

また小さい方でのまがりはダイオードの非直線特性による。したがってこの間の直線領域を使用し、必要ならばさらに直線性の範囲の大きい増幅器で増幅する。また図3.18, 図3.19の写真は増幅器出力とホールド回路のリップルを示す。増幅器出力がパルス状であるためこれを重ね合せた場合のリップルも約40%になる。



H: 20ns/div
V: 200mV/div

図 3.18 増幅器出力波形



H: 20ns/div
v: 50mV/div

図 3.19 パルス伸張回路出力波形

3.2.5 実験結果

実験は図3.20のブロックにより行なった。使用した素子は表3.1に示すように、トンネルダイオード68個, トランジスタ40個などである。線路は50Ω 同軸ケーブルを使用した。

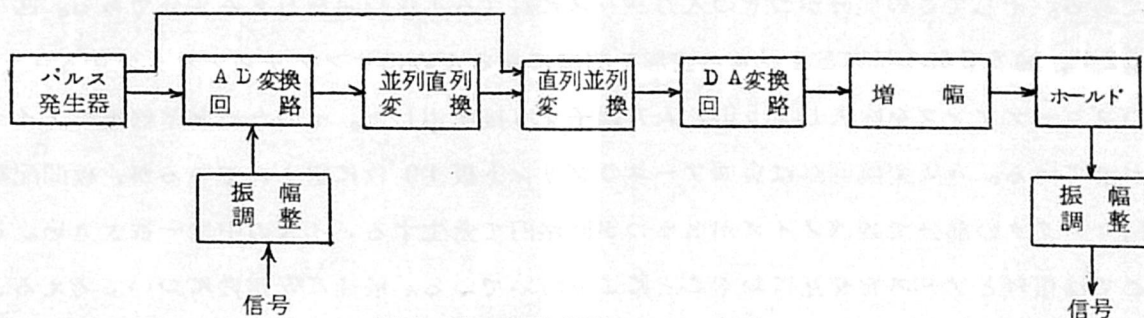


図 3.20 実験回路ブロック図

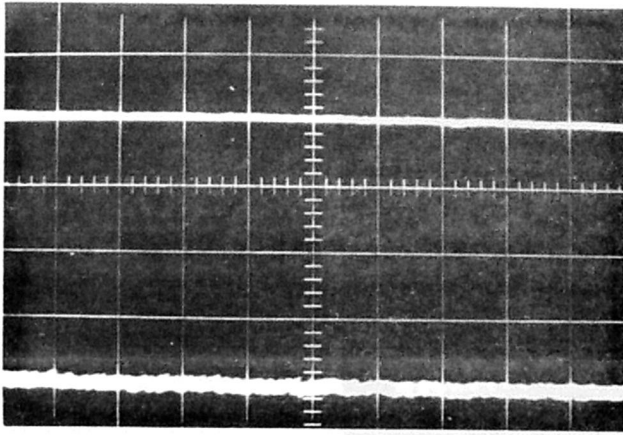
表 3.1 素子一覧表

	T. D. M8456	T. D. M8436	2SC103	2SA372	2SC74	1S 88 1S 73
A/D コンバータ		51	14			
D/A コンバータ		4		9		
並列直列変換		10		13		
パルス発生回路	2	1				2
増幅回路					4	16
計	2	66	14	22	4	18

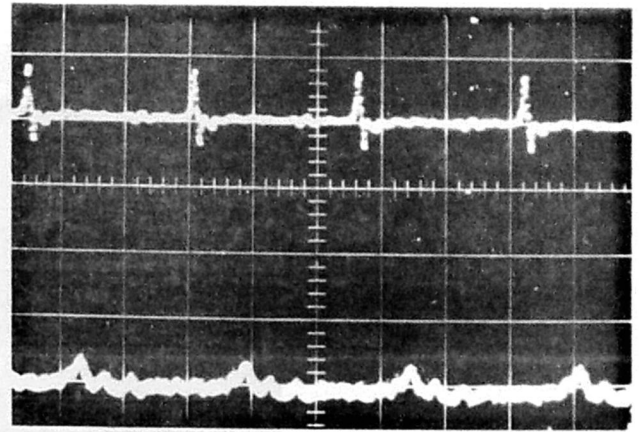
M8456:GaAs, $I_p=20\text{mA}$

M8436:Ge, $I_p=10\text{mA}$

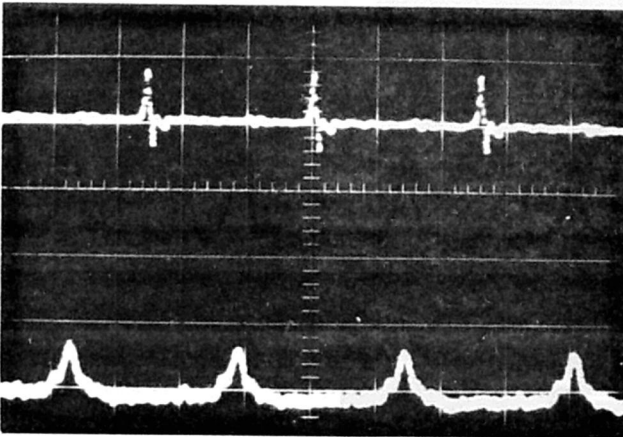
入力信号は振幅調整回路でフルスケールを変換範囲に設定してA/D変換回路に加える。変換範囲は3Vで基本パルスの周波数は前述のように並列の場合100MHz、直列の場合40MHzである。D/A変換のホールド回路出力は必要により振幅調整回路で入力信号と同じフルスケールに再調整する。入力信号のホールド回路は使用しないので、アナログ信号としてテレビ信号を想定した場合図3.15より $T \approx 5\text{ns}$ とすると3ビットしかとれないことになり、実験も主として3ビットで行った。図3.21はきょ歯状波入力に対するデジタル出力の例とD/A変換回路によって振幅の大きさに変換されたパルスおよびアナログ出力の写真である。図3.22は5MHz相当の半波のアナログ信号入力と出力である。入力信号振幅は3.5Vで出力も振幅調整回路を通った後で3.5Vに合わせてある。出力のジッタは変換回路の1レベルのずれを示している。したがってジッタ幅は1サンプリング時間25nsである。原因として考えられるものは前節に述べた入力ホールド回路を使用しないために生ずるものと電源の安定性がわるいことや回路の雑音などによるものがある。前者については前小節にも述べたようにホールド回路を使用するのが望ましく、後者については回路の構成に注意をはらえば除くことができると思う。図3.23は4ビットデジタル出力の一例の写真である。3ビット目のパルス振幅の小さいのはこの経路に入るトンネルダイオードの特性が悪いためと考えられる。さらに1段の再生回路を通すと振幅をそろえることができる。下方に出るオーバーシュートは単安定回路の反射電圧によるもので本質的なものである。そしてこの部分がつぎの入力パルスに対する不感時間を与える部分である。図3.21, 図3.23の写真ともパルス波形を明確に見るためにサンプリングオシロスコープのプローブアンプを除去して50Ω入力端子を直接使用した。そのため基準線上にノイズが出ている。A/D変換回路は裏面アースのプリント板10枚に組まれているが、板間配線用コネクタの部分で誘導ノイズが出るのが回路内で発生するノイズの中で一番大きい。ここでは信号とアースを交互におくことにより防いでいる。最後に安定性について考えると雑音パルスによる誤動作を防ぐため、誘導をふせぐような構造にすることはもちろん必要



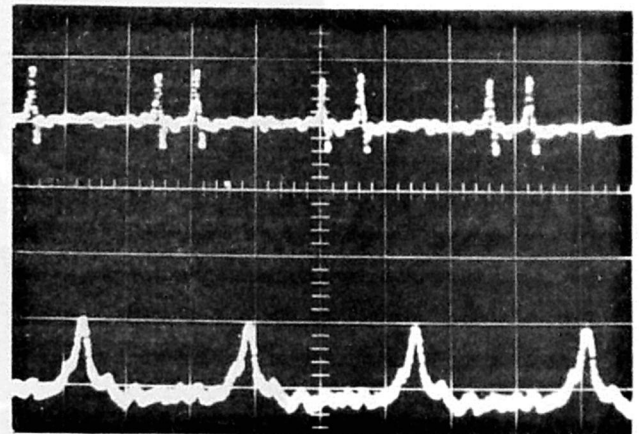
(000)



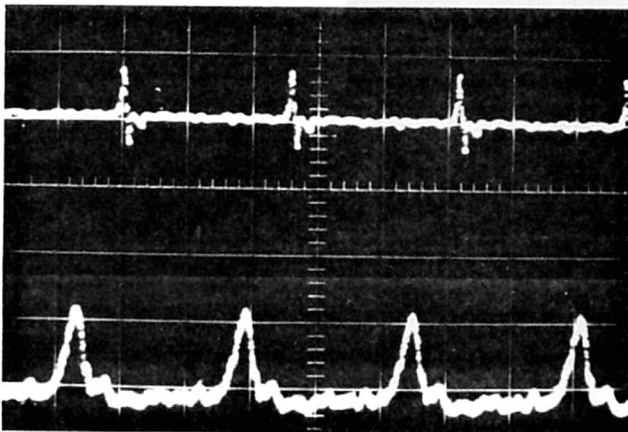
(001)



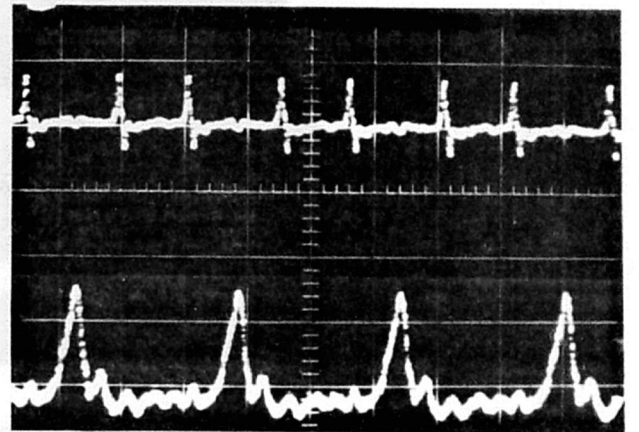
(010)



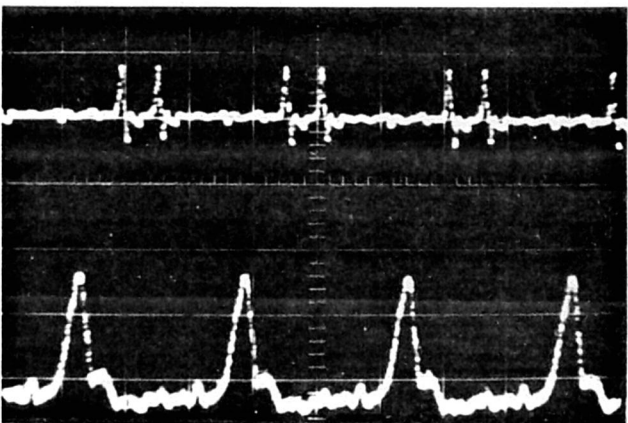
(011)



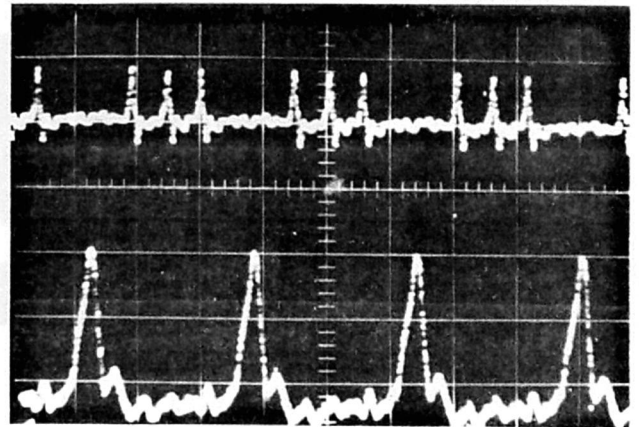
(100)



(101)

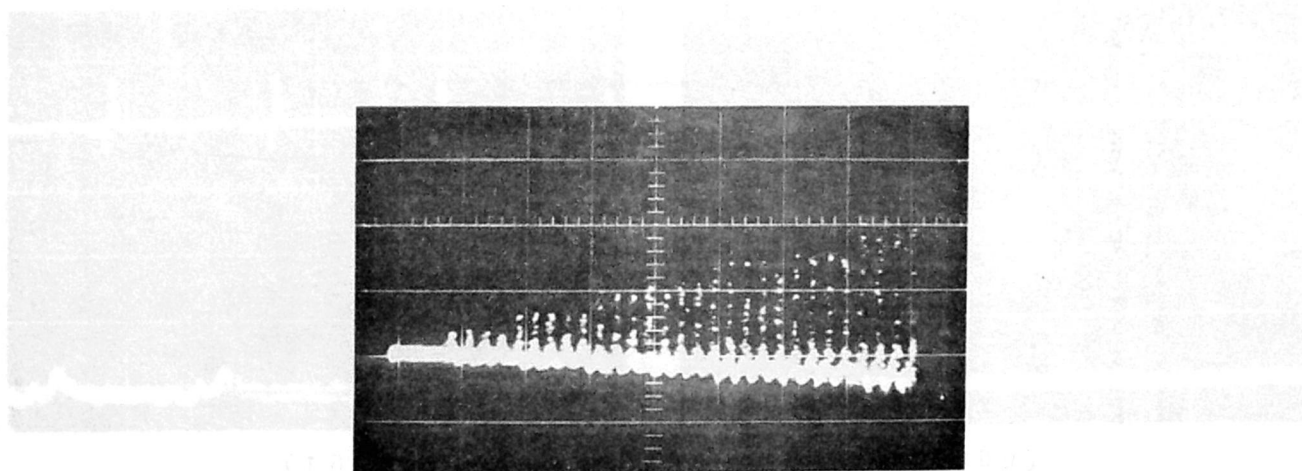


(110)

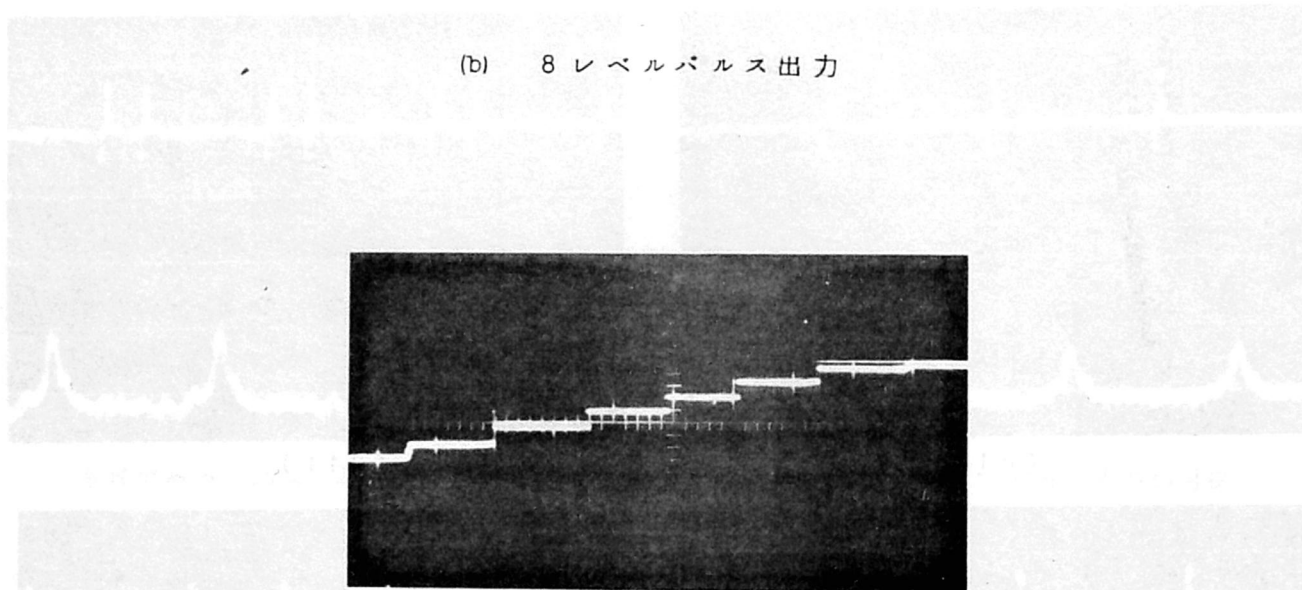


(111)

(a) デジタル出力と振幅変調パルス H, 10 ns/div

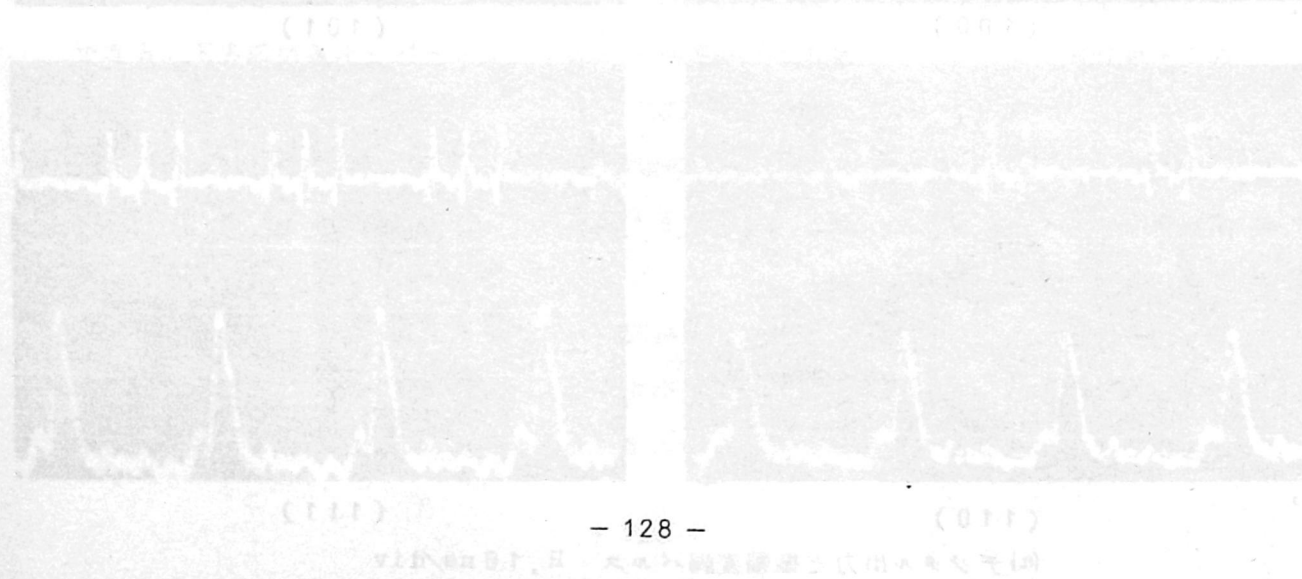


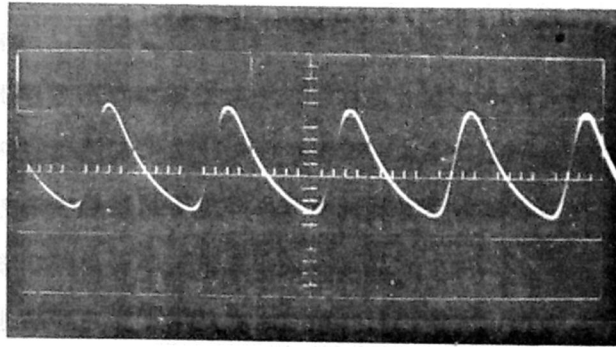
(b) 8 レベルパルス出力



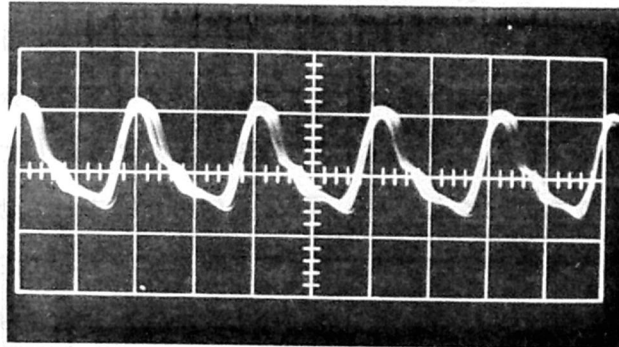
(c) 8 レベルアナログ出力

図 3.21 3 ビット実験例(1)



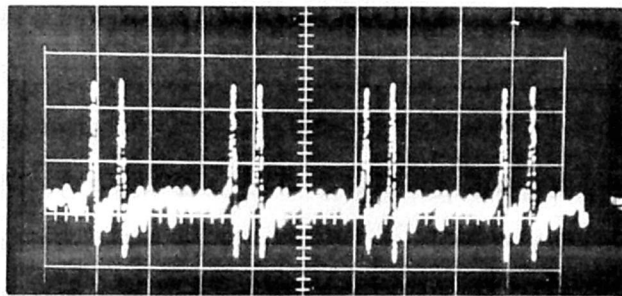


(a) 入力波形 H: 100 ns/div
V: 2 v/div

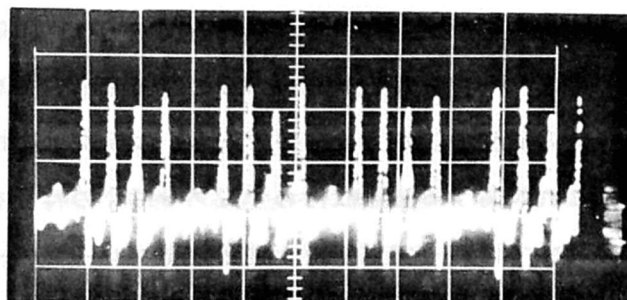


(b) 出力波形 H: 100 ns/div
V: 2 v/div

図 3.22 3 ビット実験例(2)



(1100)



(1111) H: 10 ns/div

図 3.23 4 ビット出力

であるが、安定な電圧の供給と部品のばらつきをおさえることが重要である。これは電圧比較点の安定性に影響し最小レベル差に制限を与えるから桁数が限定される。この実験に使用したトンネルダイオードは I_D が 9mA から 11mA の範囲でばらつき、特に選別は行わなかったが結果から見るとばらつき範囲を 0.5mA 以下に制限する方が良い。特に 1 組の比較回路を構成する 2 本のダイオードをそろえると調整が簡単になる。抵抗は $\pm 2\%$ のものを使用し、電源は通常の安定化電源を使用した。結局これらは高速であるための問題よりもアナログ回路の精度の問題であり、この点は本実験は十分な精度であるとは云えない。

以上でトンネルダイオード単安定回路を変形した電圧比較回路とこの回路を使用した AD 変換回路の一例を述べた。電圧比較回路は高速のパルス特性を損うことなく、アナログ信号と比較電圧の差電圧により動作点を定め、トリガパルスで動作条件を満足しているか否かをしらべる。パルスの伝送経路は一方向にのみ伝わるようにしてフィードバックはないようにした。このような方針による AD、DA 変換回路を構成して動作を確認したが、問題点としてつぎのような事柄が考えられる。(1) ビット数が増加するに従い比較回路の数が増大するのでビット数は制限をうける。そこで逐次比較の考え方をさらにすすめて、時分割で全範囲を処理するように改変することが必要となる。この時変換時間をできるだけ小さくする方法を考えなければならない。(2) 多数の電圧比較回路を使用する場合のばらつきの制御方法。(3) 温度や経年変化に対する安定性の問題。(4) 変換速度に見合ったアナログ回路。

ここに述べた AD 変換回路はこの様な問題点をもち、アナログ信号の処理やパルスの経路に工夫すべき点が多いが、電圧比較回路の考え方は高速パルスを取り扱う点で今後種々の応用が考えられる。

3.3 磁気薄膜試験装置への応用

3.3.1 試験装置の構成

本節では前節に述べたトンネルダイオード電圧比較回路の別の応用例として、磁気薄膜プレーン試験装置について述べる。磁気薄膜記憶装置は計算機用の高速主記憶装置として開発がすすめられて居り、⁽⁶⁷⁾ 我国でも小規模な装置の実用⁽⁶⁸⁾が行われている。この記憶装置の中心をなす薄膜プレーンはガラス基板上にパーマロイ等の強磁性材料を蒸着したものであるが、このプレーンの良否をしらべることが記憶装置をつくる上にもまた良好なプレーンの製造技術の確立の上からも必要である。本論文は磁性薄膜プレーン自体には直接関係がないのでこれに関する議論は行わず、プレーンの特性を調べる試験装置についてのみ考察する。参考までにここで取り扱う磁気薄膜プレーンの一例は、ガラス下地両面パーマロイ 900 Å 厚の蒸着で、64 語 × 38 ビット (2432 ビット) を記憶する。

このような磁気薄膜プレーンの良否は記憶動作の確実さと記憶内容を読み出した時の出

力電圧の大小で判別する。前者は隣接記憶場所からの擾乱の影響を示すもので、今考えている記憶場所の周囲 8 ケ所に最悪パターンを書きこみまたは読み出して、その前後における記憶内容の変化の有無をしらべるものである。後者は膜面のたわみや欠陥、膜厚の不均一、容易軸のまがり、磁界のかたより等により出力電圧がばらつくのをしらべる。実用上からは出力電圧が一定の値以上あれば良品とし、以下ならば不良とする go-no-go テストで良いわけであるが、製造上のデータとして膜面上の出力電圧の大きさの分布や不良場所の不良の程度を知る必要性から、出力電圧を 10 レベル（正出力 5 レベル，負出力 5 レベル）に分割して、どのレベルの出力が出たかを記録する方法を採用している。この試験はプレーン上の全ての記憶場所について行わねばならない。

従来この試験は図 3.24 に示す試験装置を使用して各記憶場所を順次 1 点ずつ行っていた。

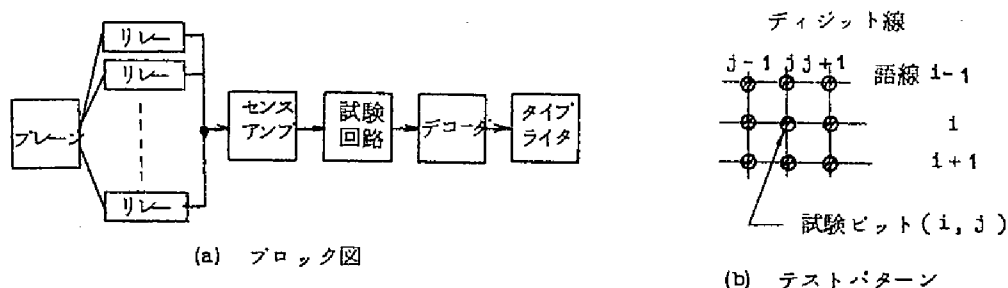


図 3.24 1 点測定形の試験装置

すなわちディジット線を固定にして語線側を順に走査し、次ぎにディジット線側を 1 つ進めて再び語線側を走査する方式により全面をしらべる。各被試験点についてみるとまず“1”信号とその周囲に最悪パターンを書きこみ、次いで 10^4 回の擾乱を上下の隣接語線に加えてから、記憶内容を読み出しセンス増幅器の出力を波高分析回路に加える。波高分析回路は各レベルに対応するしきい値をもつトランジスタシュミット回路を 10 個並列に使用し、入力は共通に加えるので各シュミット回路の出力をデコードして最終のレベル信号を取り出す。分析結果はタイプライタで直ちに印字される。次いで“0”信号を書きこみ同様の分析を行う。1 点の試験に要する時間は 100ms でこれは実時間で動作しているタイプライタの動作速度で定まっている。1 回のメモリ書きこみ読み出しサイクルが 2μs であるから 10^4 回の書きこみ読み出しを 2 回行ってもタイプライタの方がおそいからである。

しかるにこの様に 1 点毎に試験する方法では被試験プレーンの数量が増加したとき処理できなくなり、また薄膜プレーンの寸法や性能も改良されて大形高速化してきたので、これまでの方式では生産工程で使用する試験装置としては能力不足になる。このためディジット並列に出力を処理することにより試験速度を上げることが考えられる。このとき従来

の回路を単純に並列使用するだけでは能率が悪いので、電子回路の速度と最後の印字機構の速度差を利用して1組のAD変換回路を多重に使用する方法を考えた。以下に与えられた条件と採用した機構について述べる。メモリは1μsで読み書きする。擾乱は前と同じく 10^4 回を2回加えるものとする。ブレーンとは64語×38ビットの構成とし、ビット出力は並列にとり出して信号レベルをホールドする。そのためにセンス増幅器、ホールド回路、アナログゲートを各出力回路につける。信号は±5レベルに分析し、1レベルは0.6Vとする。したがってセンス増幅器出力の最大振幅は±3V、半値幅は50nsにとる。プリンタは40桁のラインプリンタを使用するが印字速度は10行/sec程度であるから、その速度差はまだ非常に大きい。この差は擾乱回数を増すことに利用する。

図3.25にブロック図を示す、センス増幅器出力はPhase splitterで正負にわけられ、負の場合のみ反転されて電圧極性を合わせた上ホールド回路に加えられる。

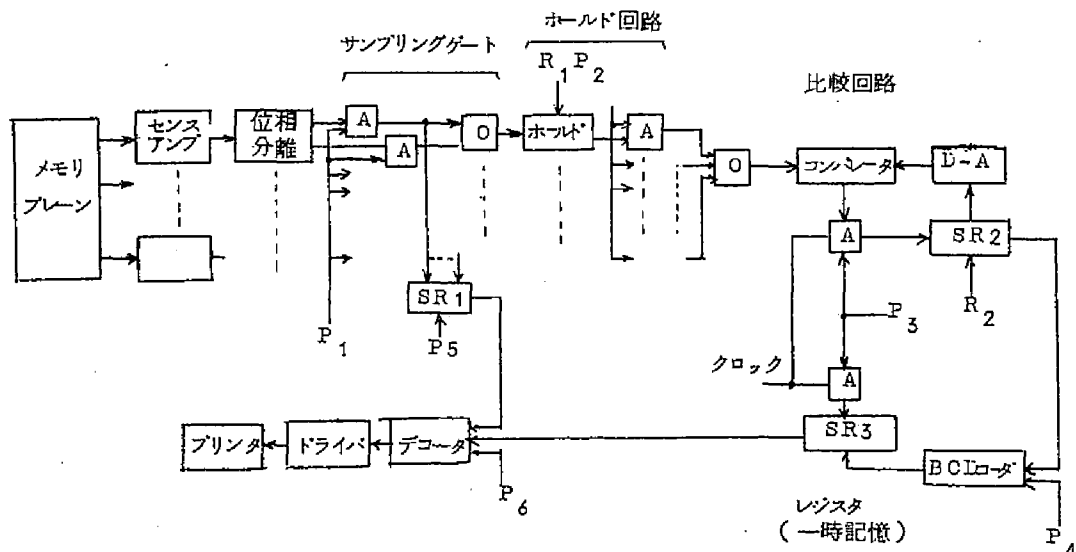


図3.25 ビット並列形試験装置ブロック図

P_1 パルスで開閉されるゲートはサンプリングゲートである。信号の正負の情報は別にサンプリングゲート出力から取り出され38ビットからなる符号レジスタSR1に記憶される。ホールドされた信号は P_2 パルスで順次位相をずらして読み出され電圧比較回路に入る。センス増幅器から読み出しゲートまでの部分は各ビット出力に対して準備され並列動作をするが、電圧比較回路以降は1回路のみで38個のビット出力を多重に処理する。電圧比較回路は信号と局部復号回路(DAコンバータ)の出力を比較する。局部復号回路はシフトレジスタSR2内に順次“1”を入れてゆきその出力をデコードしてアナログ信号に変換し、カウンタのすすみに従って階段状の電圧を発生する。したがってこの階段電圧波が信号電圧をこえた時比較回路が出力を出してシフトパルスを出して止めるとレジスタ

も停止するので、シフトレジスタの中にその時の入力信号に対応するコードが残る。これを3ビットのBCDコードに変換して一時記憶のレジスタSR3に入れる。このようにして全ビット出力を分析して一時記憶レジスタに入れ終ると次にこのレジスタと符号レジスタを同時に読み出して4ビットの信号にしてプリンタに送りプリントする。試験速度は擾乱を加える時間で定まるが、正味の電圧変換は高速で40ビットを処理する全時間が最大8 μ s程度であるから、印字に比べれば無視出来るくらい小さい。図3.26にタイミングの概略図を示す。回路動作はP₁からP₆までのタイミングパルスによって制御される。

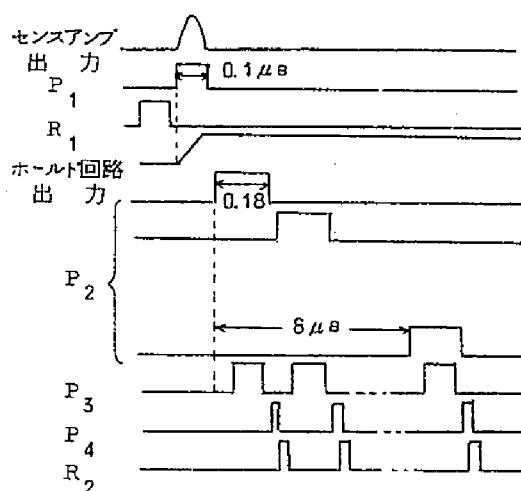
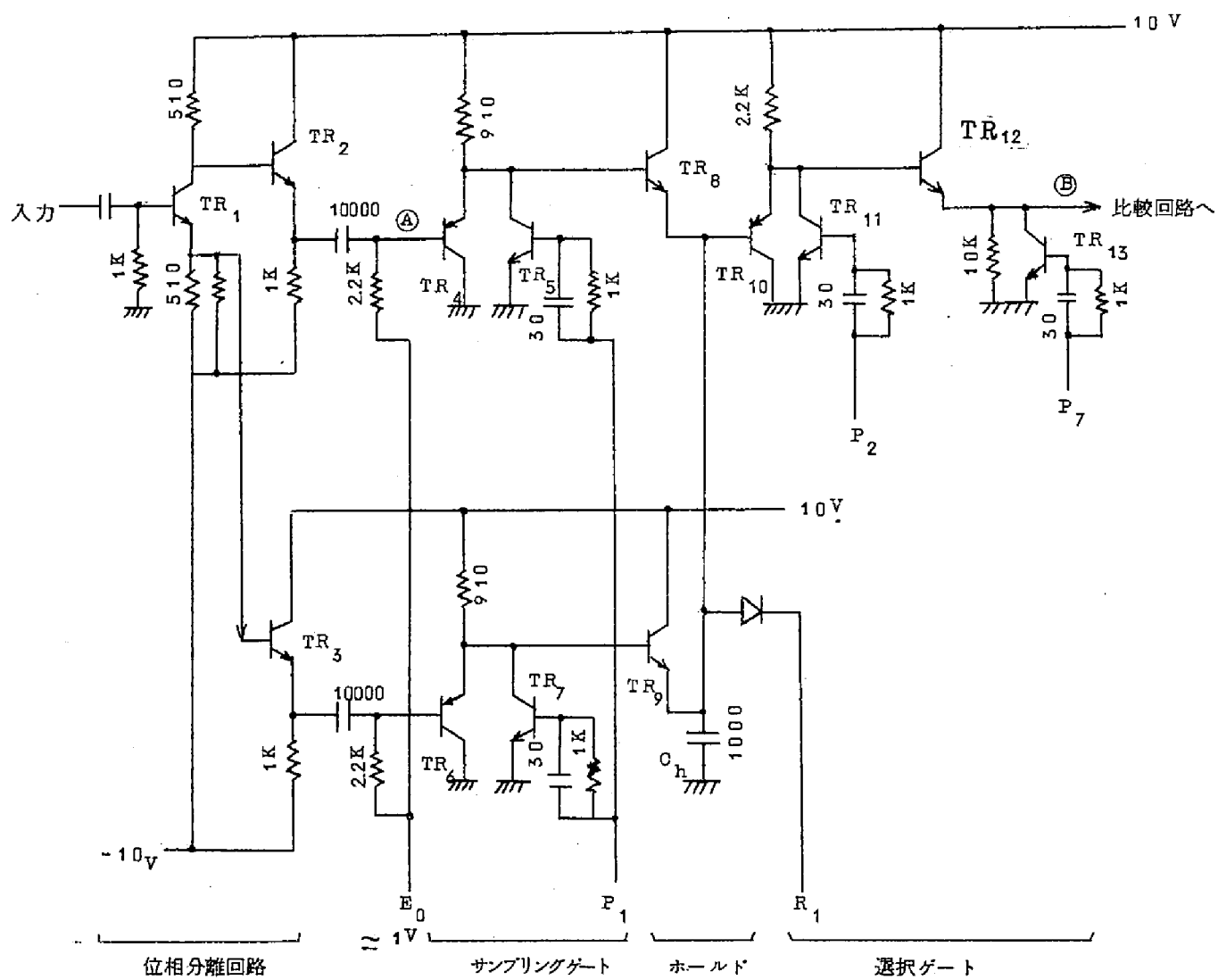


図3.26 タイミング図(入力端子→SR3まで)

3.3.2 各部の回路

以下にこの試験装置の中心部をなすサンプリング回路から電圧比較回路までの各部について回路動作を示す。図3.27にサンプリングゲート、ホールド回路、選択切換ゲートを示す。初段の3個のトランジスタTR₁~TR₃によって逆極性の入力アナログ信号から、同極性のアナログ信号をつくる。これをサンプリングゲートに加えてサンプルする。ゲートはPNPトランジスタエミッタホロワ(TR₄, TR₆)とNPNトランジスタインバータ(TR₅, TR₇)を1組にして構成されている。このゲートの動作は次のホールド出力の選択ゲート回路と同じであるからそこで詳しく述べる。ホールド回路はダイオードを通してコンデンサを充電するピーク値ホールド回路方式をとっているが、ダイオードのかわりにNPNエミッタホロワTR₈, TR₉を使用することにより入力インピーダンスをたかくとすることができ、またトランジスタの特性のばらつきによるホールド電圧のばらつきを小さくすることができる。ホールドコンデンサC_hの値はコンデンサから見たインピーダンス、エミッタホロワの最大電流値、入力の振幅やパルス幅、くり返し周期、後に述べるトランジスタの浮遊容量によるノイズを小さくすることなどの理由で1000PFを使用した。



T_r 2SC395 NPN
 2SC500 PNP
 Diode 1S325
 $R \rightarrow \Omega$
 $C \rightarrow PF$

図 3. 27 サンプルングゲート，ホールド，選択ゲート回路図

ホールド信号のとり出し回路はPNPエミッタホロワ TR_{10} で出力を取り出す形になっている。このエミッタホロワに並列に入るNPNインバータ TR_{11} は常時導通にしておきホールドコンデンサが充電された時はPNPエミッタホロワ TR_{10} は逆バイアスされて不導通となり、ホールド回路の出力側インピーダンスが大になってホールド特性が良くなる。NPNインバータ TR_{11} は選択切替ゲートとして動作し、負の入力パルスで不導通になると TR_{10} は本来のエミッタホロワとして動作しはじめ、コンデンサに蓄えられていた電荷(電圧に比例する)に比例したパルス振幅を次段のNPNエミッタホロワ TR_{12} へ伝える。 TR_{11} を導通から不導通にスイッチした時 TR_{10} のベースエミッタ間容量 C_{be} によってホールド電圧にパルス性ノイズがのる。ノイズの大きさは入力パルス振幅に比例すると共に C_{be}/C_h+C_{be} の値で決まる。 C_{be} はトランジスタによって定まり数PF程度の値であるから、この効果を小にするためには C_h を C_{be} に比して十分大にする必要がある。これより C_h を1000PFとした。各ホールド回路の出力をゲートで切り換えて TR_{12} のエミッタホロワの出力で加え合わせる。図3.27では省略して記してないがエミッタ抵抗を共通にしたエミッタホロワのOR形で加え合わせるが、ビット数が多いため抵抗より不動作エミッタホロワ側を見たときの負荷容量が大きく200PF程度になる。またエミッタホロワの入力インピーダンスを大にするためにはエミッタ抵抗を大にとらなければならないが、くり返し時間内でこの容量を放電する必要から時定数はかなり小にしなければならない。以上の理由で放電用トランジスタ TR_{13} をエミッタ抵抗に並列に入れて放電回路を別につくりこれらの要求をみたしている。全体としてかなり複雑な回路であるが入力信号に正確に応答する速度をもつこととホールド特性をよくして長時間のホールドが可能になるように工夫をした。また直流レベルの基準を常に定電圧 E_0 で決めて飽和トランジスタのコレクタ電位のばらつきに無関係にしている。図3.28にホールド回路の直線性と電源変動特性

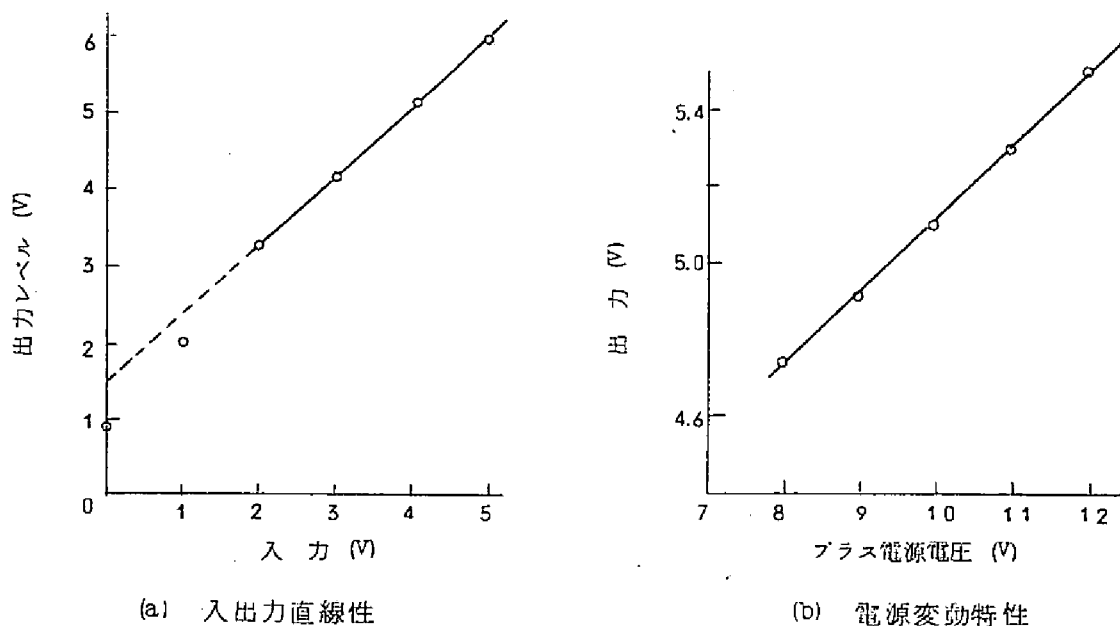


図 3.28 ホールドゲート回路の特性

動に対する特性を示す。測定部分は図 3.27 の④点から⑤点の間すなわちサンプリングゲートからホールド回路出力までを含んでいる。入出力の直線性はかなり良く、電源変動特性も（出力変化／電源変化）比が $0.2\text{V}/1\text{V}$ と小さくおさえられている。ホールド特性は $15\text{mV}/10\mu\text{s}$ であるから 1 レベル 600mV に比べれば $10\mu\text{s}$ のホールドは問題ない。

次に図 3.29 に電圧比較回路関係の回路図を示す。電圧比較はトンネルダイオードを使用し、入力信号と比較電圧を加えたものがスレッシュホールドを越えるか否かで判別する。

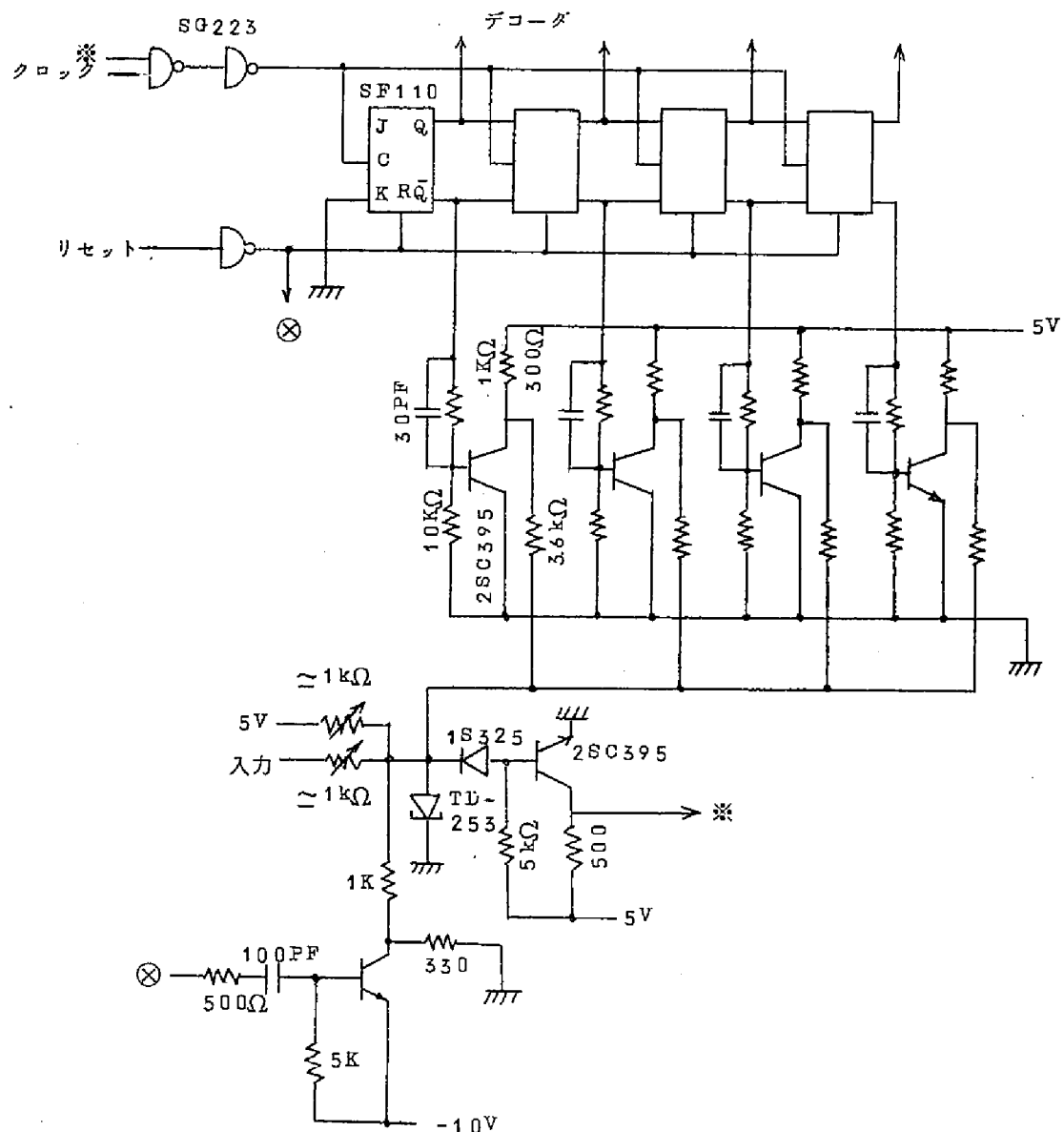


図 3.29 電圧比較回路図

比較電圧はシフトレジスタ“1”の数デコードしてDA変換してつくる。シフトレジスタのクロック周波数は50MHzとし20ns幅の階段波形を得ている。階段の1レベルは0.6Vである。スレッシュホールドはトンネルダイオードの I_p を使用しているので確定しているが、トンネルダイオードに流入する信号および比較電流は+5V電源に依存するので、この電源を安定化する必要がある。図3.30は電圧比較回路の直線性を示す図である。

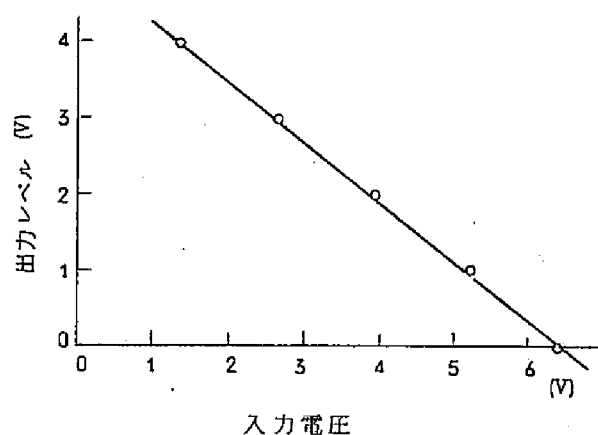
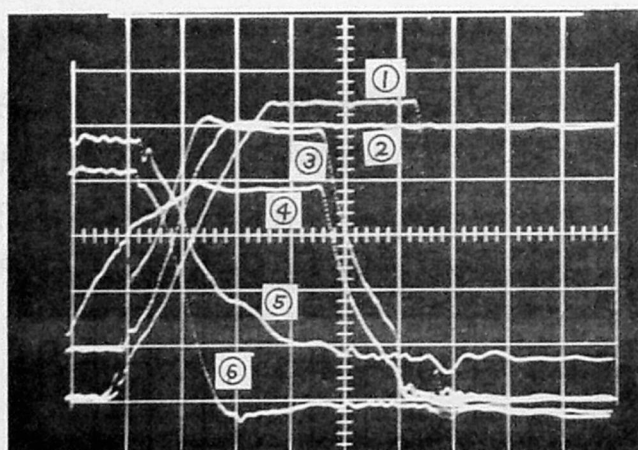


図 3.30 電圧比較回路直線性

出力電圧は1V単位でレベル化されている。図3.31(a)は入力、ストローブされた出力、保持開始点の出力、保持開始より130ns後の保持出力、ビットゲートされた出力、OR回路出力の各波形を示す。また同図(b)は電圧比較回路の動作を示すもので、アナログ入力、比較電流、トンネルダイオード出力を示している。これらの実験結果より前に述べた試験装置のサンプルホールドおよび電圧比較部として十分使用できることがわかる。

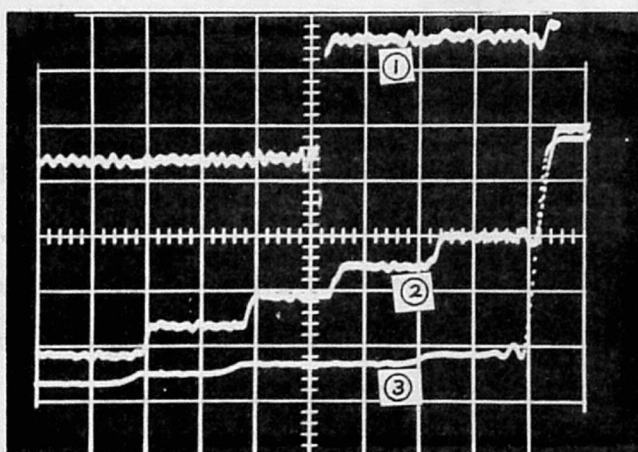


- ① ビットゲートされた出力
- ② 保持出力 (保持開始点)
- ③ ストローブされた出力
- ④ 入力
- ⑤ 保持出力 (130 μ s 後)
- ⑥ OR出力

H: 20 μ s/div

V: 1V/div

(a) サンプルホールド回路
(相互の位相関係は不同)



- ① 入力 (1V/div)
- ② 比較電流 (2mA/div)
- ③ T.D出力

H: 20 μ s/div

(b) 電圧比較回路

図 3.31 各部の波形

第 4 章 10 進計数回路とその応用

4.1 高速 10 進計数回路

本章ではまず 10 進計数回路の実験について述べ、次いでこれを使用したレーザ測距回路を示す。10 進計数の方式としては各種のものが考えられるが、分類してみると図 4.1.

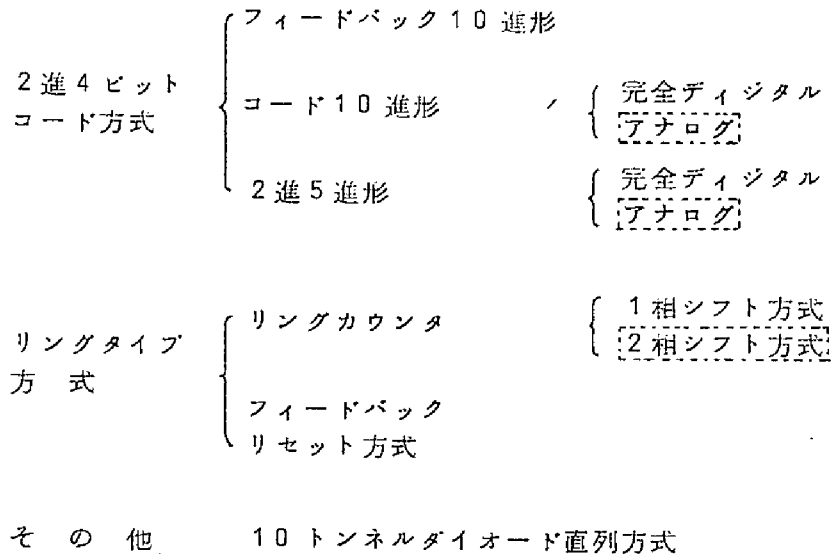


図 4.1 高速計数方式

のようになる。この中で点線で囲ってあるものはトンネルダイオードを想定したものでトランジスタではないのが普通である。個々の説明は省略するが、ここで検討するものはフィードバックリセット形と2進5進形である。この様な方式を選定した理由を簡単に述べる。

素子の動作が速ければ計数上限が上昇するのは当然である。従って素子自身を別にして方式のみを考えれば同じ素子を使用して計数能力のたかいものが良い。そのためには1) 素子の一番はやい動作を利用できる方式、2) 各素子の動作速度のバランスがとれている方式が望ましい。上の観点から各方法をみると、フィードバック10進形は4ビット計数回路にフィードバックをかけて10進にする通常使用されている方式である。最小桁(LSD)の2進カウンタが最も速く動作することが要求され、他のビットの回路に比べて速度のバランスがとれていない。動作の上限はフィードバック信号の遅れによって定まる。更に素子のオン動作とオフ動作は速さが異なるものであるから、 $0 \rightarrow 1$ と $1 \rightarrow 0$ の動作時間には差を生ずる。2進カウンタはこの両動作を含むのでこの方式では1)、2)の条件とも満たさない。コード10進形は4ビットで構成される16個の状態より10個の状態を

選び出して組合わせて使用する。コードの並ぶ順序は必ずしも小さな数から大きな数に並んでいるわけではなく、各ビットを構成する2進カウンタの動作が少くとも計数パルス周波数の $1/2$ になる様に考慮して配列されている。一例としては表4.1の順序をとれば

表 4.1 コード組合せの例

計 数 順 序	内 部 状 態	
	10 進の場合の例	5 進の場合の例
0	0 0 0 0	0 0 0
1	0 0 0 1	0 0 1
2	0 0 1 1	0 1 1
3	0 0 1 0	1 1 1
4	0 1 0 0	1 1 0
5	1 1 0 1	
6	1 0 0 1	
7	1 0 1 1	
8	1 0 1 0	
9	1 0 0 0	

この他にも組合せ方は存在する。ここでは1例のみ示す。

各ビットの動作は同一状態を連続して2計数間とるから 動作は $1/2$ のはやさですむ。従って各ビットの動作速度の不揃いの程度は小になり2つの条件を満足する方向にある。しかし正しい出力を得るにはデコーダにより変換することが必要である。

2進5進形は4ビットを1ビットと3ビットに分割して使用する。5進部については上の場合と全く同じ考えによるもので表4.1のように動作速度が $1/2$ になるような組合せを使用すれば良い。ただし最初の1ビットが高速動作して計数パルスを分周する役目を果たすので5進部は2)の条件を満足しても全体としては満足せず、一般的には良い方法とは

いえないが、少量の高速素子をより低速素子に組合せるような特別の状態では有効である。この点でトンネルダイオードの高速ビットとトランジスタの低速部分の組合せには2進5進形が適している。

リングカウンタはリングを構成する各段のフリップフロップのセットおよびリセット動作が計数パルスの1周期以内に終ることが原則として必要であるから1)の条件は満たし難い。またその基本動作からみて個々のフリップフロップの動作する時間と休止時間の差が大きいので2)の条件も満たさない。フィードバックリセット形は各段のフリップフロップの速い動作(たとへばオン動作)を利用して順次将棋倒しに動作させ遅い動作(オフ動作)は計数パルスの1周期以上の時間をかけても良いとする。遅い動作はフリップフロップを定常状態にリセットする動作になり、リセットの信号は後の適当な段の出力を利用してフィードバックする。従って1)の条件を満足すると共にリセット信号のとり方によって2)の条件も満足させることが出来るので良い方法である。

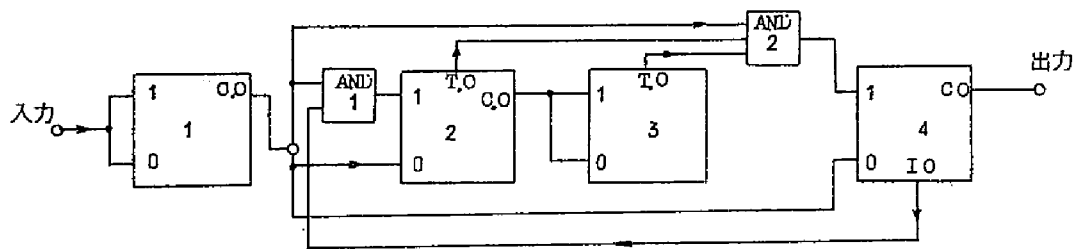
その他に10個のトンネルダイオードを使用する方法は回路素子固有の性質を利用するもので一般的ではないところに問題がある。動作については後の例で説明する。

以上のような考察より全トンネルダイオードの10進計数回路としてはフィードバックリセット方式をとりあげ、トランジスタ計数回路とトンネルダイオードの組合せとしては2進5進形の計数回路をとりあげて検討した。次に若干の回路例をあげる。

リングカウンタの例としては第2章で述べた図2.9の回路がある。⁽¹⁴⁾ この回路ではi段が動作するとトランジスタが導通して(i-1)段の直流電圧を低くしすぐ前段のリセットを行なう。計数用パルスは入力端でGaAsトンネルダイオードにより整形してパルス幅3nS 振幅1Vにしている。動作速度は100MHzである。

トンネルダイオードとベース接地トランジスタを使用し電流切換による2進5進形の計数回路が発表されている。⁽⁶⁹⁾ 図4.2にブロック図を示す。5進部は0, 1, 2, 3, 4と動作する。動作速度は100~200MHzである。

特性の揃ったn個のトンネルダイオードを直列に結線し定電流回路で駆動すると(n+1)個の安定動作点が得られる。⁽⁷⁰⁾ この原理に従った計数回路がいくつか考案されている。図4.3は一番原理的な構成をしているもので、⁽⁷¹⁾ 10個のトンネルダイオードを直列に結線したものである。リセットは10個目がスイッチしたことによりトランジスタを導通させ直流バイアス電圧を落すことによって行なう。計数パルス周期14nS(約71MHz)で動作する。



(a) ブロック構成

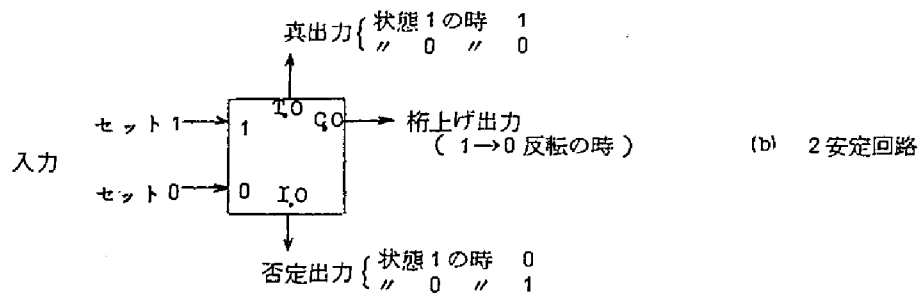


図 4.2 2進5進形10進計数回路ブロック図

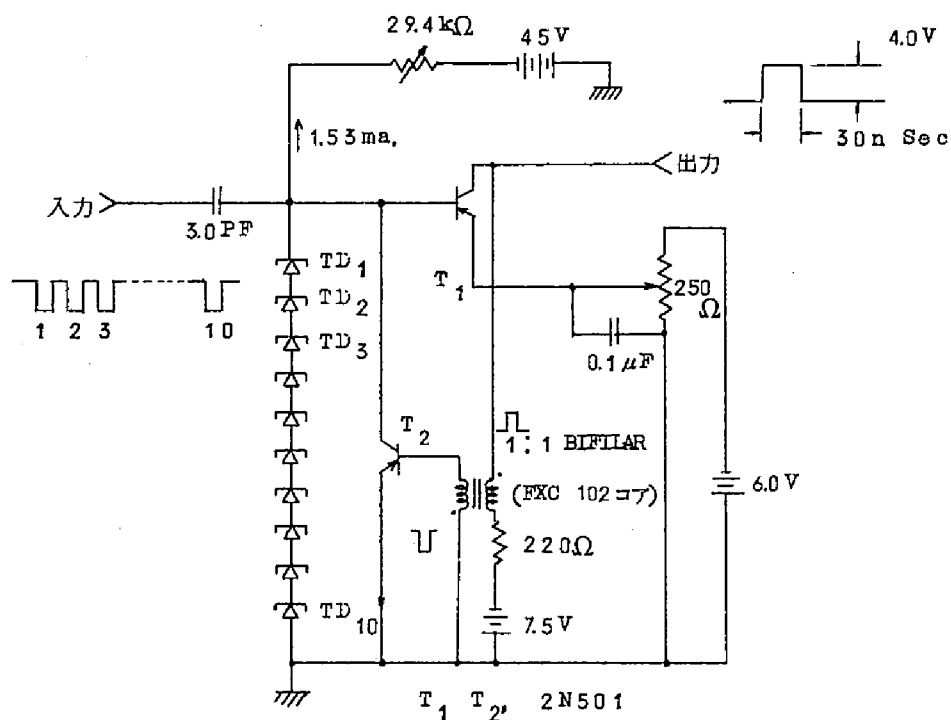


図 4.3 10トンネルダイオード直列方式10進計数回路

しかし 10 個の特性の限定されたダイオードを使用することはむずかしいので若干の工夫をすることにより 10 個のダイオードを使用しなくても 10 進計数を行なうようにすることが可能である。一例は 4 個のダイオードを使用するもので⁽⁷²⁾ 図 4.4 のように

$$\begin{aligned} I_{p4} &> I_{p3} > I_{p2} > I_{p1} \\ I_{v1} &> I_{v4} > I_{v2} > I_{v3} \\ V_{f4} &\simeq V_{f3} \simeq 2 V_{f2} \simeq 4 V_{f1} \end{aligned}$$

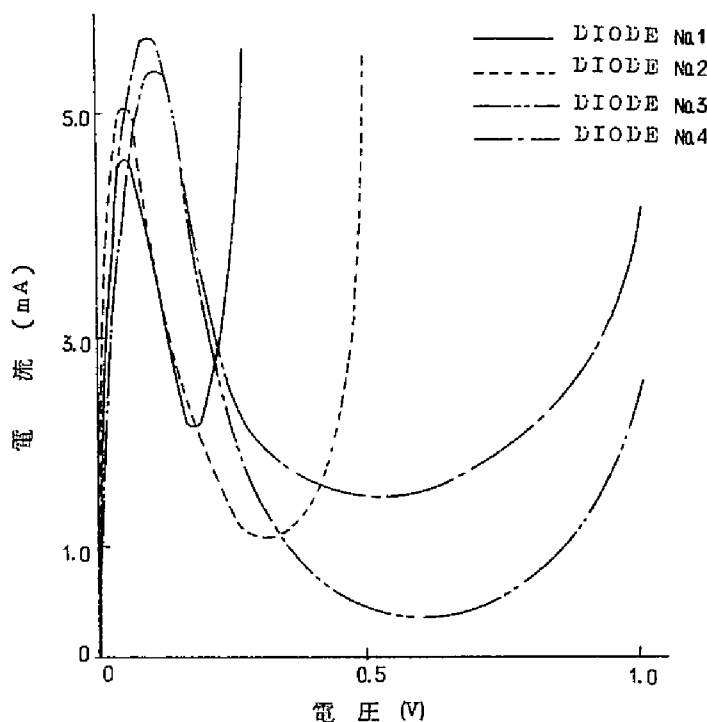


図 4.4 4 個のトンネルダイオード電圧電流特性

なる関係をもつようなダイオードを選ぶことにより，図 4.5 の回路構成で 10 進計数回路が出来る。出力は計数に対応して階段状に上昇する。この例では入力パルス振幅は 300mV また 1 個の計数による出力レベルの差も 300mV である。入力パルス幅は 200nS が必要とされている。動作周波数はあまり上らないようである。

図 4.6 は 5 個のトンネルダイオードを直列に結線し順次スイッチさせる 5 進計数部とインダクタンス負荷 2 安定回路よりなる 5 進 2 進形の計数回路の例である。⁽⁷³⁾ 5 進部のリセットはトランジスタによっておこなうので計数速度はあがらない。

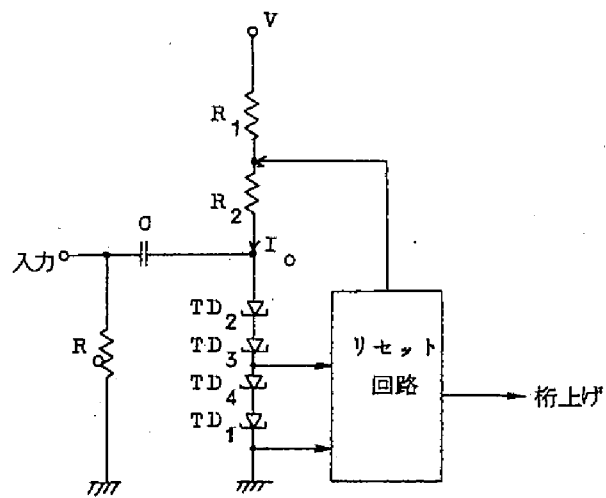


図 4.5 4 個のトンネルダイオードによる 10 進カウンタ

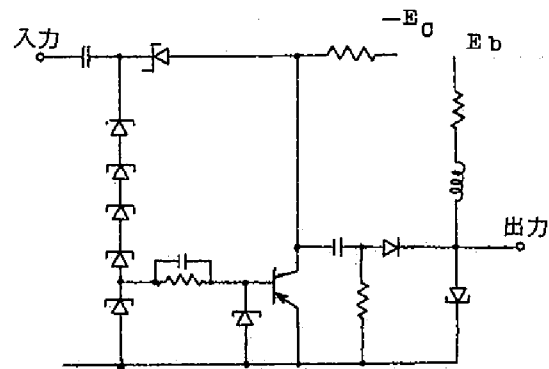


図 4.6 5 個のトンネルダイオード
による 2 進 5 進形計数回路

4.2 フィードバックリセット形10進計数回路⁽⁷⁴⁾

4.2.1 回路構成

フィードバック形の計数回路は動作の基本はリングカウンタであるから、特にむずかしいところはないが、リセット信号を何段後からとるかによって各段の必要な動作速度が若干異ってくる。図4.7に部分図を示すようにリセット信号をN段後の出力からとると、N

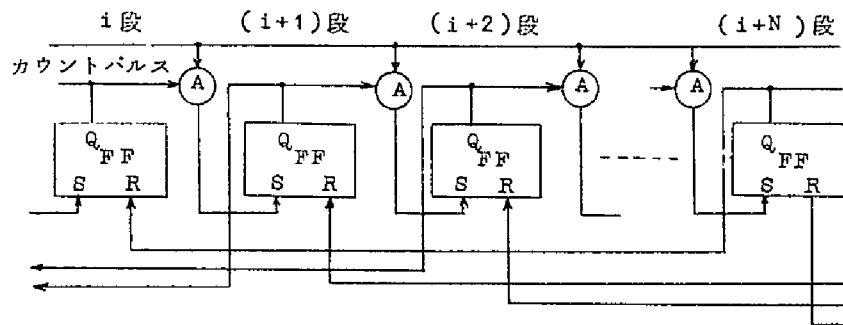


図 4.7 フィードバックリセット形の部分回路

段が同時にセットされた状態になってリングをまわることになる。今計数パルスの周期を T とすると各段のセット時間 t_s は

$$t_s < T$$

である。これはリセット信号に関係ないので、素子の一番速い動作を利用する。リングが M 段 ($M > N$) で構成されるとリセット時間 t_R は

$$t_R < (M - N - 1) T$$

であれば良い。Nを小さくすれば t_R は t_s に比べて大にできるから動作のおそい変化を使用できる。実際の回路構成を考えたときに各段からリセット信号をとると回路が複雑になるので数段をまとめてリセットするグループリセット方式をとるのが良い。図4.8は試作した10進計数回路の構成図を示す。リセット信号は5段をまとめて供給する。従って5段が1組になり将棋倒し式に動作する。

図4.9に各部の回路図を示す。計数パルスドライバは波形整形用のトンネルダイオード単安定回路とエミッタホロワ2段から構成され、2系統並列の計数パルスをつくり5段の2安定回路群2組に供給する。2系統に分割したのは1つはドライバのファンアウトによるが他の理由はリセット信号が出た時この信号(負パルスとなる)がリセットされる回

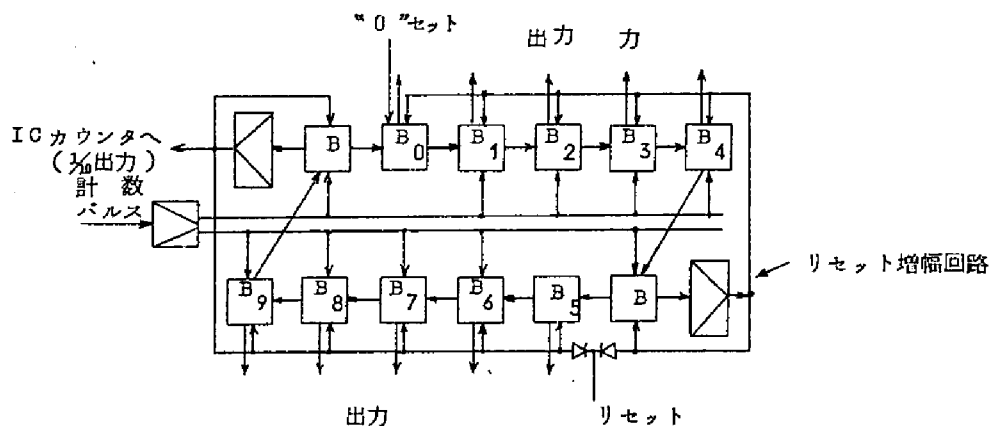
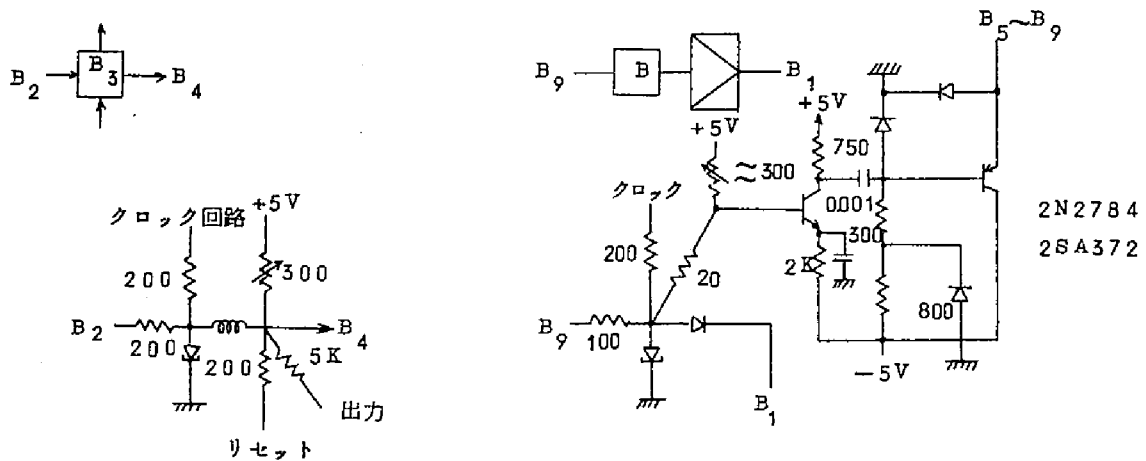
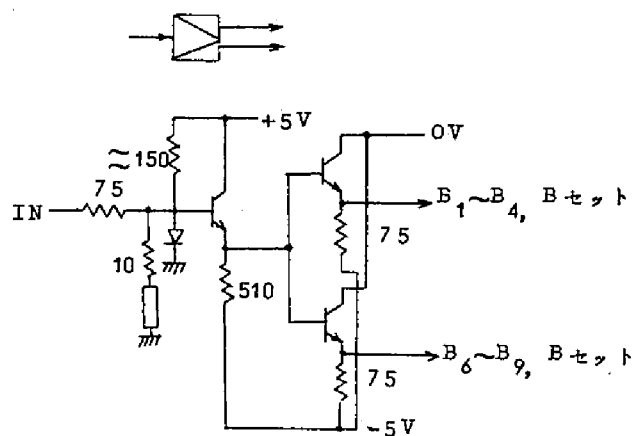


図 4.8 10 進計数回路ブロック図



(a) 2 安定回路

(b) リセット回路



(c) クロック回路

図 4.9 各部回路図

路を通して計数パルス供給線にのり、位相関係が合うと計数パルスを消す恐れがあるのを防ぐためである。2系統に分割するとリセットを加えたグループは負パルスの影響をうけても動作しないので動作中のグループに影響を与えて誤りを生ずることがない。2安定回路は抵抗負荷のトンネルダイオード回路である。インダクタンスは次の段へ若干の遅延をもつて信号を伝えるためのものである。問題は入出力数で、入力としては計数パルス入力、前段よりの入力、リセット入力があり、出力は次段への出力、デコードへ行く出力がある。 $B_1 \sim B_4$, $B_6 \sim B_9$ はこの3入力2出力であるが B_0 , B_5 は更にリセット信号用出力がつくのでダイオードからみた等価負荷抵抗が小になり動作余裕度が小になる。また他の理由としてリセットアンプのトランジスタを駆動するためにはあるパルス幅を必要とするが、これを単安定回路で作るとパルス幅が一定となり動作周波数範囲の変化などによる動作条件の変動に対して安定性がわるくなる欠点がある。このため別に1個の2安定回路Bを付け加え、入出力数を分割して分担させると共に、この2安定回路はリセットアンプを駆動し、その出力でまたリセットされるフィードバックリセット形になっているのでトランジスタの遅れに相当する幅をもつパルスを発生しリセット回路を確実に動作させる。リセットアンプはトランジスタ増幅回路1段とエミッタホロワよりなっている。エミッタホロワのエミッタ負荷はリセットされる6個の2安定回路になっている。トランジスタ出力のパルス幅が10nS程度なので最高動作速度をおさえる原因になっている。上位桁のカウンタはトランジスタ回路を考えているので桁上り信号もこの増幅出力を使用している。初期リセットは B_0 のみをセット、 $B_1 \sim B_9$ をリセット状態にする必要があるため2回の動作で行なう。

4.2.2 実験結果

この計数回路の中心はトンネルダイオード2安定回路である。この2安定回路は前段が高電圧状態にある時に入力パルスでセットされる。リセットは十分大きい負パルスが加えられるので、動作上の問題点はセット時の動作余裕度である。図4.10は実際の回路定数に近い2安定回路の入力パルス振幅とバイアス電圧を測定したものである。信号の遅延をとるために入れたインダクタンスにより、自己リセット動作領域**b**が生じその分だけ動作余裕度が減じている。しかし同じバイアス電圧でも入力パルス振幅が大きい場合にはこの領域が消える。これは入力パルスの立下りが同じであるから動作点が大きくふられる分だけリセットしにくくなるためと考えられる。cは単安定領域で負荷抵抗が小になるとこの範囲が大になる。また図4.11に示すように入力パルス幅が大になるとbの領域は消滅す

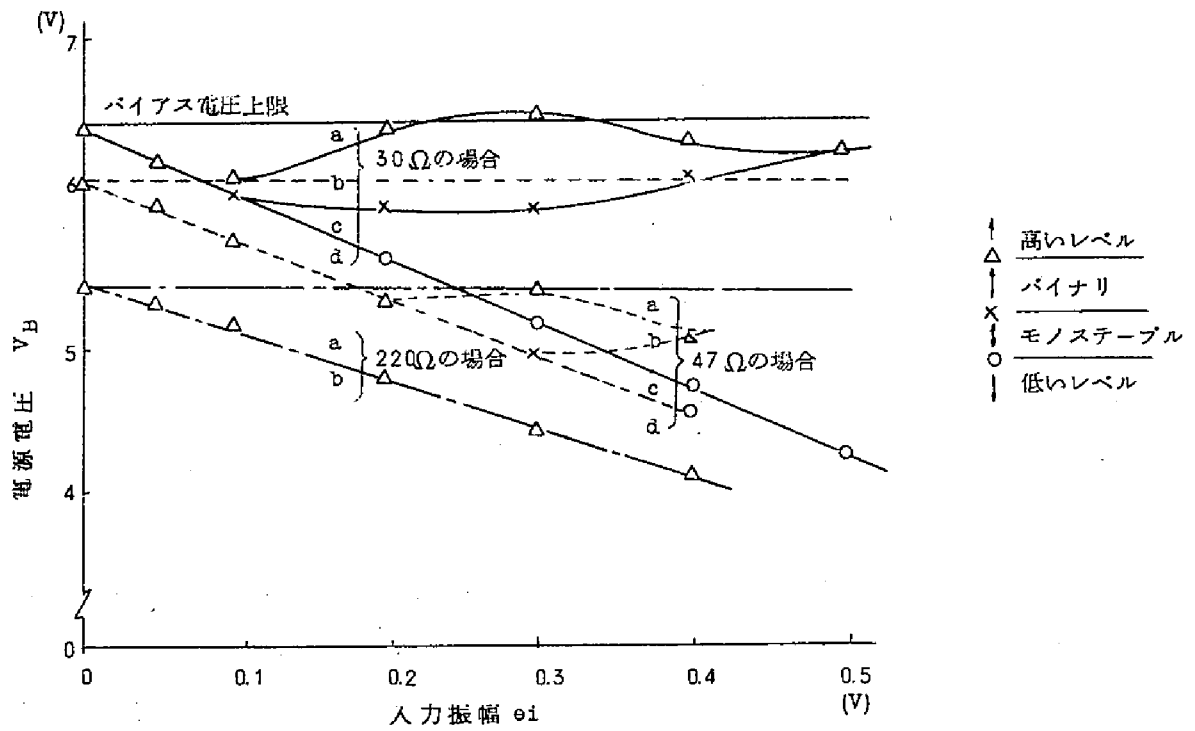


図 4.10 2 安定回路動作図
(入力パルス幅 2 nS)

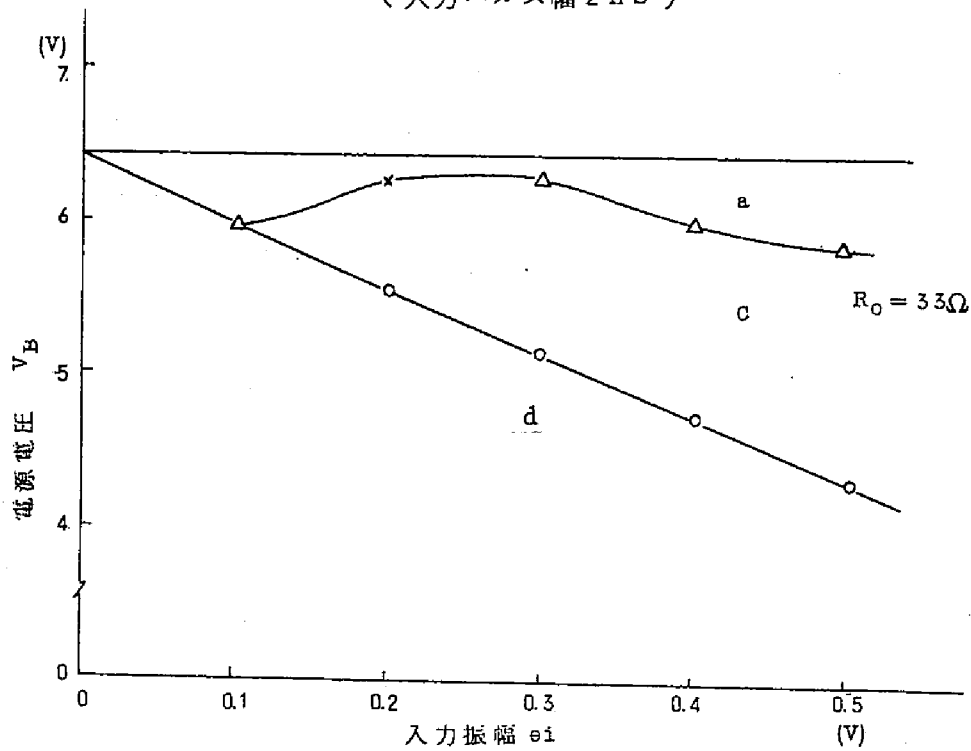


図 4.11 2 安定回路の動作
(入力パルス幅 14 nS)

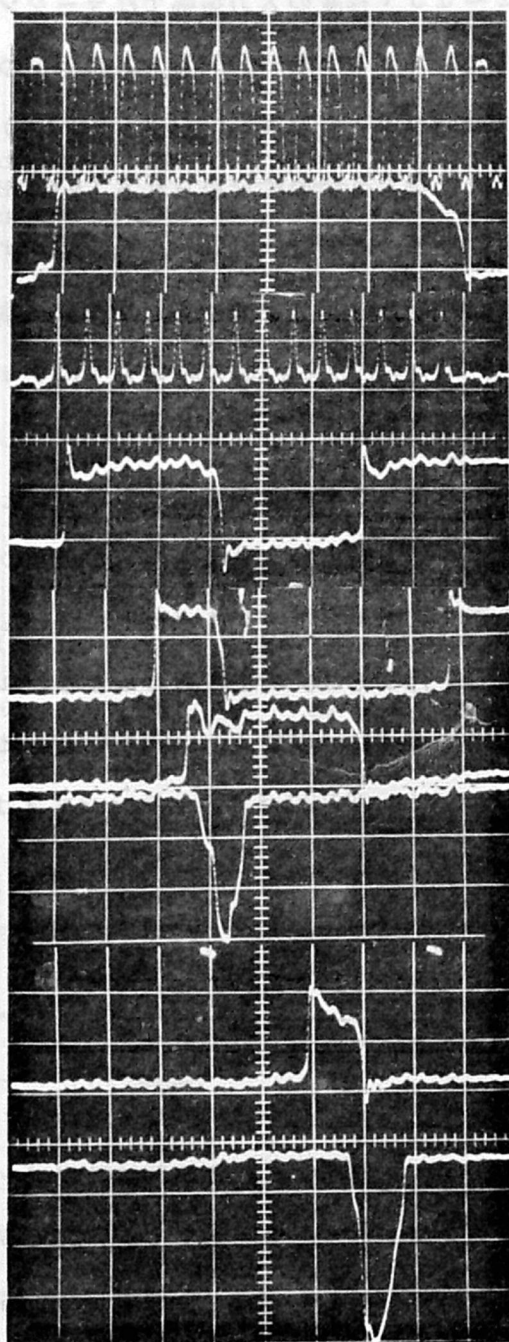
る。図 4.10 から見かけ上の動作マージンは図示のようにバイアス上限値以下の a 領域となる。負荷抵抗 R_o が 33Ω になると $0.2 \sim 0.3\text{ V}$ 程度の入力振幅ではマージンが非常に小さくなるから、 R_o は 50Ω 以上にとらなければならない。図 4.12 に各部の波形を示す。これをもとに動作を説明する。図では計数パルス周期は 6 ns (166 MHz) である。これは距離測定回路で 1 m の精度の読み取りを行なうために定められる 150 MHz よりは若干高いものである。計数パルスの立上り、立下り時間は 0.8 ns 、トンネルダイオード 2 安定回路のセット時間は 1 ns 、リセット時間は 2 ns である。0 と 5 段が一番ながくセットされ約 34 ns 、4、9 段が 1 番短く約 12 ns となる。図にみるようにリセットの時の特性は各段により少し異っているので理想的な場合から計算した値とは一致しない。リセット回路の出力は立ち上り 4 ns 、幅 10 ns であるが、この立ち上りが悪いことが周波数の向上をさまたげている。図 4.13 は計数パルス周期と動作電圧を測定したものである。最高動作周波数は 200 MHz である。この周波数はトンネルダイオード回路としては必ずしも速い方ではない。回路の細部に手直しを行えば更に上げられると思われるが、ここでは応用例としての測距回路の要求を満足すれば良いので 200 MHz でとめた。この実験回路で使用したトンネルダイオードは M8436、TD253A、トランジスタは 2N2784、2SA372 である。

4.3 2進5進形10進計数回路 (75)

4.3.1 2進部の構成

2進5進形の10進計数回路の実験について述べる。この形式では2進部をトンネルダイオードで構成し5進部はモノリシック集積回路を使用する。2進部は計数パルスの $1/2$ 分周を行なう。回路としては通常の単一トンネルダイオード回路でも良い訳であるが、ここでは別の形式としてトンネルダイオードと電荷蓄積ダイオードを使用した回路について述べる。5進部は集積回路を使用しているのでトンネルダイオード回路に比べれば電源余裕度が大きい。従ってこの回路と結合するためにはできるだけ電源余裕度を大にできる回路が望ましいので、電荷蓄積ダイオードを併用することにした。回路は1個のトンネルダイオード2安定回路と電荷蓄積ダイオードを使用したセットおよびリセット回路よりなる。

使用した電荷蓄積ダイオードは SSA550 で規格を表 4.2 に示す。電荷蓄積ダイオードから出力をとるためには順電流を流して電荷を蓄積しておかなければならない。ここで考える回路は図 4.14 に示すように通常のダイオード D と電荷蓄積ダイオード SRD を対向



クロックパルス

ゲートパルス

計数パルス列 (14 パルス)

1 段出力

4 段出力

5 段出力

リセット信号

9 段出力

次桁への出力

H : 10ns/div
V : 250mV/div

図 4.12 各部の波形

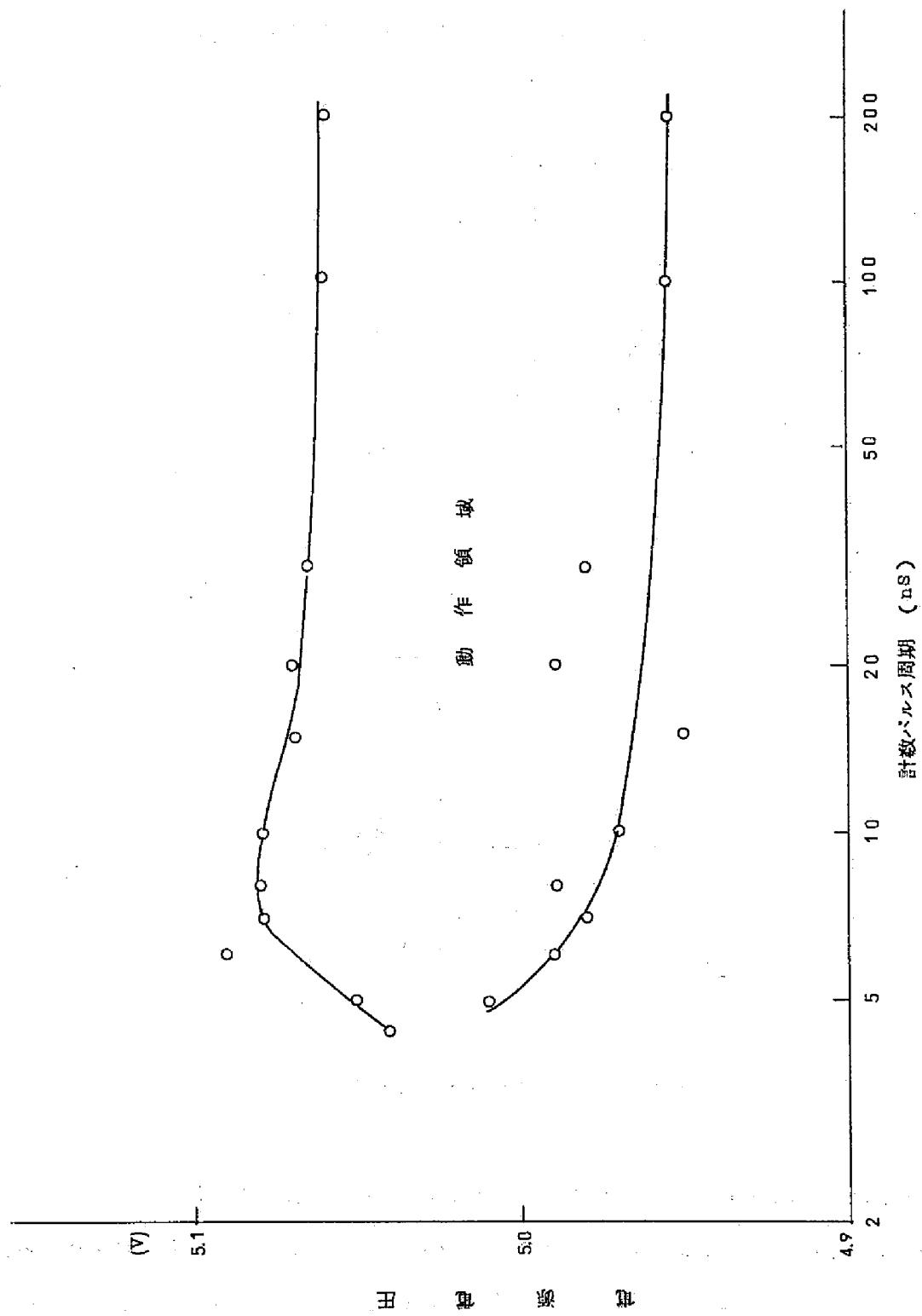


図4.13 計数回路の動作速度特性

表 4.2 電荷蓄積ダイオード SSA550 の特性

尖頭逆耐電圧	12 V
最大順方向電流	115 mA
順方向電流 (1 V 点)	20 mA
容量	1.5 pF max
最大蓄積時間 (逆方向電流 20 mA のとき)	2 nS
最大復帰時間	0.5 nS
最大接合温度	175℃

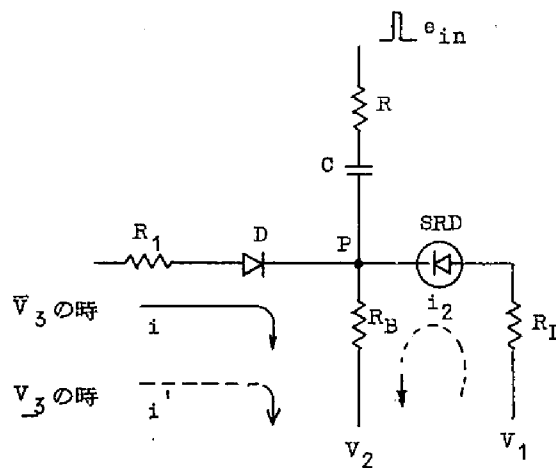


図 4.14 電荷蓄積ダイオードを使用する回路の基本形

して共通電源に結合し、両ダイオードの電流バランスの変化を利用する一種の電流切換回路である。 V_1 、 V_2 は定電源で V_3 はレベル入力である。また e_{in} はタイミングパルス源で電荷蓄積ダイオードをオフにし出力パルスをとる。定常状態では V_3 が高電圧レベル \bar{V}_3 の時 D が導通し P 点の電位が上昇して SRD をオフに保たなければならない。また V_3 が低電圧レベル \underline{V}_3 の時には D を流れる電流が減少し、 SRD がオンになり順方向電流が流れることが必要である。従って定常状態の直流条件として次式が求められる。

$$\left\{ \begin{array}{l} V_p(V_3=\text{high}) = \frac{R_B(\bar{V}_3 - V_D') + (R_1 + r')V_2}{R_1 + r' + R_B} > V_1 - V_D \end{array} \right. \quad (4.1)$$

$$\left\{ \begin{array}{l} i_1 = \frac{\bar{V}_3 - V_2 - V_D'}{R_1 + r' + R_B} > 0 \end{array} \right. \quad (4.2)$$

$$\left\{ \begin{array}{l} V_p(V_3=\text{low}) = \frac{-(V_1 - V_D)R_B(R_1 + r') - V_2(R_L + r)(R_1 + r') - (V_3 - V_D')R_B(R_L + r)}{R_B^2 - (R_L + r + R_B)(R_1 + r' + R_B)} \end{array} \right. \quad (4.3)$$

$$\left\{ \begin{array}{l} i_1' = \frac{(V_1 - V_2 - V_D)R_B - (\bar{V}_3 - V_2 - V_D')(R_L + r + R_B)}{R_B^2 - (R_L + r + R_B)(R_1 + r' + R_B)} \end{array} \right. \quad (4.4)$$

$$\left\{ \begin{array}{l} i_2 = \frac{(\bar{V}_3 - V_2 - V_D')R_B - (V_1 - V_2 - V_D)(R_1 + r' + R_B)}{R_B^2 - (R_L + r + R_B)(R_1 + r' + R_B)} \end{array} \right. \quad (4.5)$$

ここに V_p は P 点の電圧, i_1 は V_3 が高電圧レベルの時 D を流れる電流, i_1' は V_3 が低電圧レベルの時 D を流れる電流, i_2 は SRD を流れる電流, V_D , r は SRD の特性を直線近似した時の順方向導通電圧と順方向抵抗, V_D' , r' は D の同様の電圧と抵抗である。

次にパルス入力 e_{in} が加えられたダイオードの回復状態では, SRD にかかる逆電圧

V_a は近似的に e_{in} と V_2 によって定まると考えると

$$V_a = \frac{RV_2 + R_B e_{in}}{R + R_B} \quad (4.6)$$

となるから逆電流の大きさは次のようになる。

$$I_R = \frac{V_a}{Z_R} = \frac{RV_2 + R_B e_{in}}{R_L R + R_L R_B + R R_B} \quad (4.7)$$

ここに Z_R は逆電流回路のインピーダンスである。次に t_F を定常状態の時間, τ を少数キャリアのライフタイム, t_{Res} を残留電荷の消滅時定数とすると, 電荷の連続性により定常状態で蓄積される電荷 $Q(F)$ は

$$Q(F) = i_2 \tau (1 - e^{-t_F/\tau}) \quad (4.8)$$

となる。また残留電荷 $Q(R)$ は電流の変化が指数関数であるとして

$$\begin{aligned}
 Q(R) &= Q(F) e^{-t_R/\tau} - I_R \tau (1 - e^{-t_R/\tau}) \\
 &= \int_0^\infty I_R e^{-t/t_{Res}} dt = I_R t_{Res}
 \end{aligned}
 \quad (4.9)$$

となる。両式より SRD の生ずるパルス幅は理想的な場合に

$$t_R = \tau \ln \left[\frac{1 + \frac{i_2}{i_R} (1 - e^{-t_F/\tau})}{1 + \frac{t_{Res}}{\tau}} \right]
 \quad (4.10)$$

として求められる。⁽³⁵⁾ 数値計算例として、電荷蓄積ダイオードに SSA550 を使用し、 V_3 としてトンネルダイオード出力電圧を想定した場合について考えてみる。 V_D , r は SSA550 の小電流特性 (1 mA 以下) を近似して $V_D = 650 \text{ mV}$, $r = 500 \Omega$ とする。また通常のダイオードとしては 1S325 を考え $V_D' = 570 \text{ mV}$, $r' = 24 \Omega$ とする。 $\bar{V}_3 = 300 \text{ mV}$, $\underline{V}_3 = 100 \text{ mV}$, $V_1 = 0 \text{ V}$ とし、抵抗値はそれぞれ $R = 50 \Omega$, $R_1 = 30 \Omega$, $R_B = 680 \Omega$, $R_L = 80 \Omega$ とする。この時定常状態における電圧 V_p , および電流 i_1 , i_1' , i_2 と V_2 の関係を図 4.15 に示す。電荷蓄積ダイオード SRD を流れる電流はダイオード D を流れる電流に比べて非常に小さい。また V_3 が高電圧レベルと低電圧レベルにより抵抗 R_B を流れる電流の大きさに差を生じ厳密には定電流状態になっていないことがわかる。有効な V_2 の範囲の下限は (4.2) 式の条件より図示のように定まる。また上限は $i_2 \geq 0$ より求められる。次に (4.6), (4.7) 式より逆電流 I_R を計算すると図 4.16 のようになる。逆電流の大きさは SRD の出力パルス振幅に比例すると考えられるから出力振幅はパルス入力が大きいく程、また回路インピーダンスの小さい程大くなる。従ってパルス駆動回路のインピーダンスは低いことが望ましい。 $V_2 = -4 \text{ V}$ の状態で $e_{in} = 1 \text{ V}$ を基準に $e_{in} = 2 \text{ V}$, 3 V の場合の逆電流の比率を計算すると 2.4 倍, 3.8 倍となる。

SSA550 の出力パルスを測定した結果を図 4.17 に示す。測定には立上り 0.35 nS のサンプリングオシロスコープを使用しているので測定結果の精度に疑問が残るが、図 4.17 (C) のごとく理想化して近似値を求めてみると、 t_{Res} は 0.9 nS , また τ は 40 nS となる。 $t_F \gg \tau$ として写真の $R = 150 \Omega$ の場合のパルス幅を (4.10) 式により計算すると 2.1 nS となる。この値はパルス頭部の幅に相当する。写真の実測では頭の平坦部が 1.6 nS でこれに立上り部の傾斜が理想的と仮定した等価分 0.7 nS を加えると 2.3 nS と

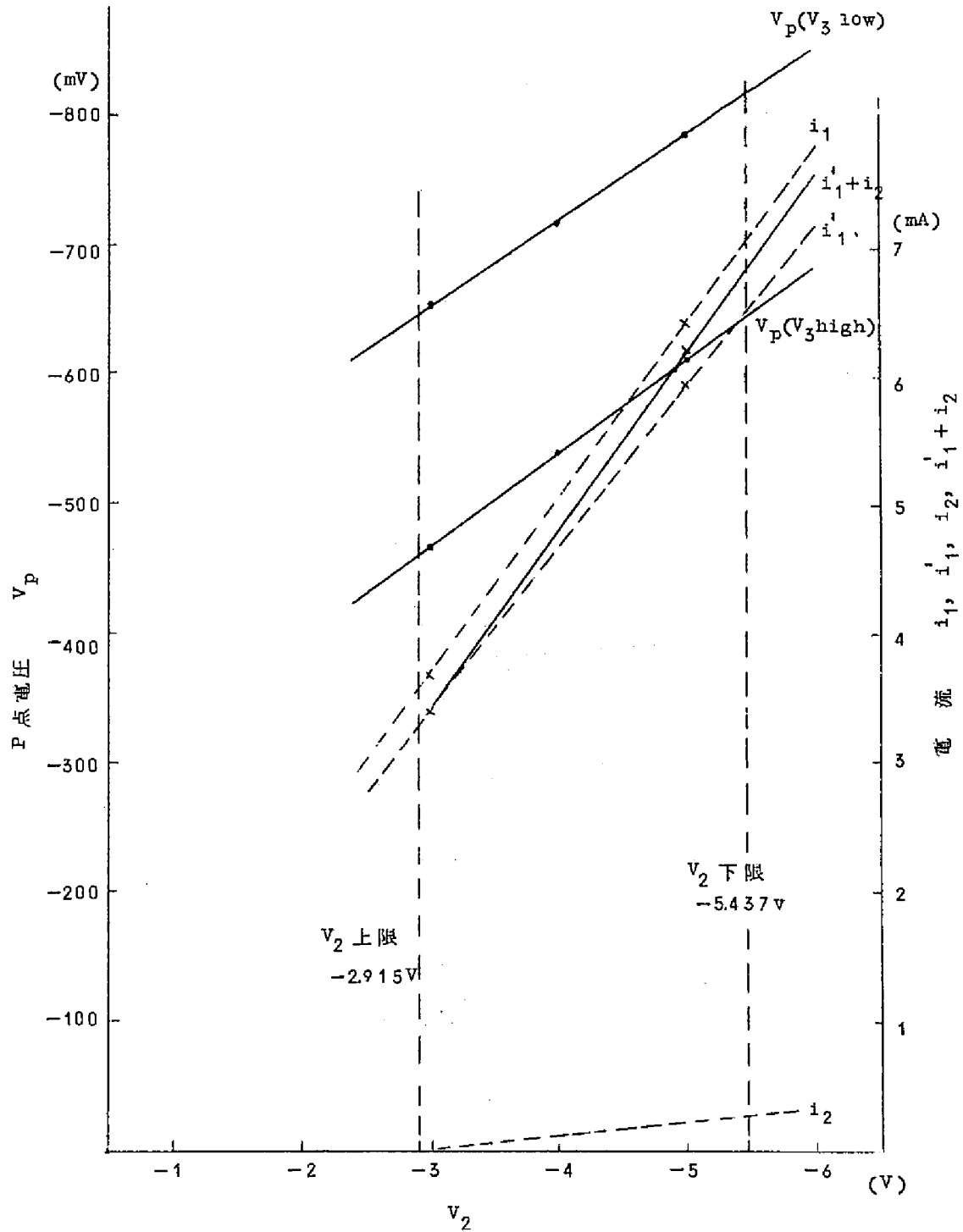


図 4.15 V_2 と V_p および i_1 , i_1' , i_2 の関係 (計算値)

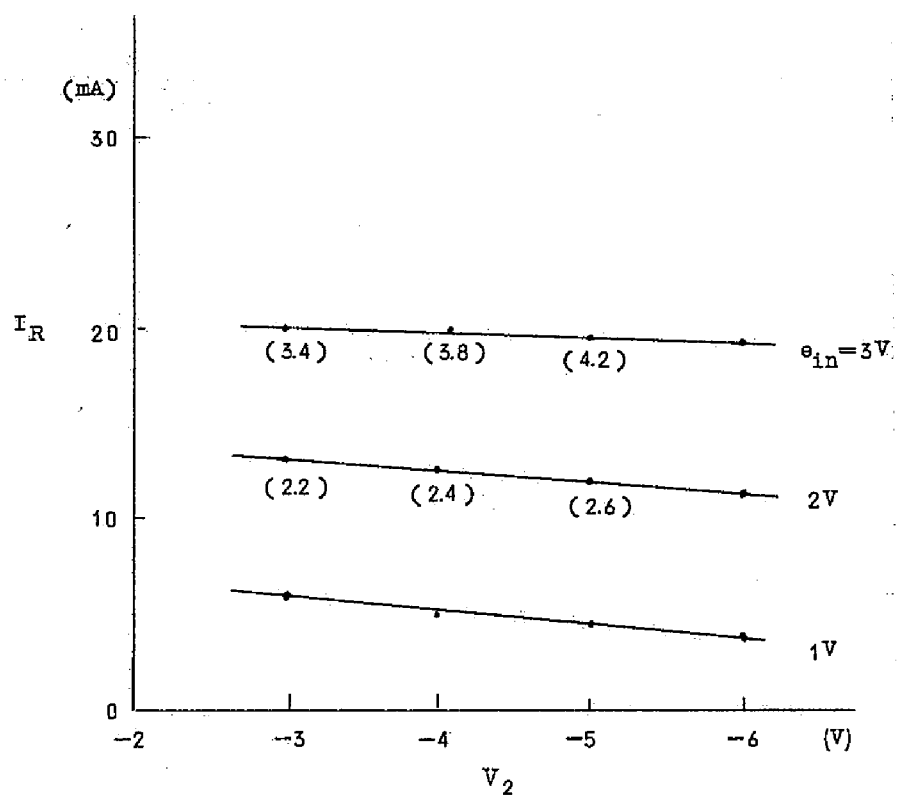
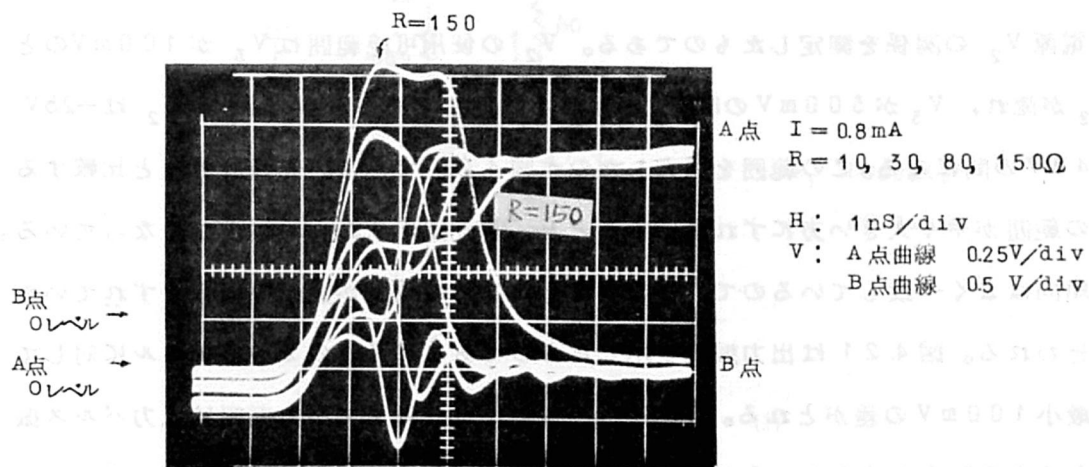
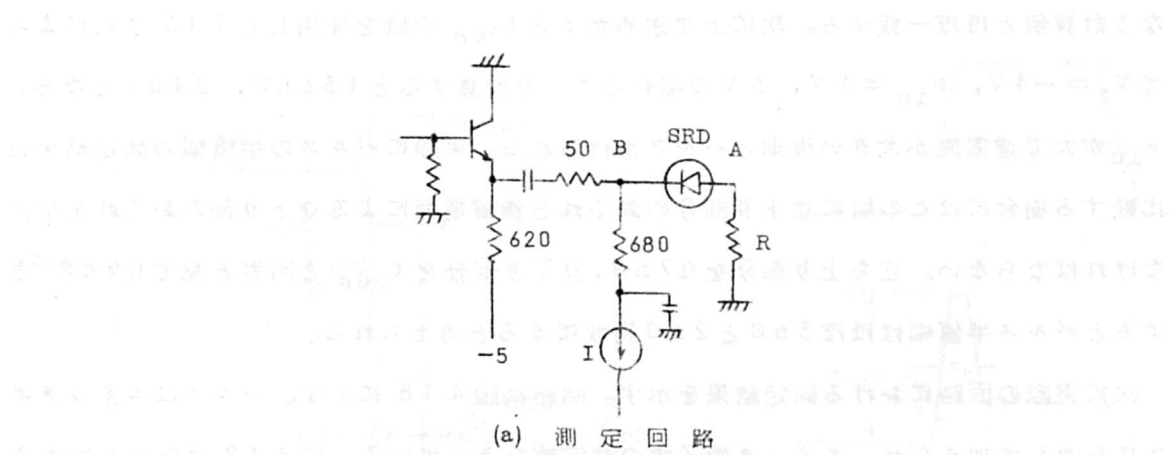
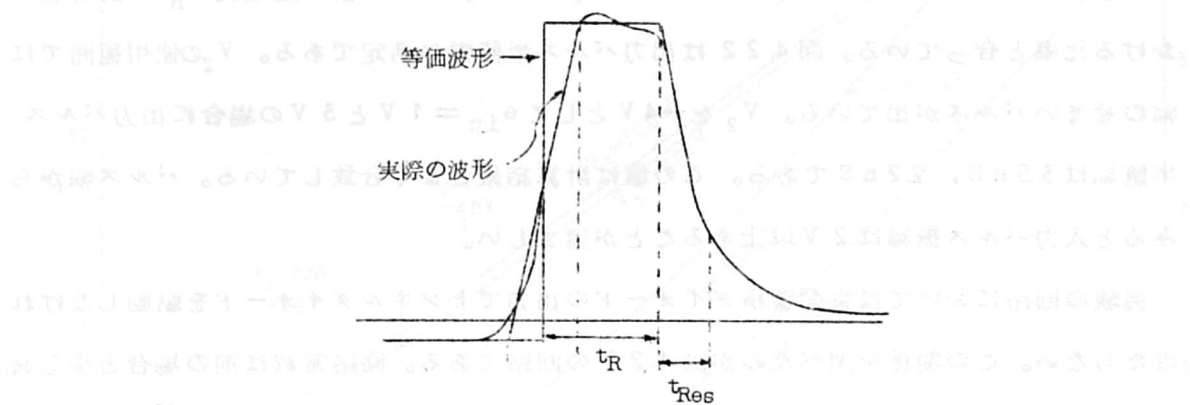


図 4. 1. 6 V_2 と I_R の関係 (計算値)
() は $e_{in} = 1V$ に対する倍率



(b) A点の電流波形とB点の電圧波形



(c) 等価電流波形作図

図 4.17 電荷蓄積ダイオードの出力波形

なり計算値とほぼ一致する。次に上で求めた τ と t_{Res} の値を使用し(4.10)式によって $V_2 = -4\text{ V}$, $\phi_{\text{in}} = 1\text{ V}$, 3 V の場合の t_{R} を計算すると 1.36 nS , 0.4 nS となる。 ϕ_{in} が大で逆電流が大きい程細いパルスが得られる。実際にパルスの半値幅の測定結果と比較する場合にはこの値に立上り部分のおくれと残留電荷による立下り部分のおくれを加えなければならない。立ち上り部分を 0.7 nS , 立下り部分を t_{Res} と同等と見て 0.9 nS とするとパルス半値幅はほぼ 3 nS と 2 nS 程度になると考えられる。

次に実際の回路における測定結果を示す。回路は図4.18に示す。パルスはエミッタホロワを通して加えられ、エミッタ端子での測定値をとっている。図4.19は定常状態の電流値と電源 V_2 の関係を測定したものである。 V_2 の使用可能範囲は V_3 が 100 mV のときに I_2 が流れ、 V_3 が 300 mV の時 I_2 が流れない範囲であるから、図から V_2 は -25 V より -4.8 V の間になる。この範囲を拡大したのが図4.20である。先の計算値と比較すると V_2 の範囲がやや大きい方にずれていることと、電流値が 0.2 mA 程小さくなっている。しかし傾向はよく一致しているので、この差は計算の時の数値が実際の場合とずれていたためと思われる。図4.21は出力振幅を示したものである。 V_3 の2つのレベルに対して出力は最小 100 mV の差がとれる。SRDの基本動作から考えて出力振幅は入力パルス振幅が大きくなる程大きくなる。入力パルスは外部から加えられるものでその振幅も適当な値に選定できるから、SRDの出力振幅は自由に決定できることになる。今 $\phi_{\text{in}} = 1\text{ V}$ の時の出力レベルを基準にして $\phi_{\text{in}} = 2\text{ V}$ と 3 V の場合の出力レベルを $V_2 = 4.5\text{ V}$ の点で比較すると、それぞれ2.1倍、3.9倍になっている。これは前の逆電流 I_{R} の計算値における比率と合っている。図4.22は出力パルス半値幅の測定である。 V_2 の使用範囲では幅のせまいパルスが出ている。 V_2 を -4 V として $\phi_{\text{in}} = 1\text{ V}$ と 3 V の場合に出力パルス半値幅は 3.5 nS , 2.2 nS である。この値は計算結果とよく合致している。パルス幅からみると入力パルス振幅は 2 V 以上あることが望ましい。

実際の回路においては電荷蓄積ダイオードの出力でトンネルダイオードを駆動しなければならない。この関係を調べたのが図4.23の回路である。回路常数は前の場合と少し異なっているが、トンネルダイオードの負荷効果を見るには差しつかえない。図4.23の回路の無負荷時の出力振幅は図4.24に示すようになる。負荷となるトンネルダイオードは単安定回路としこの時の動作開始電圧と電荷蓄積ダイオードのバイアス電流を測定したのが図4.25の実線である。 V_3 の2つの値に対して最大で約 600 mV の差がとれ、 $V_2(V_3 = 300\text{ mV}) - V_2(V_3 = 100\text{ mV}) / V_2(V_3 = 300\text{ mV})$ なる量を動作マージンとすると

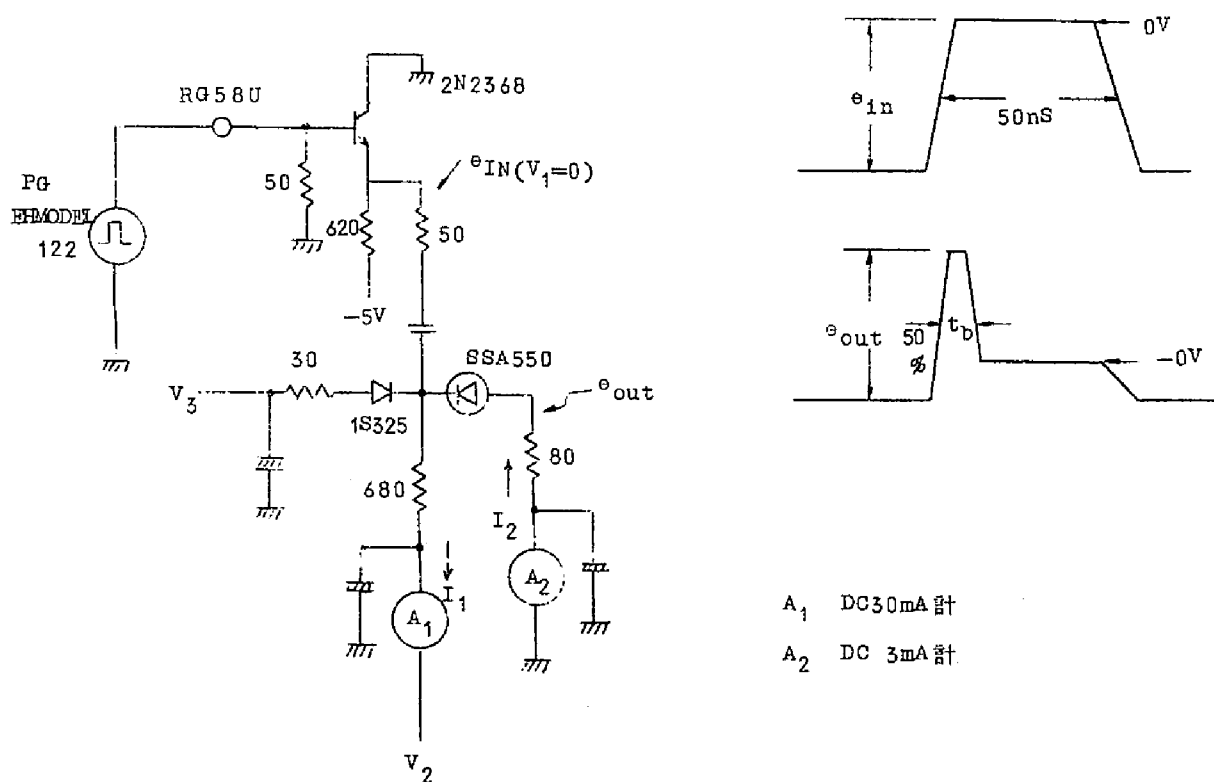


図 4.18 測定回路 (1)

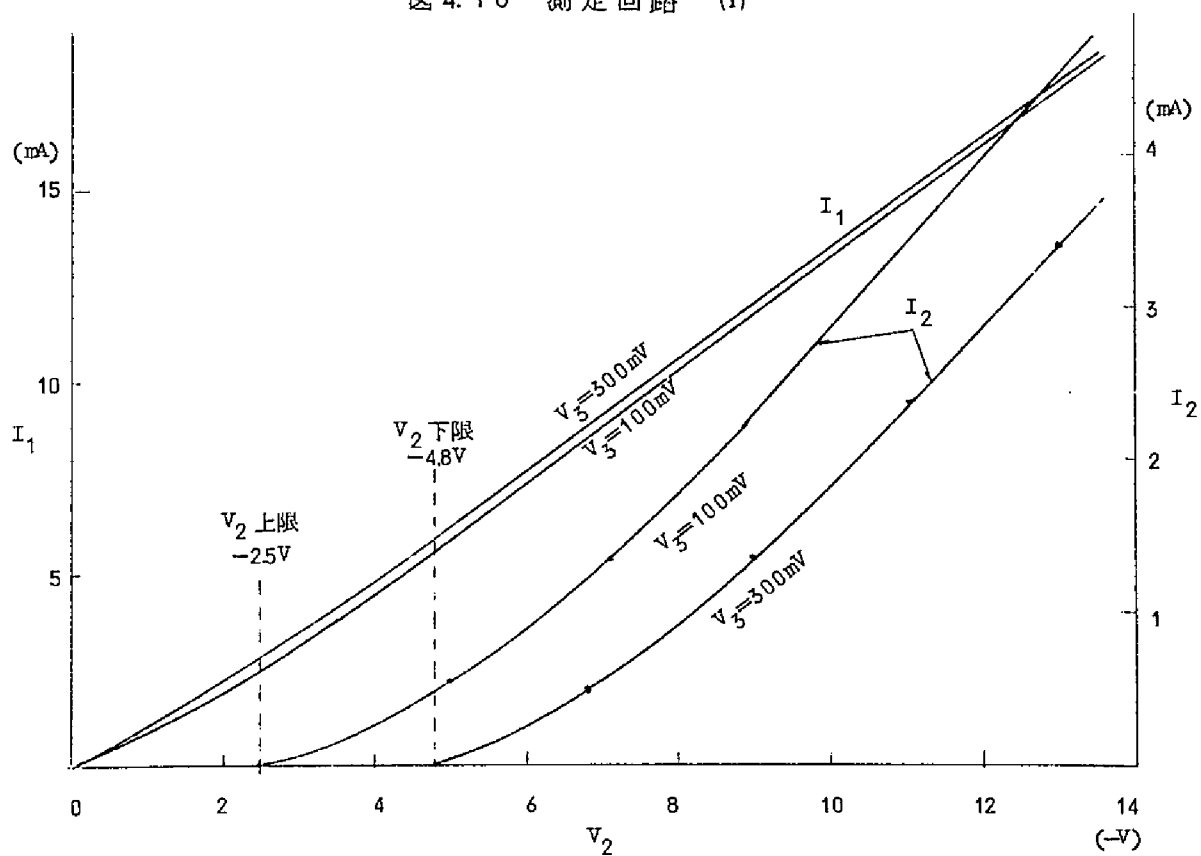


図 4.19 V_2 と I_1 , I_2 の関係 (1)

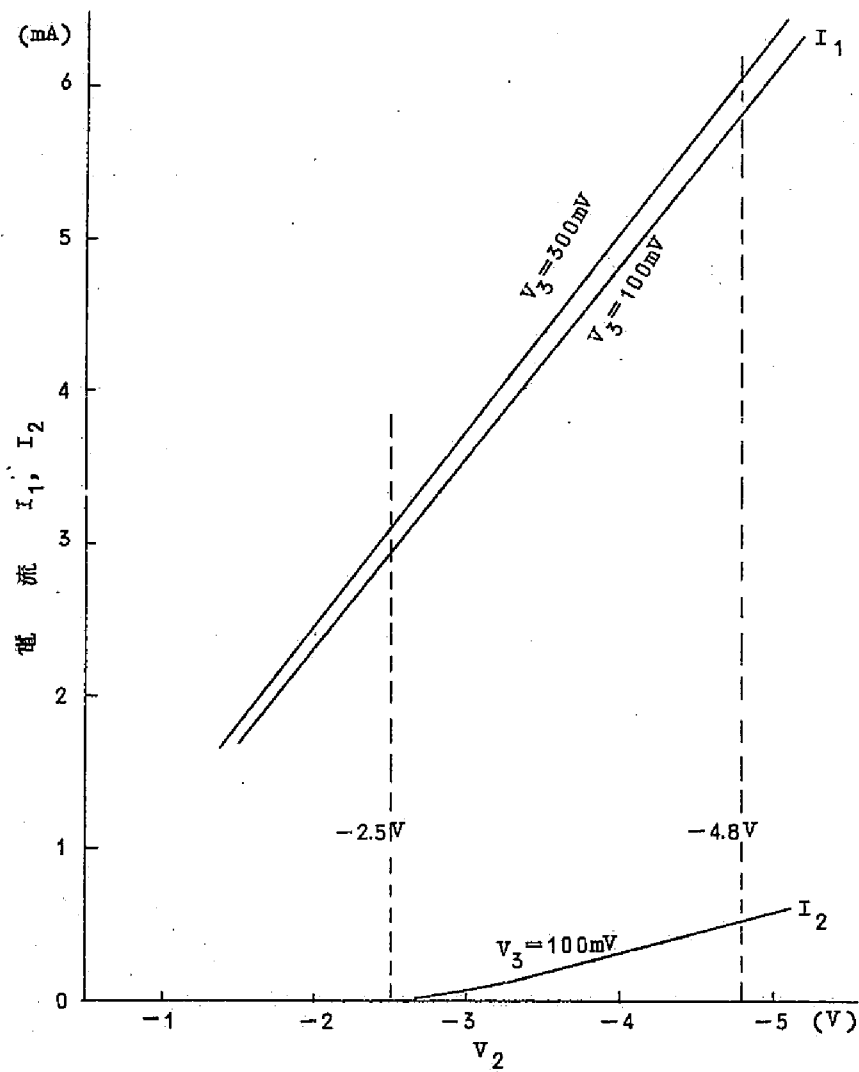


図 4.20 V_2 と I_1 , I_2 の関係 (2)

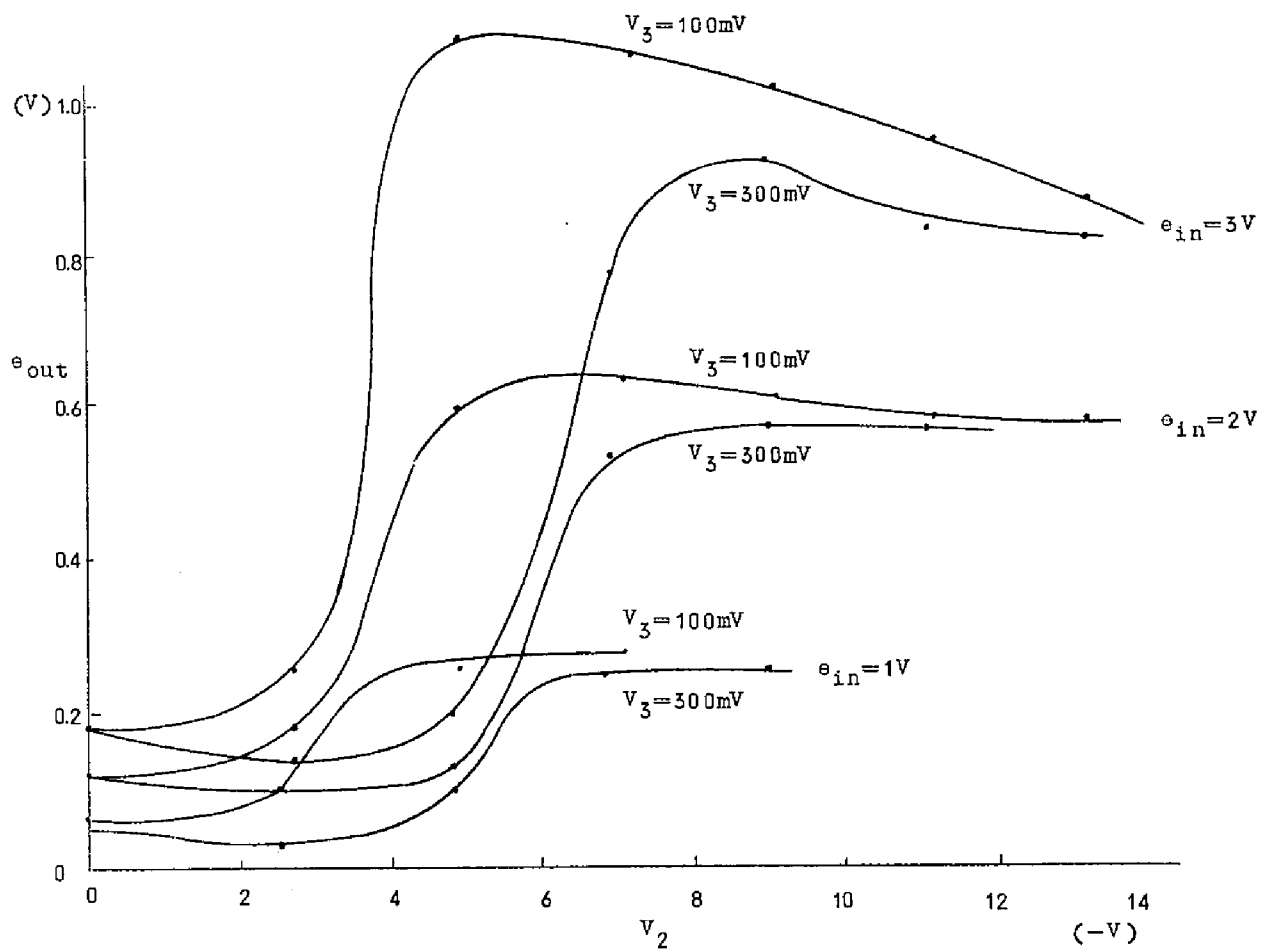


図 4.2 1 出力振幅

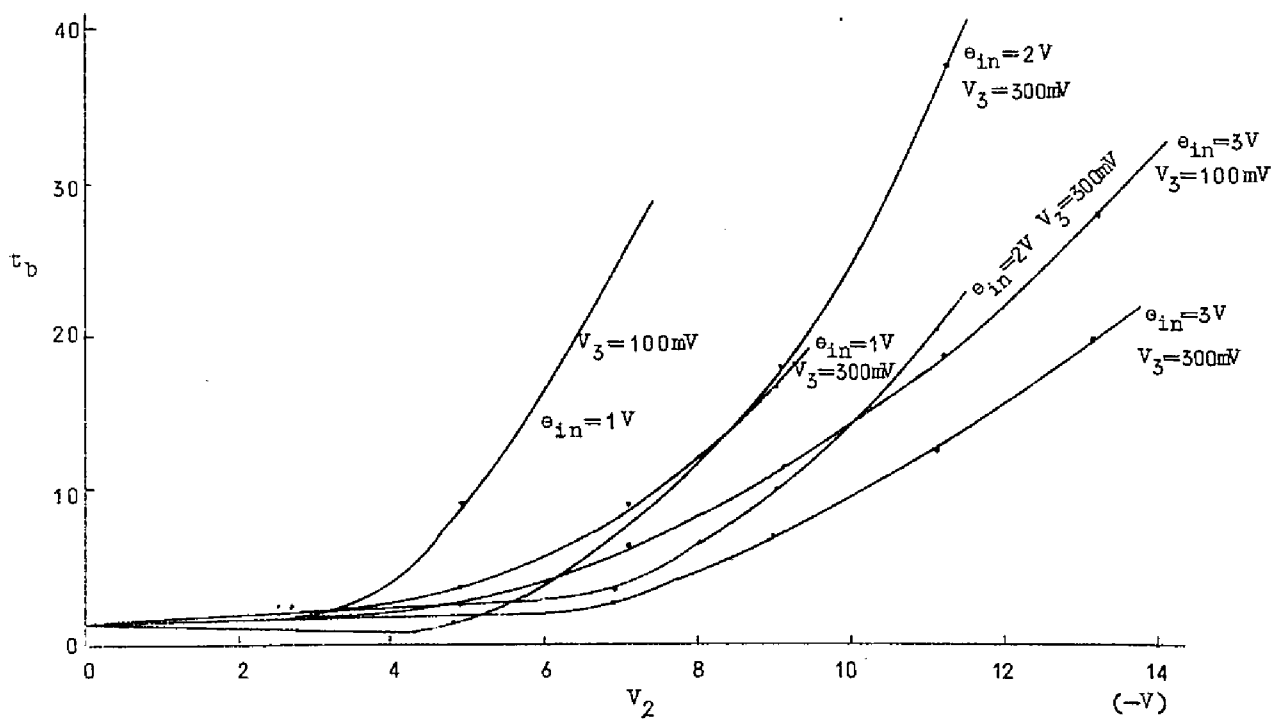
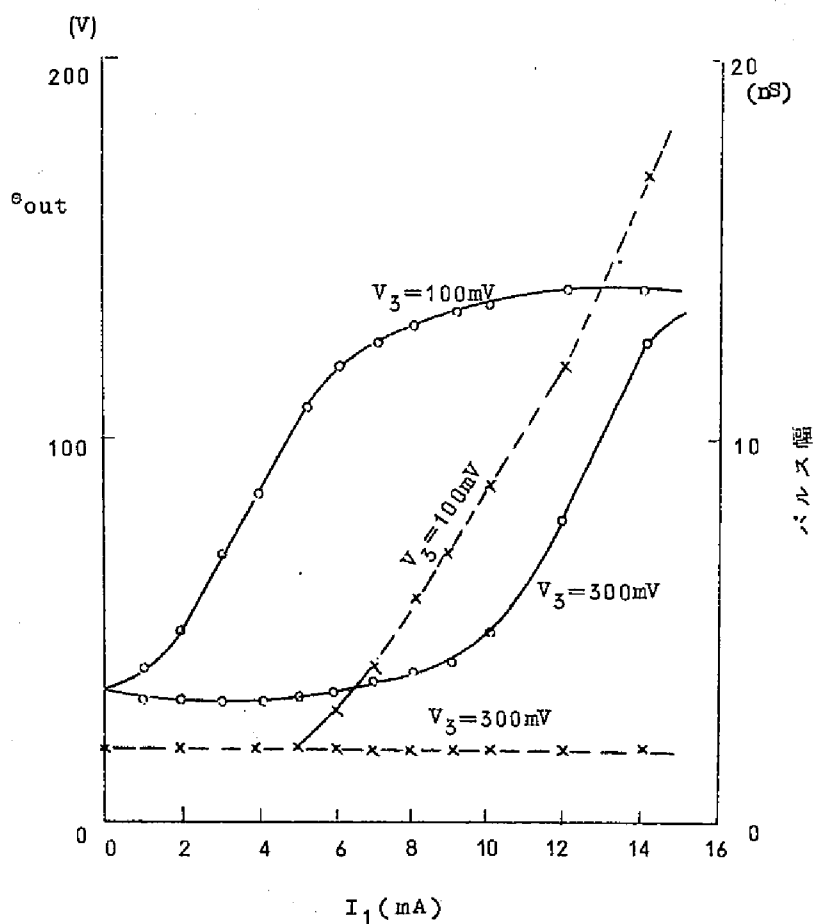
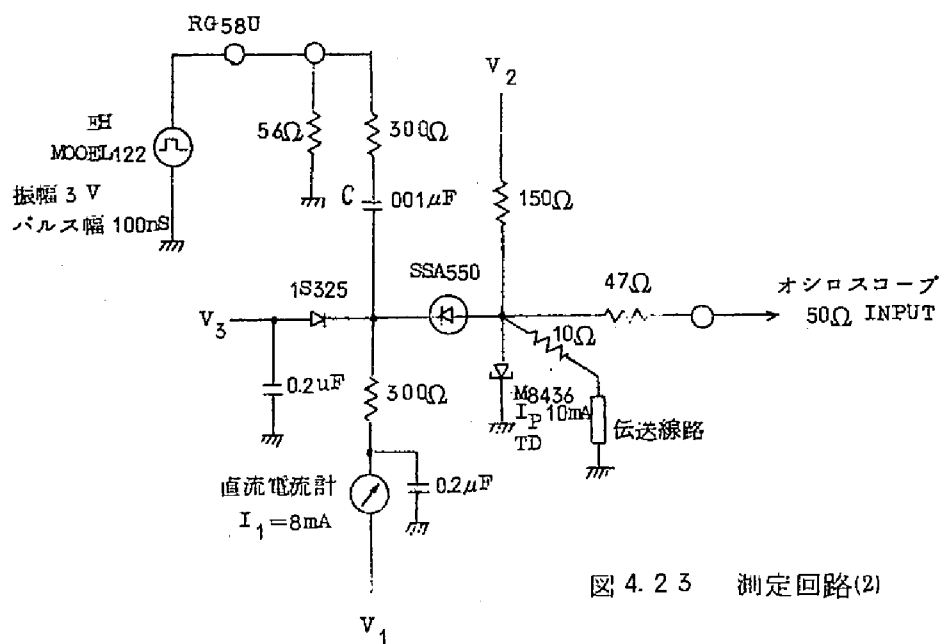


図 4.2 2 出力パルス幅



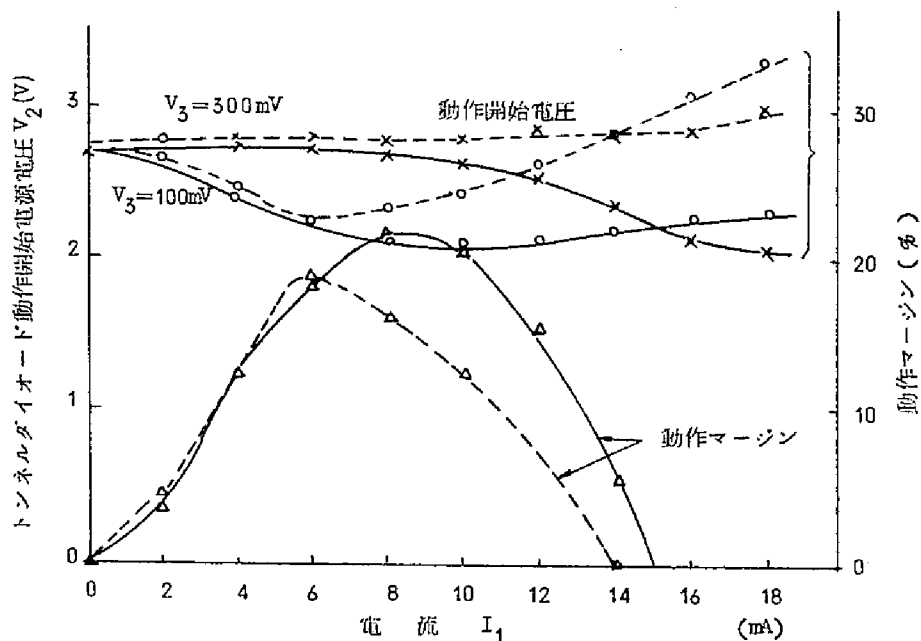


図 4.25 トンネルダイオードの動作電圧特性

(実線：図 4.23 の回路
点線：図 4.26 の回路)

最大動作マージンは22%となり、トンネルダイオード回路としては十分使用できることがわかる。図 4.23 の回路のトンネルダイオードに更に負荷として前と同形になるように2個のダイオードを定電流源に結合したものをつないだ図 4.26 の回路の特性を図 4.25 の

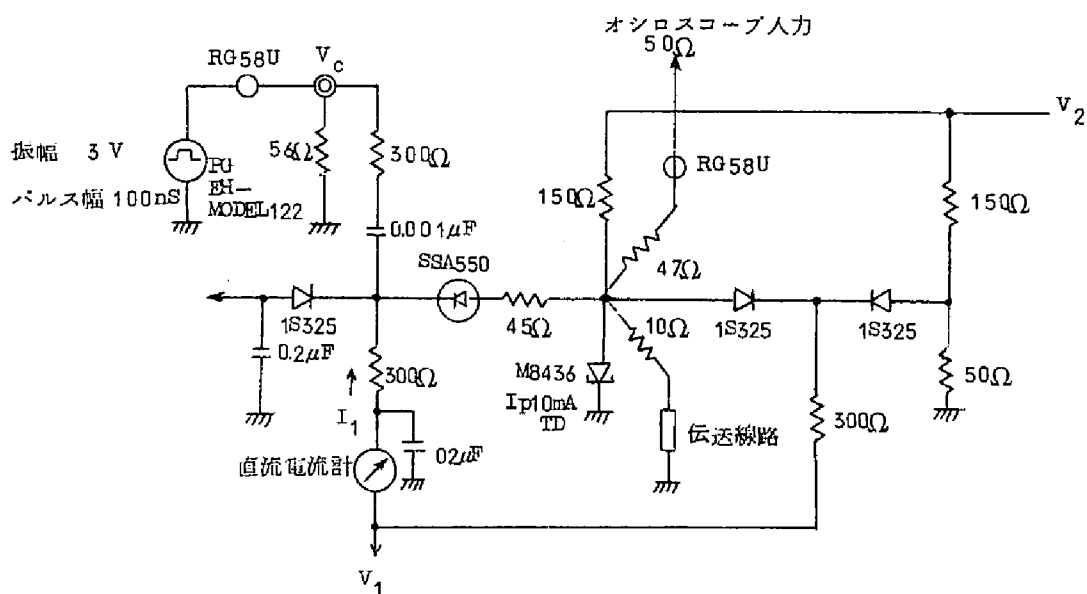


図 4.26 測定回路 (3)

点線に示す。動作範囲が少しずれ最大マージンの位置がずれるが19%のマージンがとれるので特に問題はない。 V_2 が実線に比べて大きくなっているのは負荷の1S325を流れる電流のための増加分と考えられる。図4.27には入力パルスのくり返し周期の関係を示

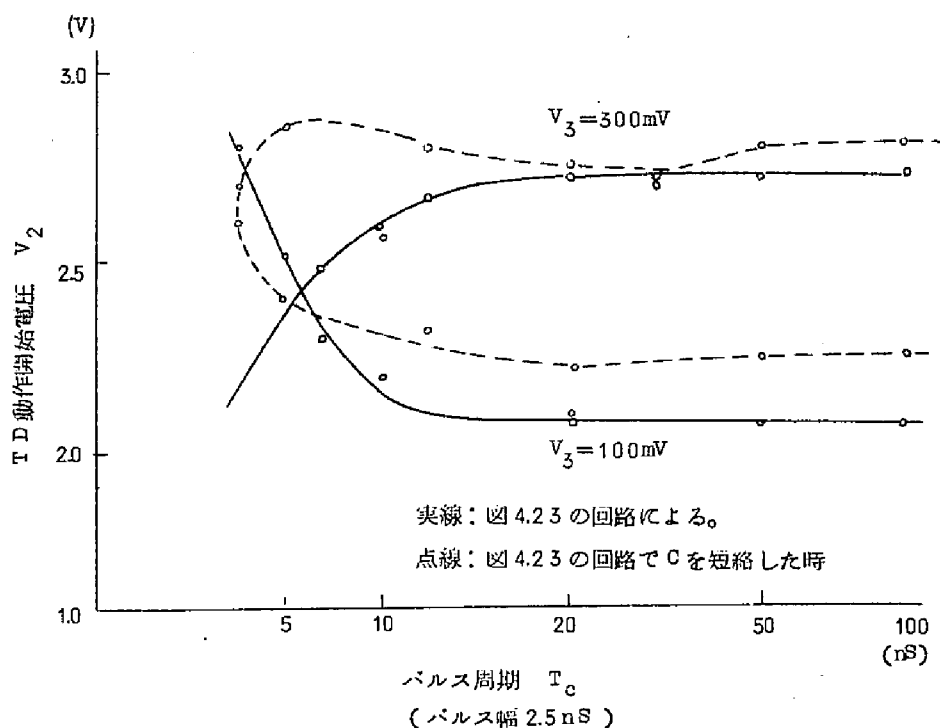


図 4.27 パルス周期に対するトンネルダイオード動作電圧特性

してある。回路は図4.23を使用し、パルス幅は2.5nsとした。パルス周期を10ns以下にすると電荷蓄積ダイオードの動作が入力パルスの繰返しに追いつけなくなる。出力パルスの振幅が減少した分だけバイアス電圧が大にならないと動作しなくなる。同時にこの領域では分周動作があらわれる。また周期が小になると入力パルス回路に入っているコンデンサCにより直流レベルが変動し有効なパルス振幅が減少してくる。従って負パルスが回路に加えられたことと同等になるので、 V_3 が高いレベルにある場合に本来オフになっているべき電荷蓄積ダイオードに順方向電流が流れ、出力パルスを出すようになる。この時 V_3 よりトンネルダイオード入力の間到低インピーダンス回路ができることになるので、トンネルダイオードの動作開始電圧が低くなり、図にみる如く長い周期の場合に対して V_3 の関係が逆転する。周期5.5nsの交点がほぼduty 1/2点である。この現象はコンデ



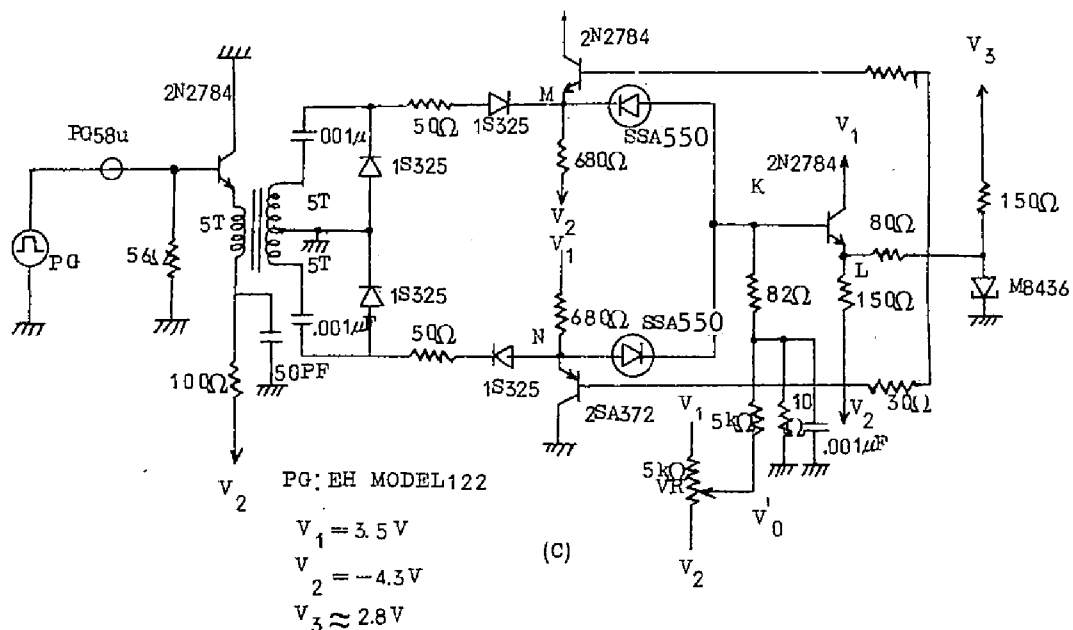


図 4.28 2 進計数回路図

に動作したのでこの回路に対して特性を測定した。動作原理を各回路について述べると、
 (a) の回路は左側のパルスラングで入力パルスに対して正負両極性のパルスをつくり電荷蓄積ダイオードのトリガーパルスにする。電荷蓄積ダイオードはそれぞれ 1 端はトランスを通して直流的にはアースされ、他端はエミッタホロワにつながれる。トンネルダイオードが高電圧状態にあるか低電圧状態にあるかにより、エミッタホロワ 出力も高いレベルか低いレベルをとるので、上または下側の電荷蓄積ダイオードのいずれか一方が導通する。エミッタホロワに NPN と PNP トランジスタを使用したのは直流レベルシフトのためである。電荷蓄積ダイオードの出力はトランスで重ね合せてとるとトランス二次側には上側のダイオードによる出力は正パルス、下側のダイオードによる出力は負パルスが得られるので、前者をトンネルダイオード 2 安定回路のセットパルス、後者をリセットパルスとして使用する。この回路の欠点は右側のトランスの二次側レベルが周波数および duty により変動するためトンネルダイオードの動作点設定がむずかしいこと、電荷蓄積ダイオードの出力パルスは非常に高い周波数成分をもつので右側のトランスがこれに応動できず、したがってトンネルダイオードを能率よくトリガーできないことである。したがって

10MHz程度の低い周波数では動作するが周期50ns(20MHz)以下になると動作しない。(b)の回路は2個のトンネルダイオード安定回路を使用し、これ等はどちらか一方が高電圧状態にあり、他は低電圧状態にあることにより2進信号を表示する。このトンネルダイオードのトリガーパルスは入力パルスにより電荷蓄積ダイオードをトリガしてその出力をトランスにとり出す。トランス二次側の出力パルスは常に正負の対で得られ、一方のトンネルダイオードをセットするパルスが出た時は同時に他方のトンネルダイオードに対してリセットパルスが出る。電荷蓄積ダイオード回路は(a)の回路の左側のトランスを省略し、したがってダイオードの向きを同じにした。このため2個のトンネルダイオードが必要になった。この回路構成では欠点として2個のトンネルダイオード間の関係はトランスを通してのみしかつながっていない。理想的な動作では両トンネルダイオードが同じ電圧状態をとることはないが、実験的には何らかの原因例えば動作電圧の限界付近で一度両トンネルダイオードが同じ電圧状態になり、この時動作が停止することが起った。このため回路の信頼性が劣るので採用しないことにした。(c)の回路は(a)の回路を改良したもので、電荷蓄積ダイオードの出力をトランスでとるかわりに、エミッタホロウでとるようにして動作周波数の上限を上げようとしたものである。図4.29は図4.28(c)のM、N点における入力パルス振幅の周波数特性を測定したものである。100MHz以上においては振幅が減少しパルスのオーバシュートの大きさと同じ程度になるので200MHzが動作のほぼ上限である。図4.30はエミッタホロウをはずしてK点で測定した電荷蓄積ダイオードの出力パルス振幅である。周波数が上ると共に振幅が減少してくる様子がわかる。この図からも200MHzがほぼ動作の上限である。図4.31は全回路を動作させた時の周波数とトンネルダイオードバイアス電圧である。動作周波数は結局170MHzとなった。電源余裕度は200mV以上がとれトンネルダイオードのみによる回路よりは大きくとれる。 V_0' の値はトンネルダイオードのトリガパルスに直流バイアスを与えるものであるが全体の動作に大きな影響を与えるものではない。厳密には図4.32に示すように V_0' の値によりトンネルダイオードの動作範囲は少し変化し、またパルス周波数によっても変化するが、正の値をとれば200mVの動作余裕度はとれることがわかる。図4.33の写真は図4.28(c)の回路の各部の波形である。(a)~(e)は入力周波数が30MHzとおそい場合でM点N点のレベル変化やL点の電荷蓄積ダイオード出力パルスの波形等が明瞭に出ている。これに対して(f)~(j)は入力周波数が100MHzの場合で波形の乱れかたが大きい。例えばトンネルダイオードトリガーパルスを示すL点の波形でも正パルスが2重に出ているのが認められる。トンネルダイオード自体の動作は正常であるが、このような雑

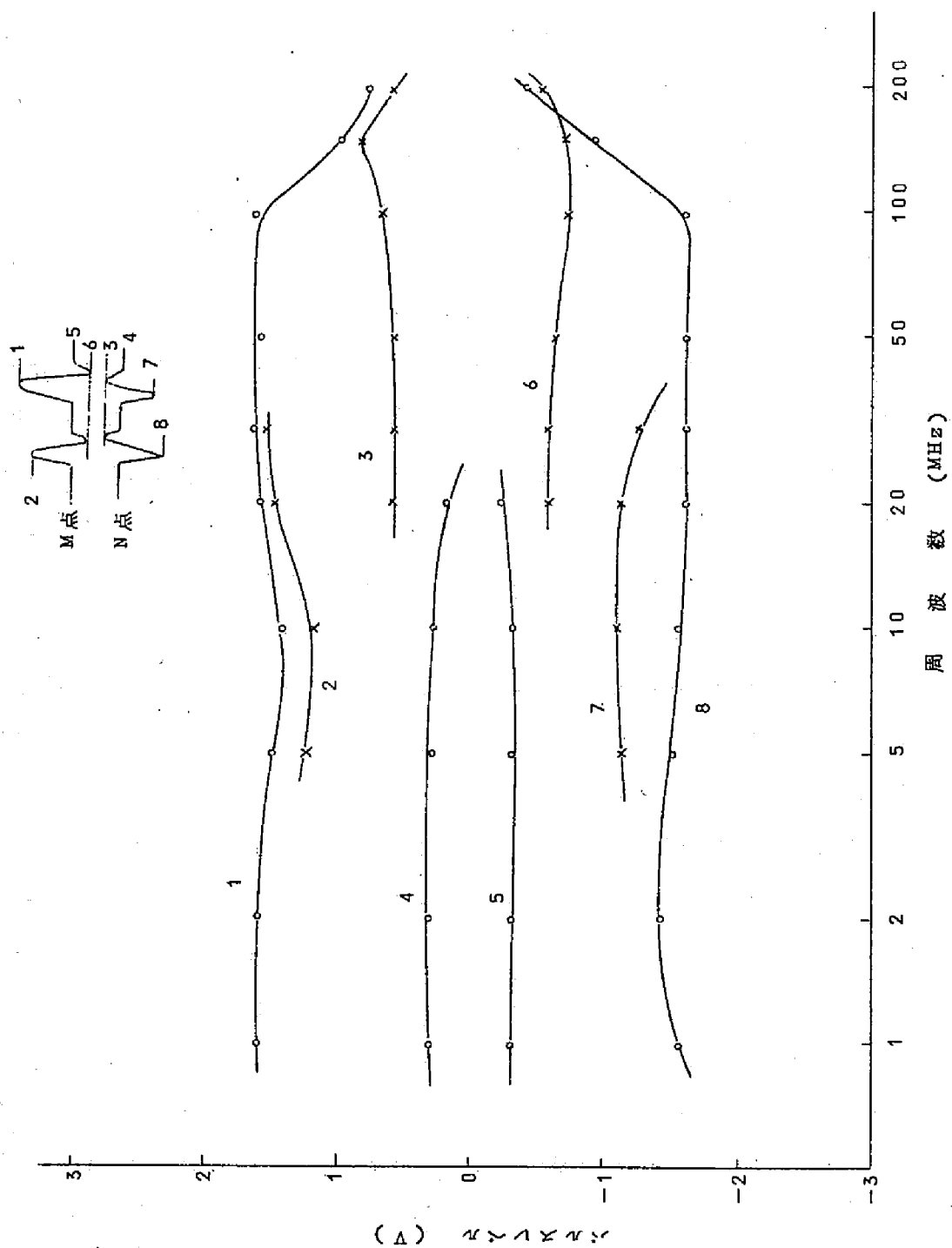


図 4.29 M, N 点におけるパルスの周波数特性

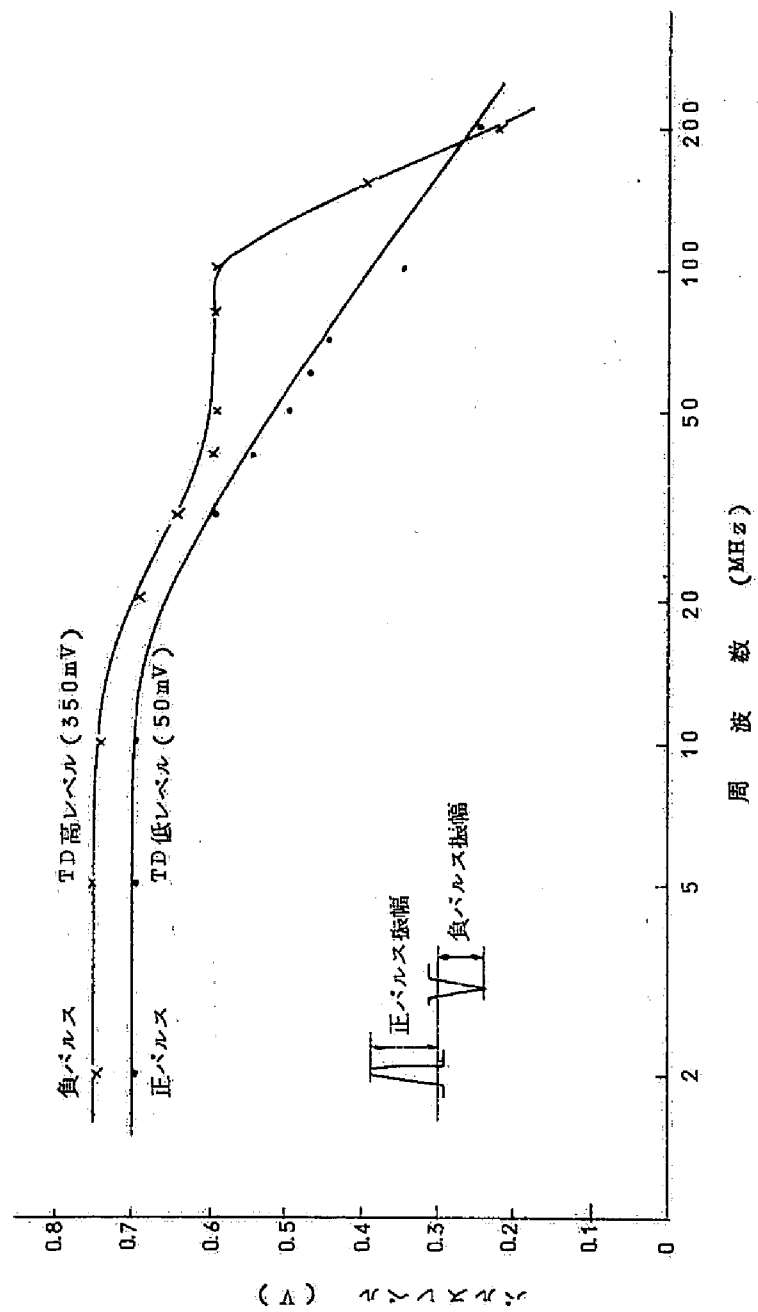


図 4.30 K点における無負荷時のパルス特性
(入力トランジスタベース電圧=3V, duty=1/2)

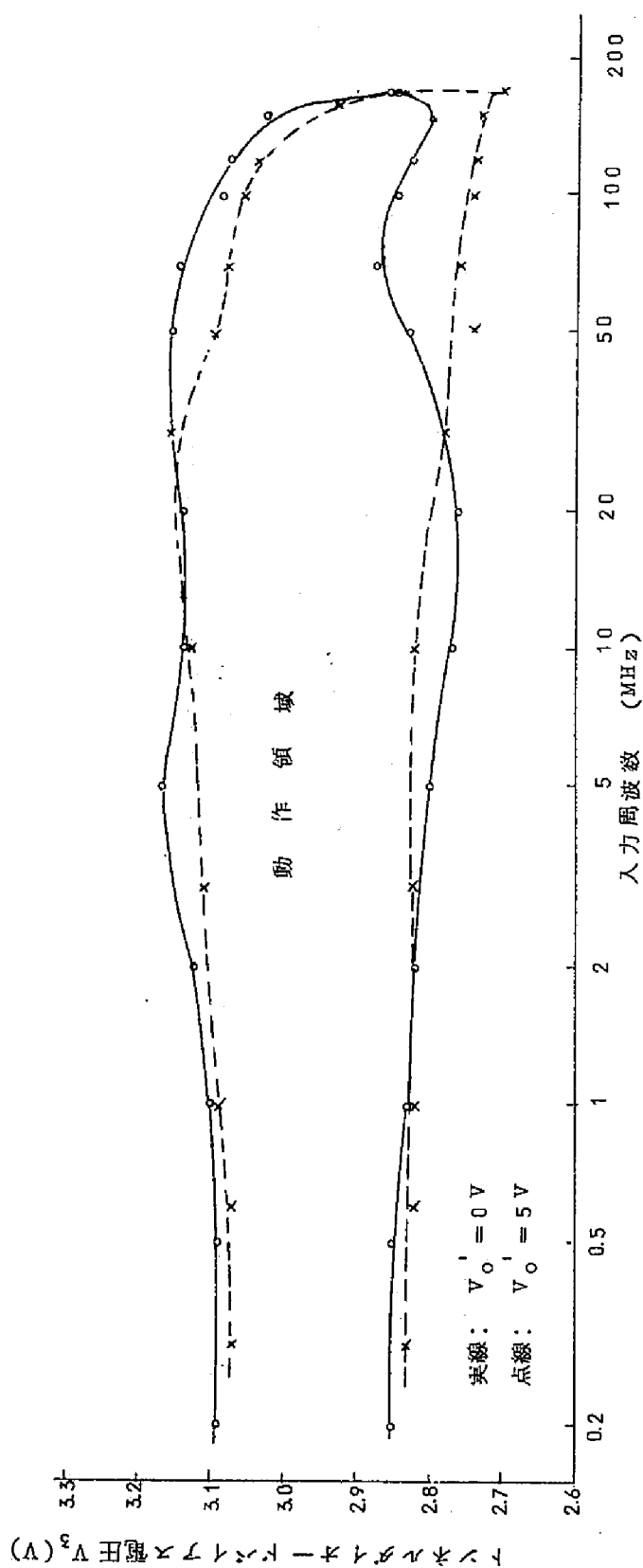


図 4.31 2 進計数回路のバイアス周波数特性

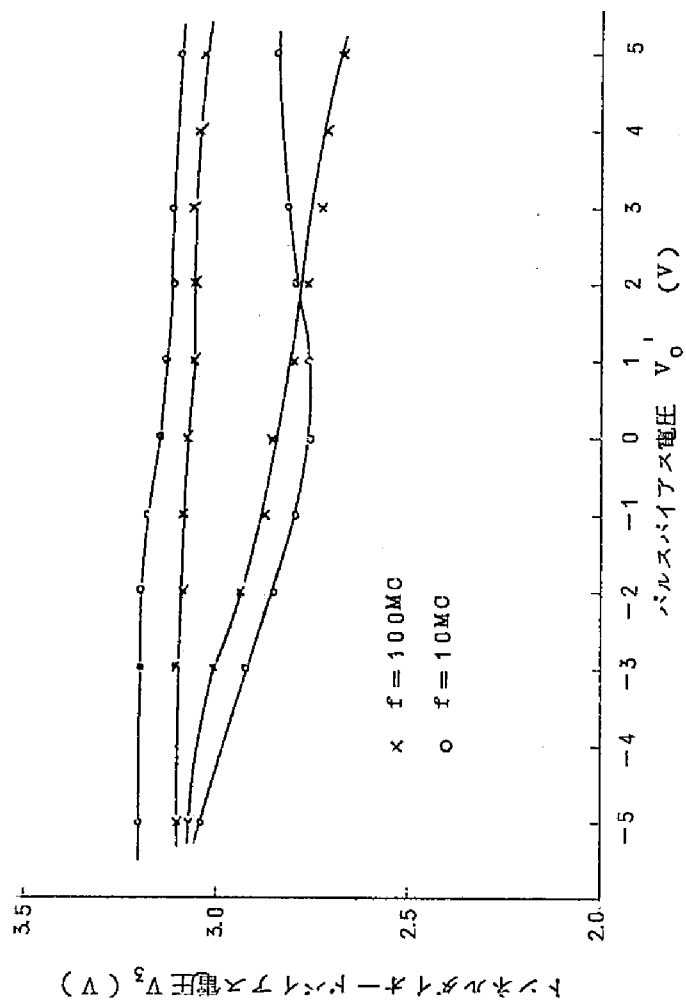
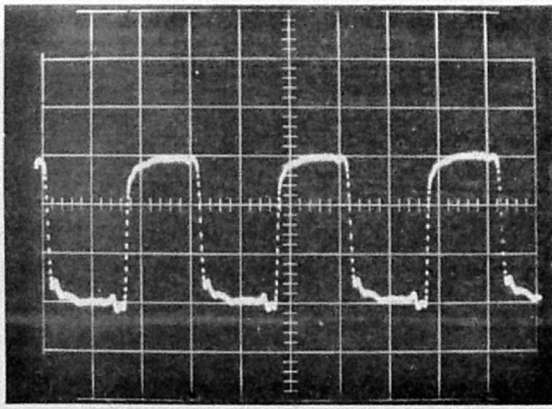
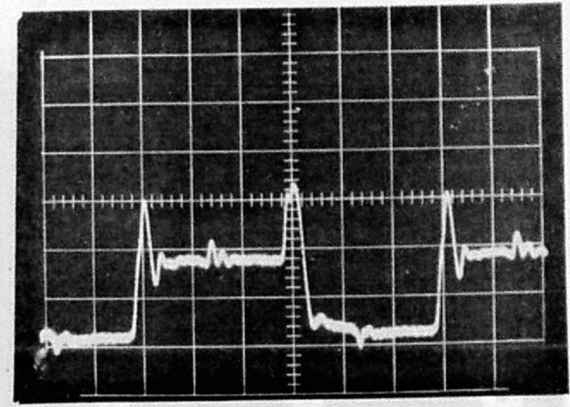


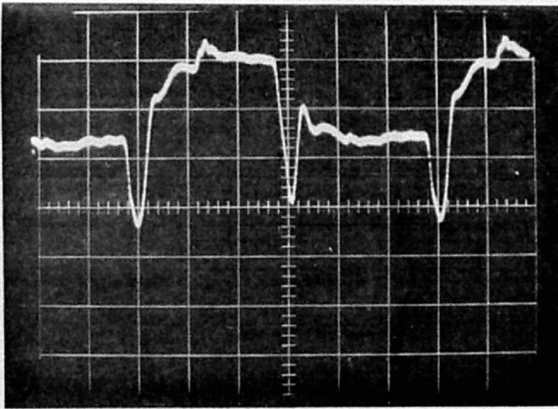
図 4.32 V_0' とトンネルダイオードバイアス電圧の関係



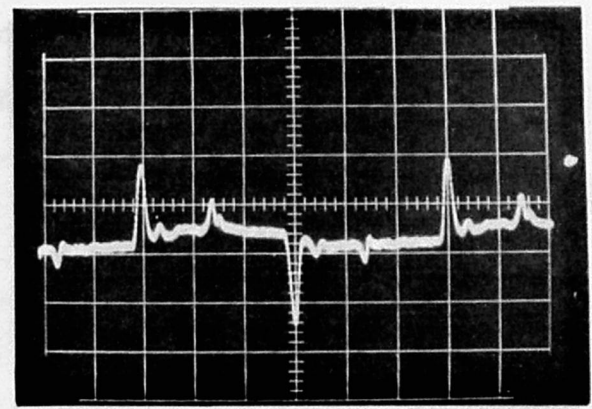
(a) 入 力



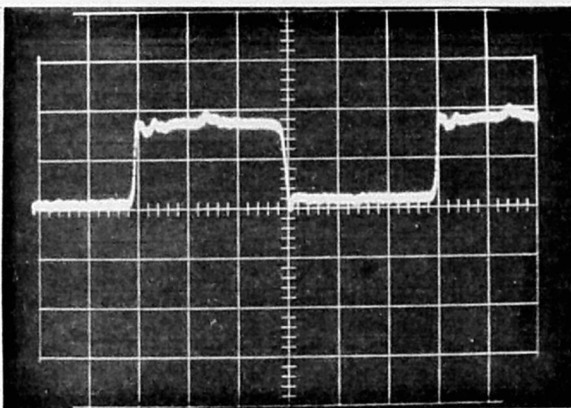
(b) M 点



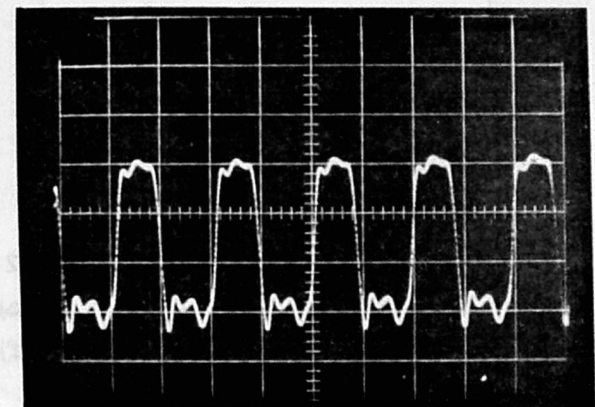
(c) N 点



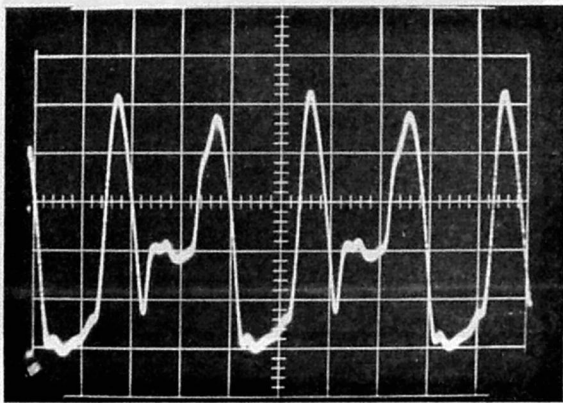
(d) L 点



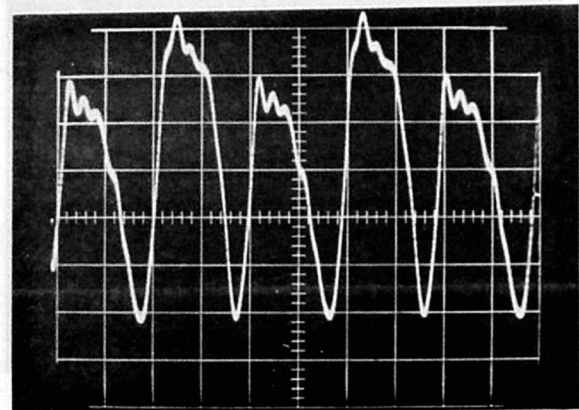
(e) T. D. 出力



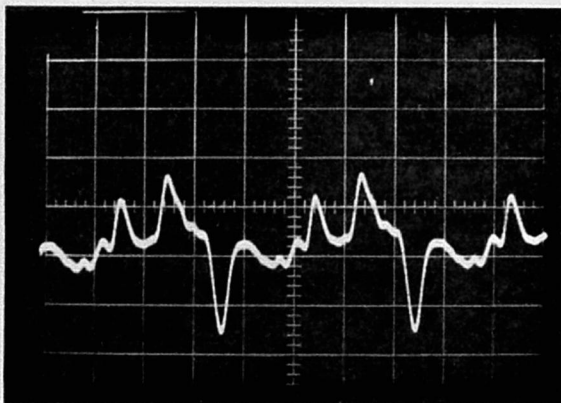
(f) 入 力



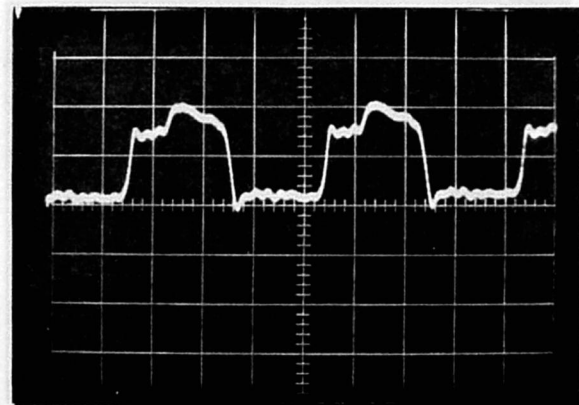
(g) M 点



(h) N 点



(i) L 点



(j) T. D. 出力

H : (a)~(e) 10 nS/div
 (f)~(j) 5 nS/div
 V : (a), (f) 1 V/div
 その他 0.25 V/div

図 4.33

2 進部各部の波形

(a)~(e) 入力周波数 30 MHz の場合

(f)~(j) 入力周波数 100 MHz の場合

音性パルスが出はじめたことは周波数の向上が次第にむずかしくなることを示している。これ等の雑音パルスの原因は主としてダイオードやトランジスタの障壁容量をぬけてくる微分性パルスであり、動作上限が200MHzでおさえられているのもこれに原因の一つがある。

以上で電荷蓄積ダイオードを利用したトンネルダイオード2進計数部について述べたが、動作周波数は特に向上しなかった。動作電源余裕度は比較的大きくとれるのでこの点で利点があると思われる。さらに周波数を上げるためには素子の特性に対する検討と回路の実装について更に検討することが必要と思われる。この場合多数のトランジスタやダイオードを使用することが有利か否かには問題があると思われる。

4.3.2 5進部の構成

電流切換形の集積回路で構成した5進計数回路について述べる。計数回路は3ビットにより構成されるが、この各ビットはゲート回路の組み合わせで構成する方法とJKフリップフロップを使用する方法が考えられる。前者について述べると、図4.34(a)に示す電流

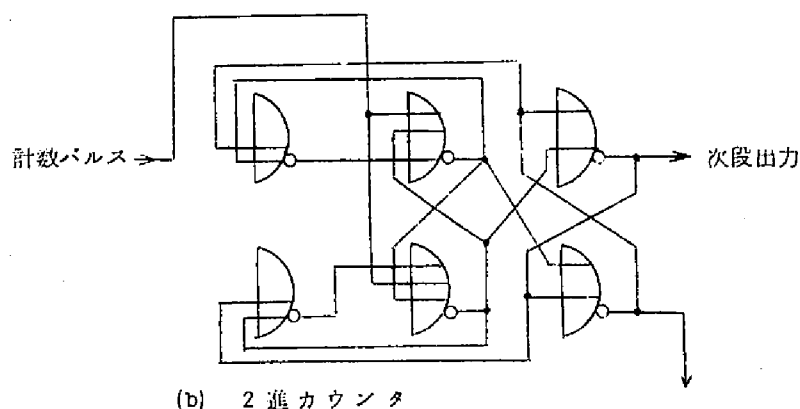
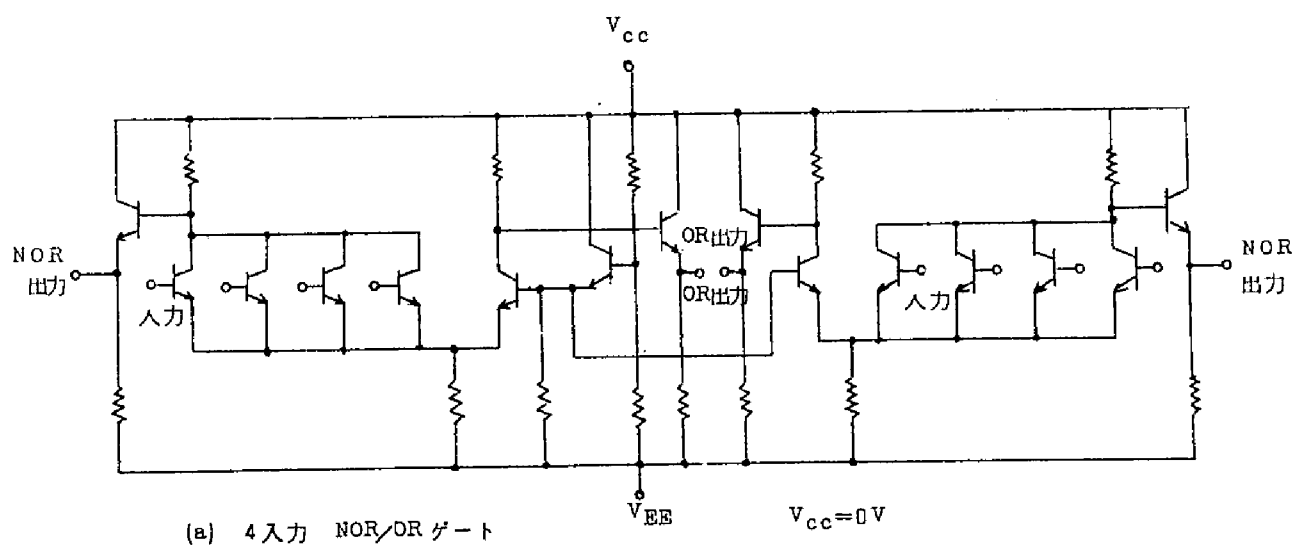


図 4.34 NOR/OR ゲート回路と計数回路線線図

切換 NOR/OR ゲートを使用し同図 (b) の結線により 1 ビットのフリップフロップが構成できる。ゲート回路の特性は表 6.3 に示すように 1 段当りの遅延時間 4 ~ 5 nS で現在の実用回路では最も高速の部類に属するものである。フリップフロップは直流結合回路であるから、レーシングを防止するため 2 個の内部フリップフロップを使用するいわゆるマスタースレーブ方式になっている。入力パルスの立ち上り部分で第 1 段のフリップフロップが動作し出力が共に低レベルとなる中間状態になる。入力パルスの立下り部分で第 1 段フリップフロップが反転した正常出力状態になると同時に第 2 段フリップフロップを反転させる。したがって全体の入出力関係は入力パルスの立下り部分で出力が反転する交流結合フリップフロップと全く同じになる。入出力間の遅延は最大でゲート 3 段分の遅延時間を必要とする。実測では出力が 0 → 1 に変化する場合に 5 nS, 1 → 0 の変化の場合に 8.5 nS である。前者はゲート 3 段の遅延の場合に相当し後者は 2 段の場合である。図 4.35

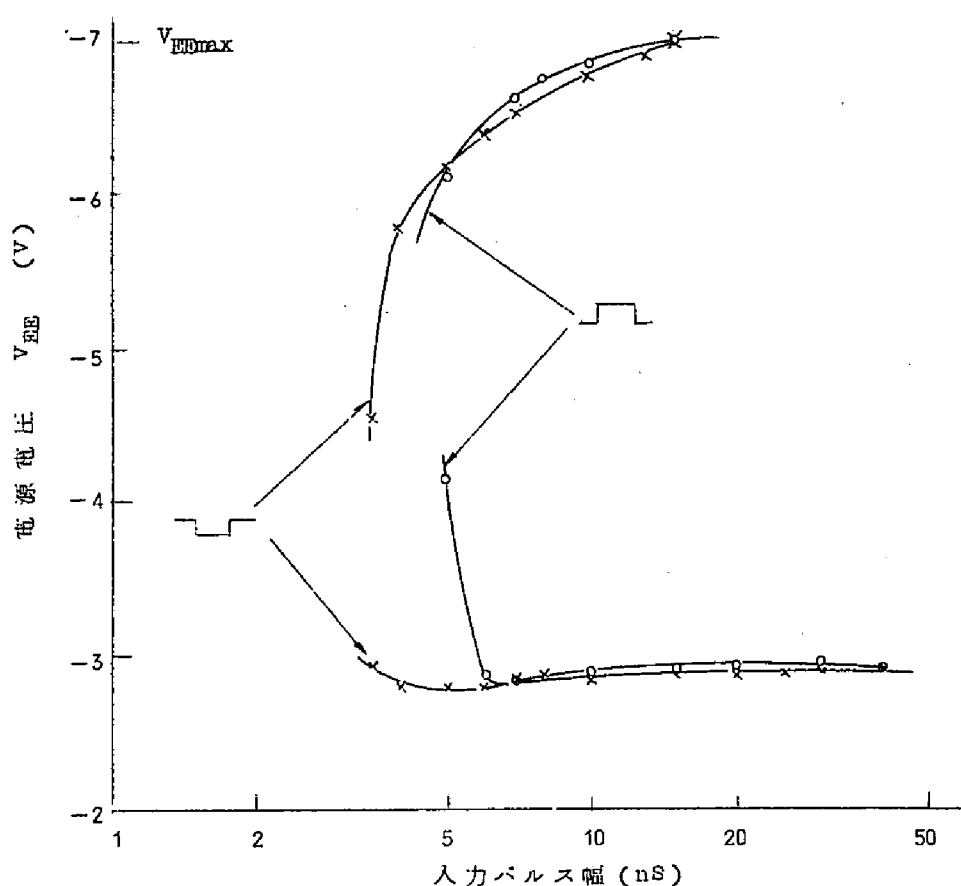
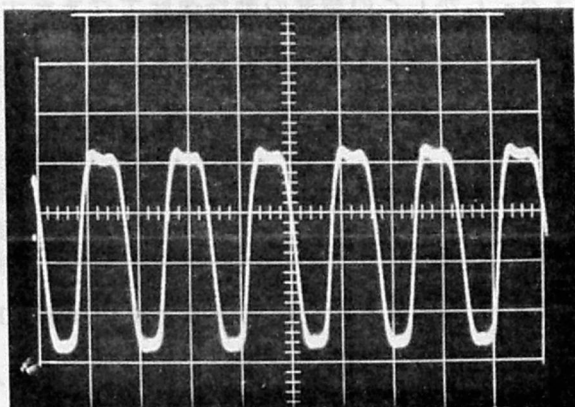
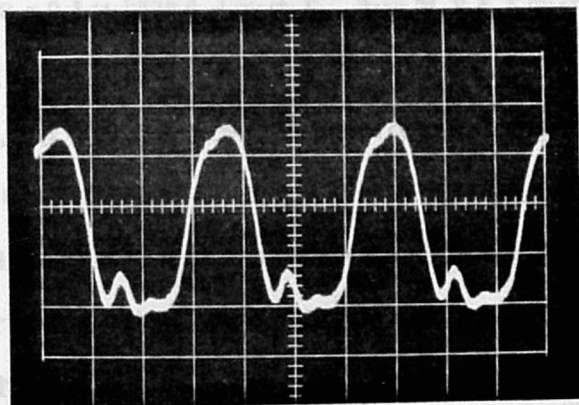


図 4.35 計数回路入力パルス幅特性 (入力周波数 5MHz)

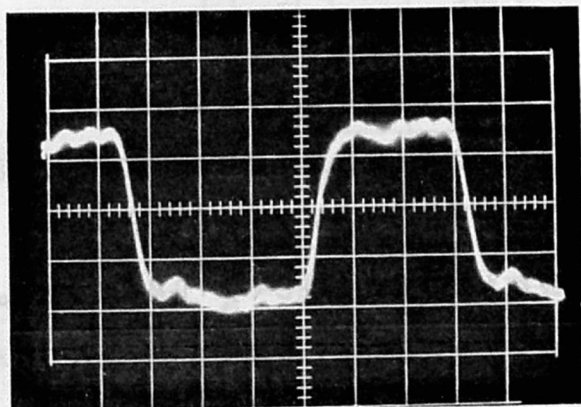
は入力パルス幅に対する動作特性を測定したものである。正方向パルス, 負方向パルス共に幅 5 nS 程度で動作するが, 実際に 100 MHz 計数回路をつくることはできない。これは 1 ビットの動作とは負荷条件, 入力パルス波形などが異なるためである。図 4.36 は 5 進



(a) 入 力



(b) 1 段目出力



(c) 2 段目出力

H: 10ns/div

V: 0.25V/div

図 4.36 NOR ゲート (CD2150) による計数回路

計数回路の入力と1段および2段の出力波形である。また図4.37はこの計数回路の動作周波数範囲である。60MHzまで動作する。しかしこの程度の動作速度ではまだ十分速いとは言えない。またこの形式のようにゲートを結線する方法では実装密度やゲート間配線などの点で速度の向上にも限界がある。したがって1ビットの計数回路全体が集積化されることが必要であり、その方向が将来の主流と考えられる。

次に集積回路JKフリップフロップを使用する場合についての実験結果を示す。使用した回路はM1027P(モトローラ)で図4.38に示すように交流結合の電流切換形JKフリップフロップである。この回路を計数動作させるには \overline{JK} 端子を共通にして入力パルスを加える。入力パルスの0→1の変化時にフリップフロップが反転する。この時の入力パルス立上り時間と出力の遅れ時間の関係を図4.39に示す。入力立上り時間が30ns以下では出力の遅れは一定で4~5nsであるが、30ns以上では入力に比例して出力が遅れる。これは入力波がスイッチレベルに達するまでの時間が優勢になるためである。また入力パルス幅に対する出力遅延時間特性は図4.40に示すようにパルス幅が10ns以下の場合に入力パルスの定常レベルによって差が生じ非常に遅くなる場合がある。次に出力に容量負荷がつくと一般に出力波形が劣下し遅延時間が大になるが、図4.41に示すようにこの回路では出力立下り部分の遅延時間の増加が非常に大きい。したがって容量負荷に対する制限は50pF以下となる。動作周波数は図4.42に示すように最高110MHzである。この速度は現在ではかなり速いものである。しかし図4.43に波形の写真を示すように110MHzになると波形は乱れてくる。このフリップフロップ3個を図4.44のごとく結線して5進計数回路を構成して動作させた。図4.45は最高動作周波数における波形である。(a)の0,1,2,3,4コードではフリップフロップが入力毎に反転する通常のリップル形計数回路と同じであるから、最高周波数も前の結果と同じく110MHzである。これに対して(b)の0,1,3,6,4コードでは各フリップフロップの動作は2個の入力に対して1回動作するようにコードの順序が選定されているので最高周波数は150MHzとなる。動作原理からすれば後者はまだ速度が向上する筈であるが、両者の差が小さいのは波形からみて実装上の問題で速度が制限されている。

この実験より集積回路化されたフリップフロップは100MHzの動作が可能であり、更に計数の方式を考慮して適当な組合せを考えれば50%程度の速度向上が可能であることがわかる。

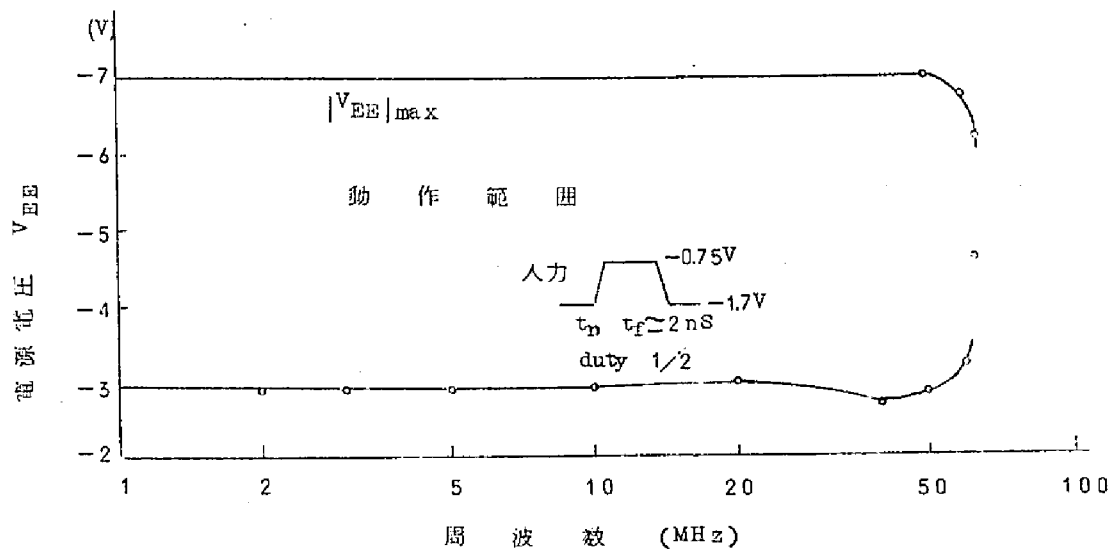


図 4.37 CD2150 を使用した 5 ビットリプルカウンタの周波数特性

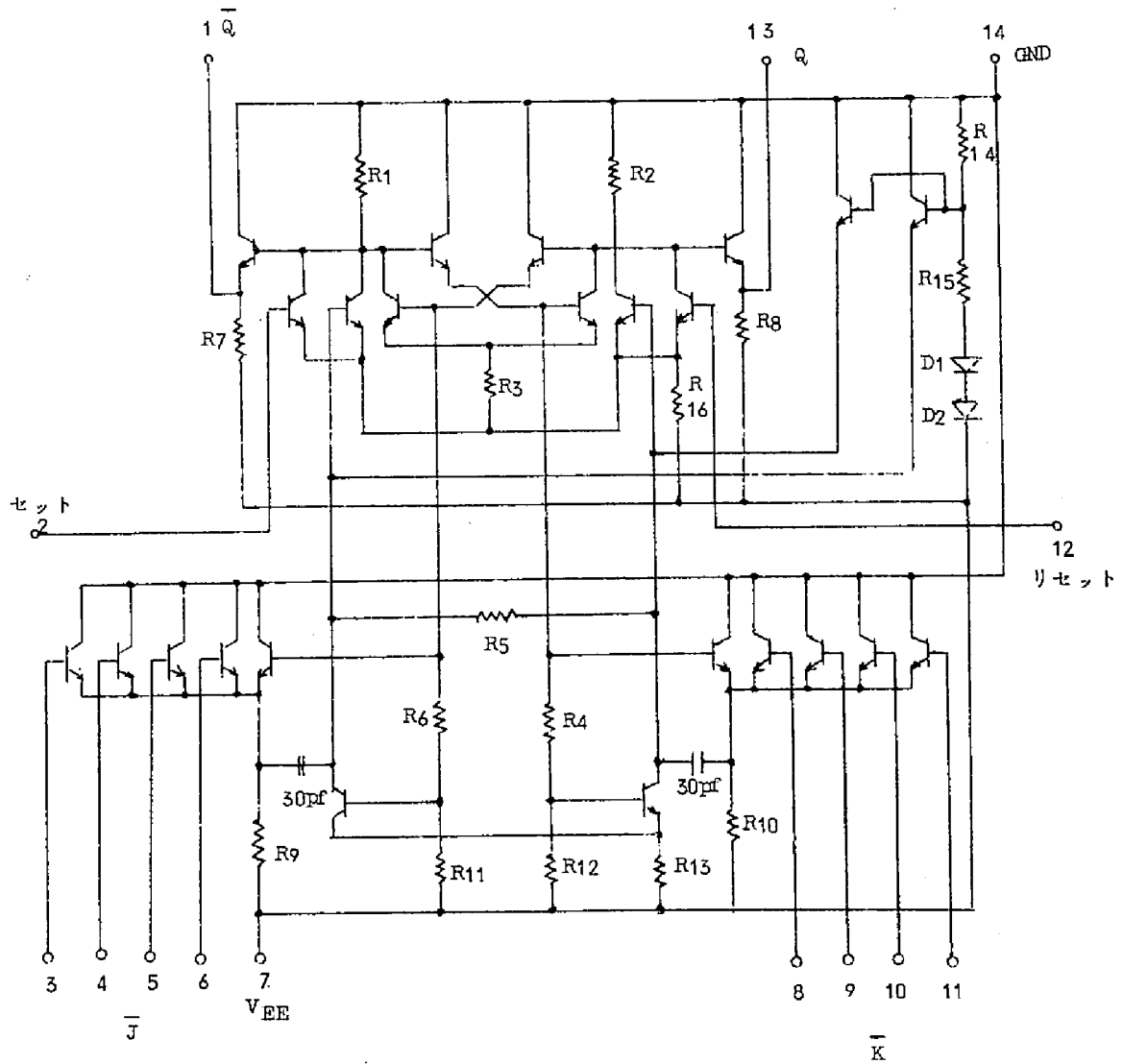


図 4.38 MC1027P JK フリップフロップ

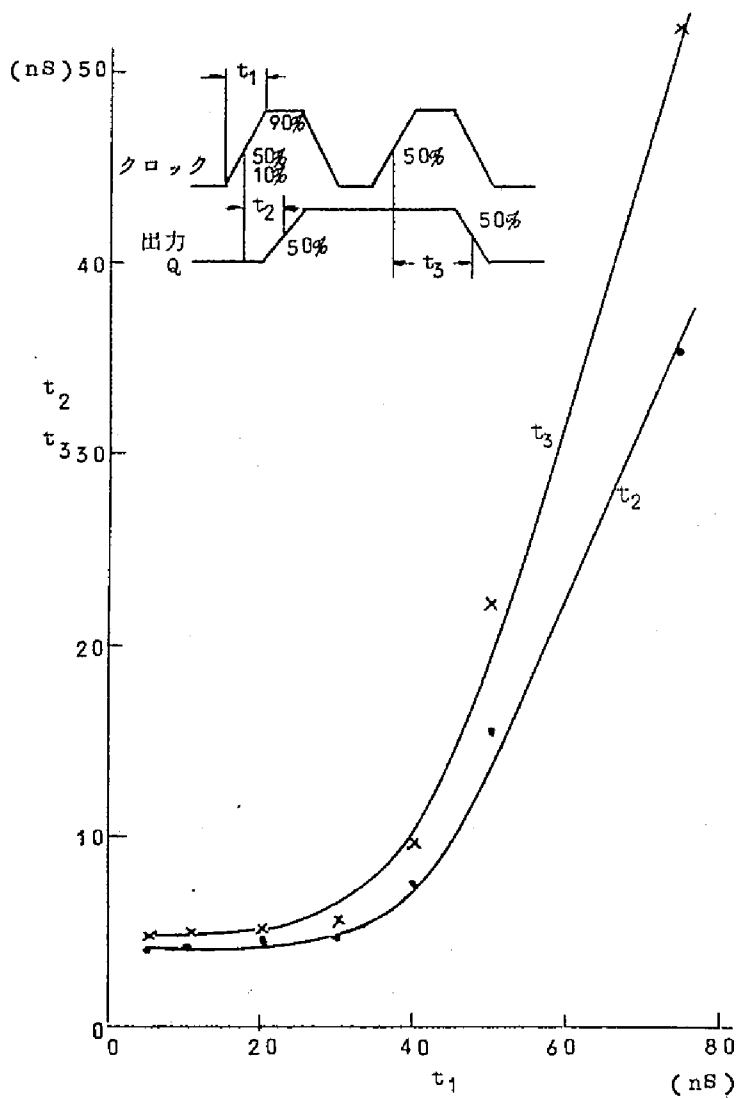


図 4.39 カウンタ入力パルス立上り時間と遅延時間

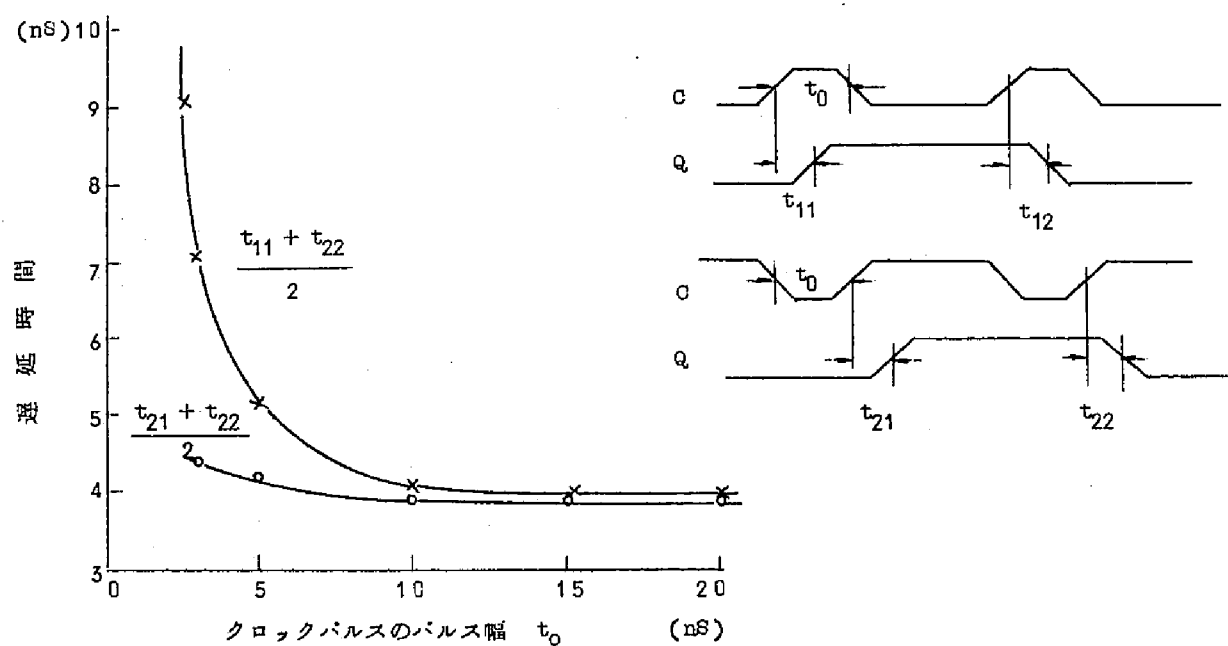


図 4.40 カウンタ入力パルス幅と遅延時間

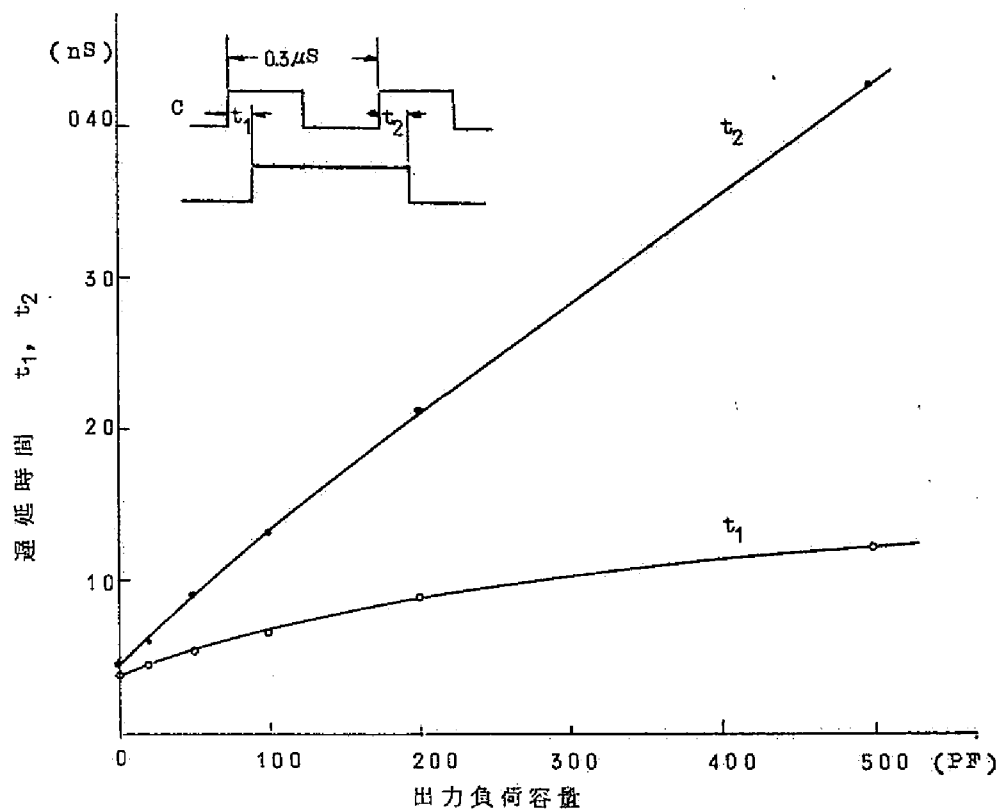


図 4.41 カウンタ出力負荷容量と遅延時間

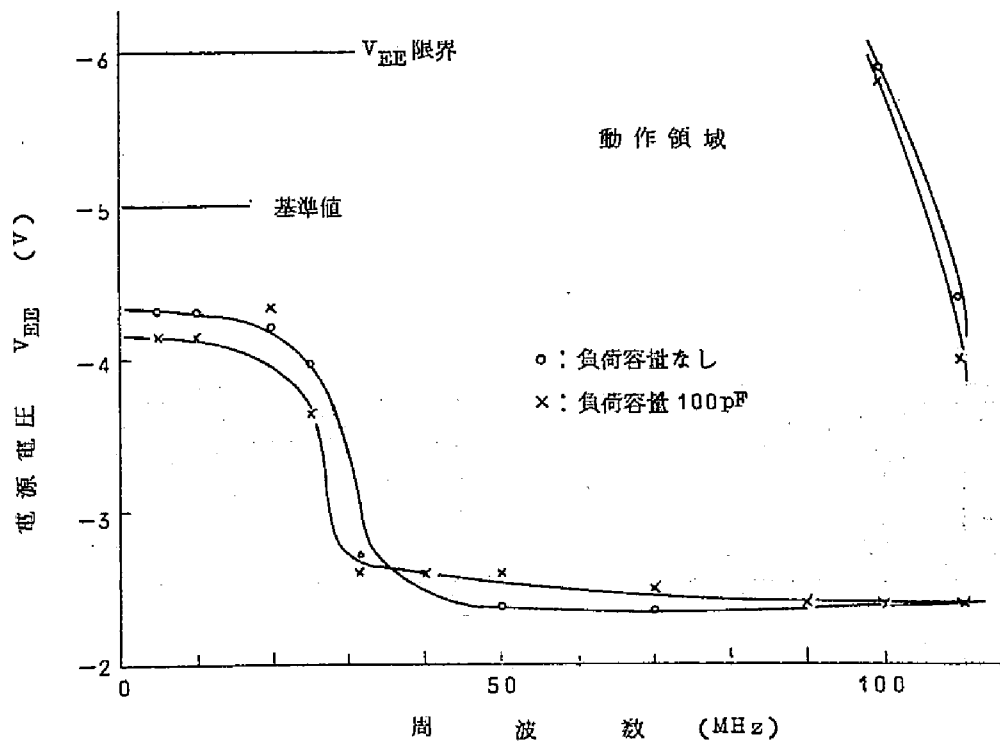
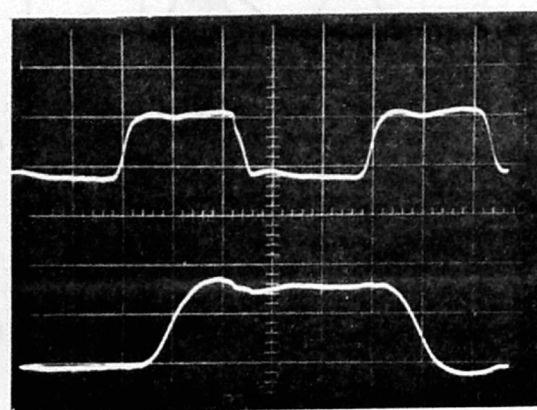
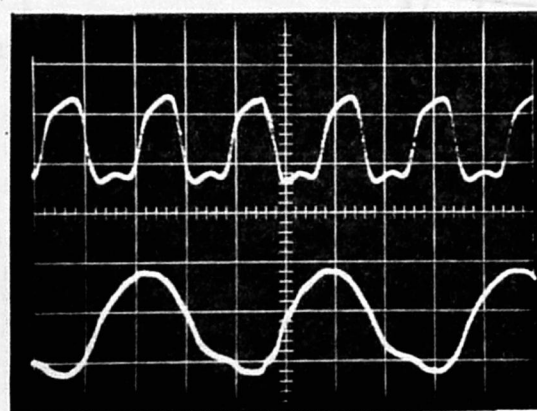


図 4.42 計数回路周波数特性



入力波形 (40MHz)

出力波形



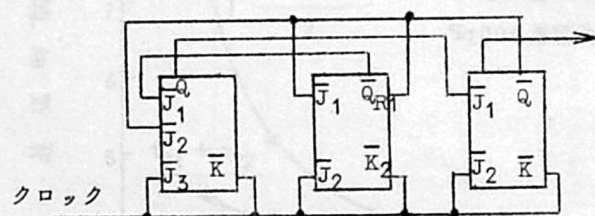
入力波形 (110MHz)

出力波形

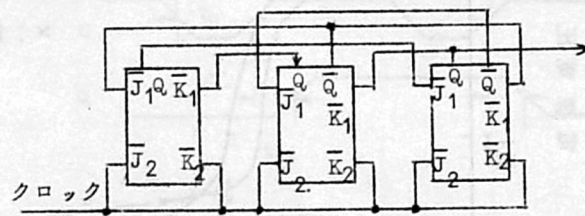
H: 5ns/div

V: 0.5V/div

図 4.43 JKフリップフロップのカウンジ波形

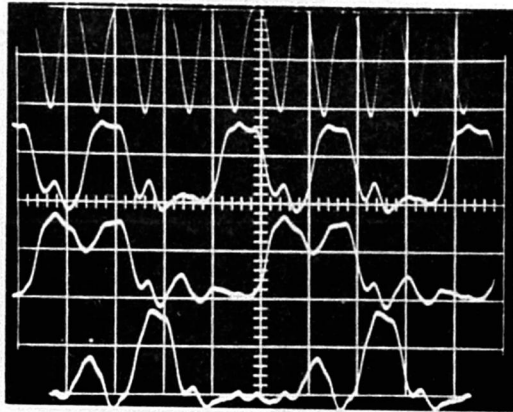


(a) 0. 1. 2. 3. 4.コード

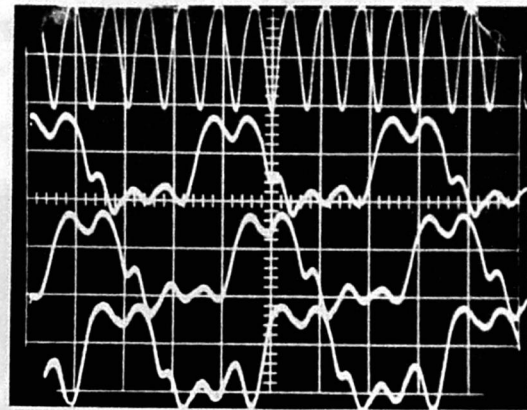


(b) 0. 1. 3. 6. 4コード

図 4.44 5進計数回路結線図



(a) 0, 1, 2, 3, 4コード



(b) 0, 1, 3, 6, 4コード

H: 10ns/div

V: 1V/div

図 4.45 5進計数回路出力波形

写真上より 入力, $\bar{\pi}3FF$ 出力,

$\bar{\pi}2FF$ 出力, $\bar{\pi}1FF$ 出力

4.3.3 総合結果と検討

前小節で述べた2進部と5進部を結合して2進5進形の10進計数回路を構成する。2進部のトンネルダイオード出力と5進部の集積回路と結合するためにパルスの整形とレベル合せをするための結合回路が必要となる。ここで使用した結合回路を図4.46に示す。

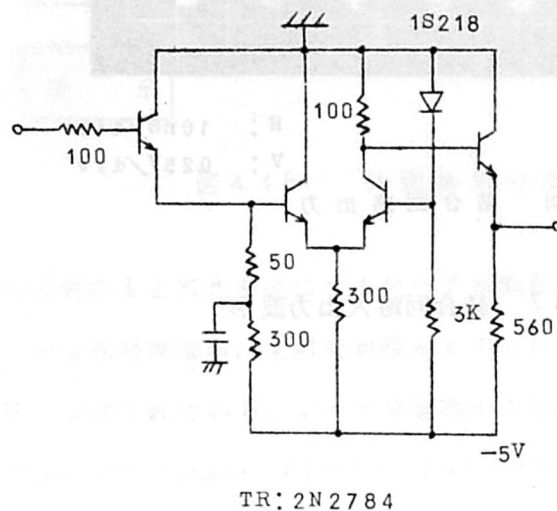
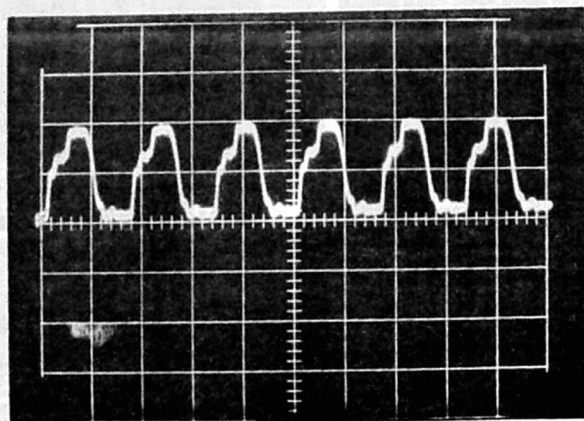
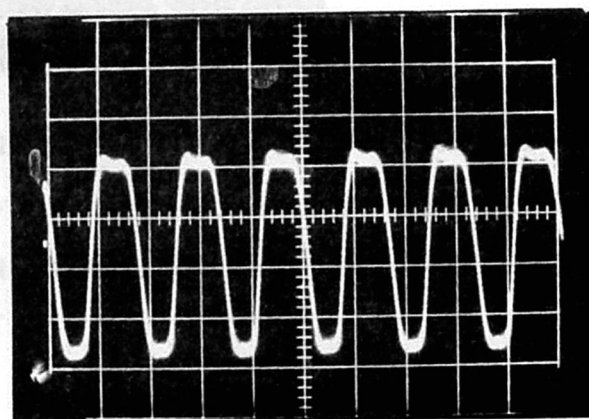


図 4.46 結合回路

エミッタホロワと差動増幅回路を使用している。入出力間の遅れ時間は 0.5 ns で、 0.5 V の入力を 1 V に増幅し、正レベル入力を集積回路規定の負入力レベルにシフトしている。波形を図 4.47 に示す。総合の 10 進計数回路の動作としては動作周波数 150 MHz に調



(a) 結合回路入力
(トンネルダイオード出力)



H: 10 ns/div
V: 0.25 V/div

(b) 結合回路出力

図 4.47 結合回路入出力波形

整したが最高周波数は実験的に200MHzまで得られている。この場合2進部の回路常数は図4.28(c)を若干変更している。全体として考えると5進部の動作速度に比較して2進部の動作速度が遅い。150MHzの10進計数回路としては前述の5進部の結果から考えて集積回路のみを使用し、適当なコードを選定した4ビットのコード形10進計数回路で実現できる可能性が大きい。したがって本来ならば2進部は300MHzまで動作するものを使用しないと利点が生じない。その意味でこの方式の150MHzの計数回路はあまり意味がなく、200MHzとしてもまだ不十分である。そのためには2進部のトンネルダイオード回路はもっと構成の簡単な通常のバイナリカウンタ回路の方が望ましかった。

4.4 レーザ測距装置への応用

第2節で述べたトンネルダイオード10進計数回路は本来レーザ測距装置に使用することを目的に試作したものである。本節では装置全体の概要と実験結果について述べる。レーザ測距はレーザ光のひろがり小さく細いビームにしぼることが出来ることを利用して、比較的近い距離にある物体の位置を正確に測定することを目的にしている。光を利用するので分解能は後段の電子回路の性能で定まる。ここでは距離精度1mの測定を行ない結果をデジタル表示することを考えている。測距装置は図4.48にブロック図を示すように、

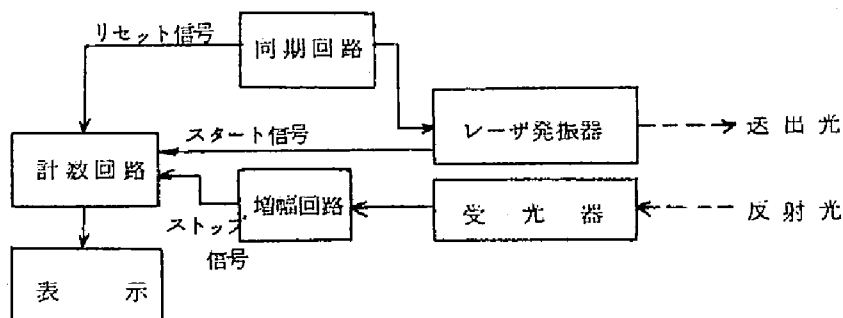


図4.48 測距装置の構成

同期回路の制御のもとに光を送出するレーザ発振器、反射光を受光して電気信号に変換する受光器、受信信号増幅器、反射光が帰るまでの時間間隔を量子化する計数回路、表示および電源より構成されている。レーザ発振器および受光器の構成を図4.49に示す。使用したのは常温動作のGaAsレーザ(RCA TA2628)で電流30Aで出力2Wのものである。⁽⁷⁶⁾ 出力光は9000Åの赤外光で50mmのレンズ系でコリメートを行ない、ビーム拡がりは12mrad以下である。電流の制御はSCR電流スイッチ回路で行ない、尖頭電流値

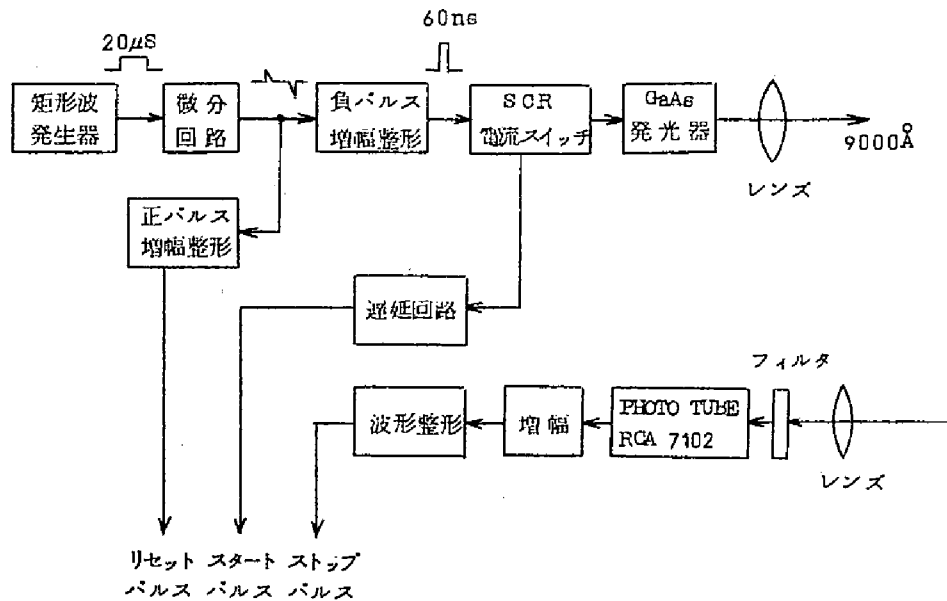


図 4.49 レーザ発振器および受光器

30A , パルス幅 60ns の電流パルスを加えている。受光は昼間でも受光出来るように赤色フィルタを通して光電子増倍管 (RCA 7102) に加える。この出力をトランジスタ増幅回路と波形整形回路で所要のストップパルスに整形している。計数回路に送るスタート信号は電流スイッチ回路より取り出している。遅延回路は電流スイッチ回路の動作から実際にダイオードが発光するまでの遅れを等価するためのもので、この時間は 84ns ある。またリセットパルスはスタートパルスより 20ns 前に出るように矩形波を微分してつくっている。半導体レーザは出力尖頭値が小さいので測定距離が短くなる。測定距離を大きくするために発光器、受光器共に種々の問題があるがレーザ自体はこの主題でないで細部は省略する。

本題の計数回路および表示部の構成は図 4.50 に示すブロックでできている。スタート

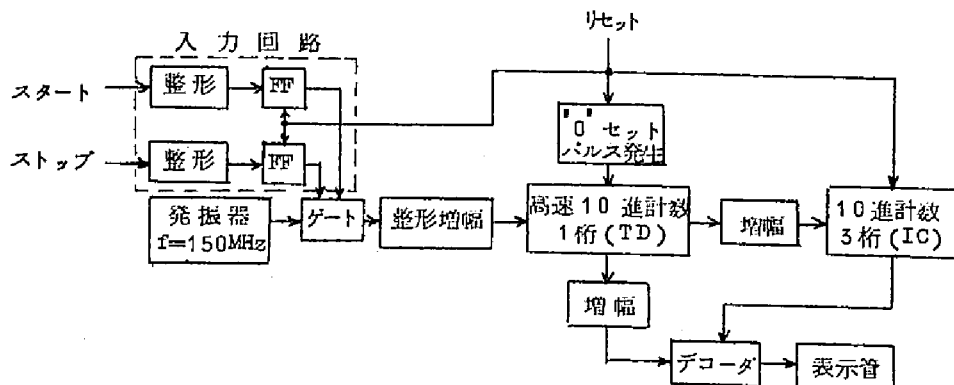


図 4.50 計数部および表示部

およびストップ信号はインバータ回路で振幅とレベルを整形してトランジスタフリップフロップ回路をセットする。図 4.5 1 に回路を示すようにスタート側のフリップフロップは

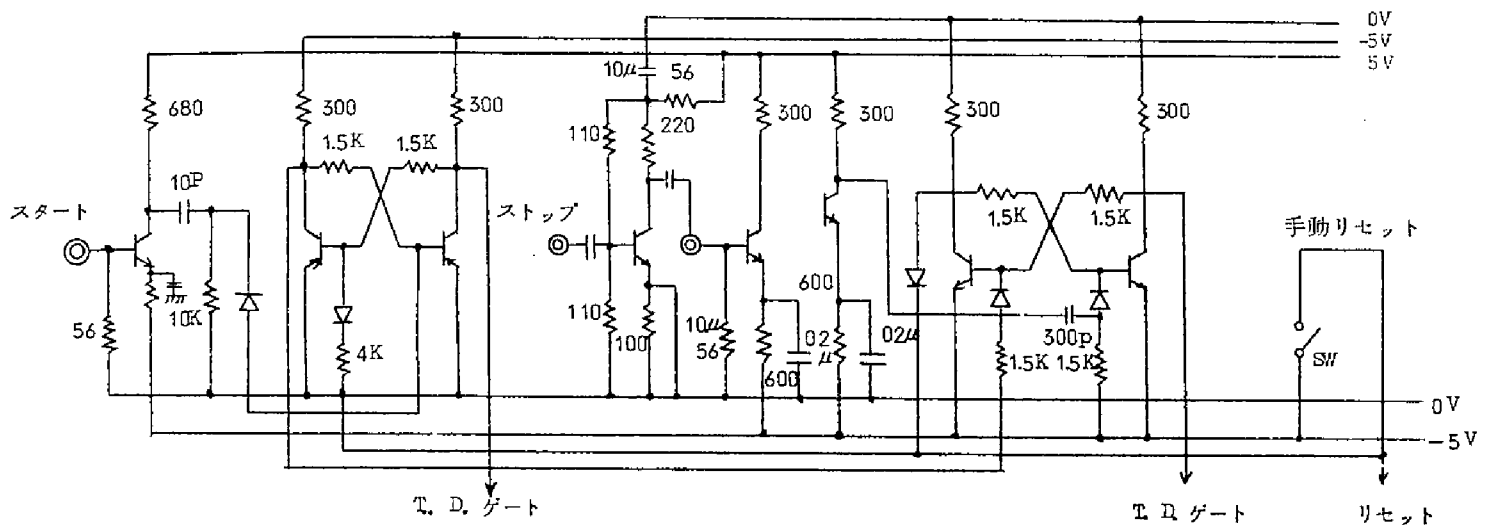


図 4.5 1 スタート、ストップ フリップ フロップ回路

PNPトランジスタ(2SA395)で出来ており、セットされると 0_V の信号を出しリセットされると $-5V$ となる。一方ストップ側のフリップフロップはNPNトランジスタ(2N2784)を使用しているので、セットされると $-5V$ の信号を出し、リセットされると 0_V となる。ゲートはトンネルダイオード単安定回路で図 4.5 2 に示すように入力側

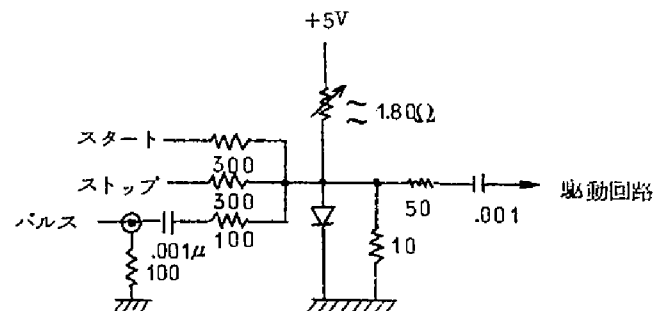
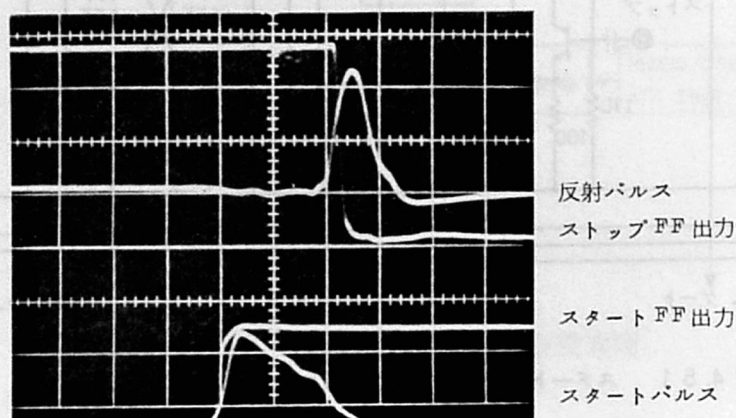


図 4.5 2 トンネルダイオードゲート

のアナログ和回路がゲート作用を行なう。スタート端子およびストップ端子が共に 0_V の時のみ入力パルスに反応するので、スタートフリップフロップがセットされてからストップフリップフロップがセットされるまでの間パルスを通す。計数パルスは150MHz水晶発振器の出力をトランジスタで増幅して使用する。高速10進計数回路は第2節で述べたトンネルダイオード計数回路を使用している。第10位桁以上の計数回路はTTL形集積

回路を使用している。使用したのはJK フリップフロップ SF253 (SUHL シリーズ) でこの回路の動作速度はカウンタ動作の場合約 25 MHz であるからこの場合には十分使用出来る。リセット回路は外部から入るリセット指示信号により、トンネルダイオード計数回路、IC 計数回路、入力回路フリップフロップに対してそれぞれ定められたレベルのリセット電圧を出すための回路である。図 4.53 にスタートパルス、ストップパルスおよび



H: 100 ns/div
V: 上より 1, 0.5, 1, 0.2 V/div

図 4.53 フリップフロップ出力波形 (距離 9 m のとき)

フリップフロップの出力波形を示す。この部分の動作は立上りだけが重要なので、フリップフロップの出力も 10 ns 以下の立上りになっている。図 4.54 はフリップフロップの入力特性を示すもので、使用しているスタートパルスは振幅 400 mV、ストップパルスは振幅 1 V 以上、パルス幅は共に 50 ns 以上となっているので図の条件を満足している。

このレーザの最大測定距離は昼間で白色散乱物の場合約 50 m、高反射物体の場合で約 70 m である。また現在のところ最小距離は 3 m である。長い距離の限界は反射光が背景光の雑音と区別出来なくなるためであるから、出力を増大する、高反射物体を使用する、フィルタなどで雑音をおさえるなどの方法により距離をのばすことが出来る。近距离の限界は反射光のレベルが大になるため後段の増幅整形回路の動作遅れが小になり、距離が直線的に検出されなくなるためである。図 4.55 の写真は 3 m 毎の反射信号 (ストップパルス) とフリップフロップの動作を示したものであるが、3 m までは等間隔に出たパルスが 1.5 m では非常にはやく出ているのがわかる。この現象は反射パルスの増幅回路に飽和性をもたせれば解決できる。計数パルスを発生する水晶発振器とレーザ光との間に同期関係が存在

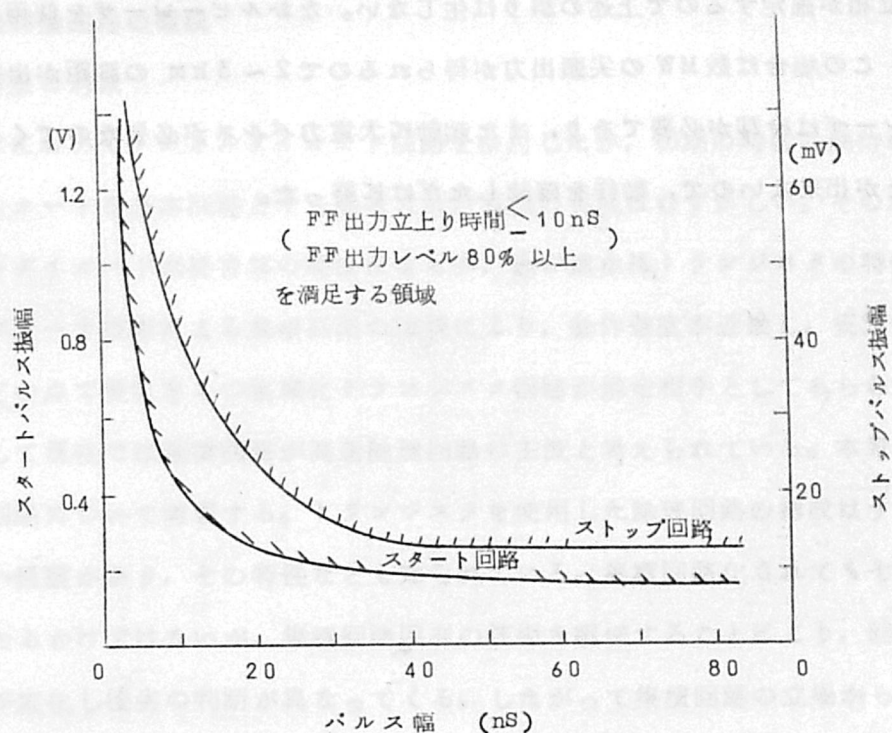
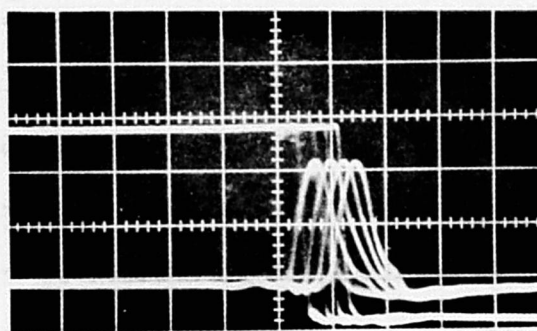


図 4.5 4 フリップフロップ入力特性



H: 100nS/div
V: 上より 1.0, 0.5V/div

図 4.5 5 反射信号の例 (距離左側より順に 1.5, 3, 6, 9 m のとき)
上より ストップ FF 出力
反射パルス

しないと測定結果に ± 1 の誤りがでる。このため水晶発振器出力を分周してレーザ回路の矩形波発生器のトリガ信号として使用する。時間の遅れはあるが計数パルスとスタートパルス間の位相が確定するので上述の誤りは生じない。なおルビーレーザを使用した実験も行なった。この場合は数MWの尖頭出力が得られるので2~3kmの測距が出来た。しかしルビーレーザは冷却が必要であり、また起動に大電力パルスが必要なのでくり返し発光させることが出来ないで、動作を確認しただけに終わった。

第5章 電流切換形論理回路

5.1 電流切換回路の概説

5.1.1 考察の対象

前章までにおいてトンネルダイオード回路を検討したが、初期の時代の期待に反してトンネルダイオードを基本回路とする高速大形計算機の実現はむずかしい。その理由の一つはトンネルダイオード回路自体の特性によるが、他の理由はトランジスタの特性の向上とシリコンプレーナ技術による集積回路の出現により、動作速度が近接し、安定性、実装性、小形化などの点で優位をもつ集積化トランジスタ回路が競走相手としてあらわれたことによる。そして現在では集積回路が高速論理回路の主流と考えられている。本章では高速論理用集積回路について考察する。トランジスタを使用した論理回路の構成はすでに離散素子でながい経験があり、その特性なども知られている。集積回路化されてもその性質が根本的に変わるわけではないが、集積回路固有の技術を駆使することにより、回路の評価項目の重みが変わり優劣の判断が異なってくる。したがって集積回路の立場から見た新しい評価を下すことは意味があることである。

トランジスタスイッチ回路では非飽和形回路の方が飽和形より速いことは良く知られている。集積回路化されてもこの関係は同じである。飽和形回路の高速化も研究され、実験的には非常に小さな寸法のトランジスタを使用することにより、スイッチの遅延時間 2.5ns という TTL (Transistor Transistor Logic) 回路が発表されている⁽⁷⁷⁾ が、高速論理回路としてはやはり非飽和の電流切換回路が中心になると考えられる。ここでも電流切換回路について考察をすすめてゆく。本節では現在までに発表されている電流切換回路の性能と解析について現況を述べる。集積回路化した時の動作速度向上のための検討を第2節で述べ、第3節にフィードバック路をもつ回路によるノイズマージン向上の問題について述べる。

5.1.2 高レベル電流切換回路

トランジスタの電流切換形スイッチ回路の考えは古く1957年に提案されている。⁽⁷⁸⁾ それ以後現在まで、離散素子回路では回路構成の変形が簡単であるからいくつかの変形回路が発表されているが、集積回路においては一番基本の回路形式が採用され、またこの形が一番動作速度がはやい。したがって回路の基本構成は全く変わっていないと云える。しかし動作速度はひき続き向上して来ているので、ここではいくつかの回路についてその性能

を簡単に述べる。

最初に提案された回路は図 5.1 の構成をしていた。図(a)は動作原理を示すもので、比較

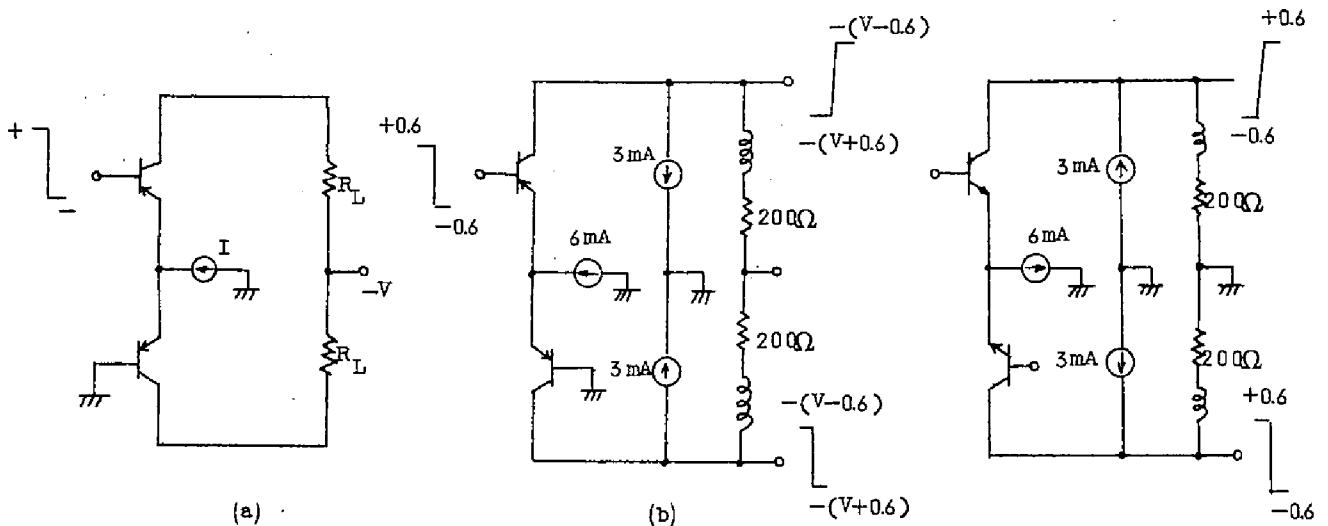


図 5.1 最初に提案された電流切換回路

電位をアースにとった時入力電圧レベルは ± 0.4 Vあれば良い。この信号振幅 0.8 Vと云う値はシリコントランジスタのベースエミッタ接合によってきまるもので、一つの基本的な値になる。集積化した回路では 0.8 Vの信号振幅のものが一般的であるが、離散素子で構成される回路は従来の飽和回路との関連性などから信号振幅を大きくとったものが多い。ここでは信号振幅 1 V以上のものを高レベル電流切換回路と呼ぶことにする。この高レベル電流切換回路の特徴は

- 1) 信号振幅が大きいので他種の回路への接続が容易で取扱いやすい。
- 2) 論理段にダイオード論理回路が使用できる。したがって電流切換回路はレベル再生段として使用し、2～3段の論理と1レベル再生段で論理ブロックを構成出来るから論理段当りの信号遅延時間を小にすることができる。
- 3) レベルシフトにツェナーダイオードなどが使用できる。またレベルシフトは全論理回路に分担させることができる。
- 4) 放熱の問題の解決が容易なので消費電力が大きくとれる。したがって信号レベルが大きいにもかかわらず動作速度をはやくすることが出来る。

などにある。図 5.1 (b)は実際の回路として提案されたもので、PNP と NPN トランジスタ回路を交互に接続するコンプリメンタリ形の構成になるように電圧レベルが定められている。信号レベルは ± 0.6 Vで、カットオフ周波数 70 MHzのドリフトトランジス

タを使用して段間遅れ時間は9～10ns（4段で35～40ns）である。入力側はトランジスタを並列に使用するトランジスタゲートになっていてNOR/OR動作を行なう。

この基本回路が発表されてから、その高速度性に注目し種々の検討が行なわれた。その一はコンプリメンタリ形では同等の特性をもつPNPとNPNの2種のトランジスタを準備することは一般に困難が伴うので、実用上1種類のトランジスタを使用する回路を開発することである。1960年に発表されたBuelowの論文では⁽⁷⁹⁾ NPN トランジスタを使用した回路が示されている。この回路では図5.2に示すようにツェナーダイオードをレベル

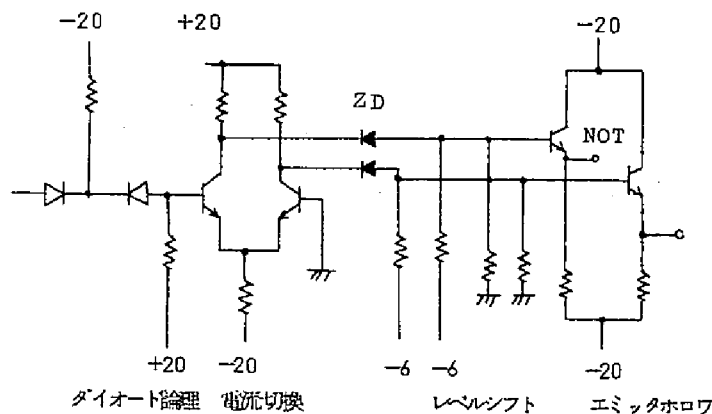


図 5.2

NPN トランジスタを使用した実用回路

シフトに使用した標準的な構成をとり、論理の構成はAND/OR-EF（エミッタホロワ）2段とAND/OR-INV-EFの形をしている。論理1段当りの遅れは1.7ns，ブロック当りの遅れは20nsと云われ，動作速度は飛躍的にはよくなっている。その二は電流切替動作を2段ないし3段使用して，単純なゲートより複雑な動作を行なわせ，全体として動作速度をはやくしようと云う考えである。コンプリメンタリ回路を使用した加算回路の例⁽⁸⁰⁾，PNPトランジスタ回路による加算回路，3ビット2進10進変換回路⁽⁸¹⁾の例などが発表されている。この様な考え方は離散素子回路では実用化されたとは云えないが，後に述べる様に集積回路においては高密度集積化の技術の発達により，現在興味を集めている問題の一つであり実用化がすすめられている。例えば図5.3に示す2進10進変換回路を構

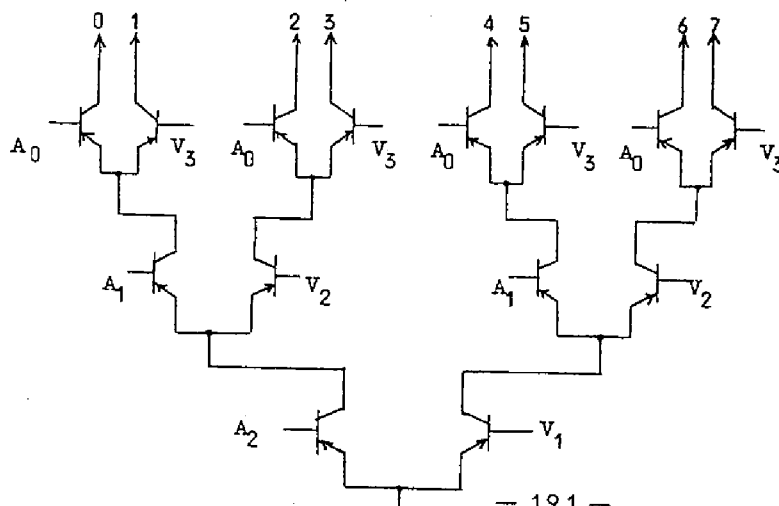


図 5.3

3 ビット 2 進 10 進変換回路

成している枝状電流切換の考え方は、後出の図 5.15 の集積加算回路の構成の考え方と全く同じであり、更に第 7 章の直列電流路切換回路の考えの基礎になるものである。上述のと、複雑な回路を構成し全体としての速度をはやくするという考えようにゲート回路を簡単な形にして高速化すると云う考えは表裏をなしているといえるが、分散回路においては主として前者が問題になっている。以下には実用されたいくつかの例を上げてその性能を述べる。

初期の例としてはシリコンメサトランジスタ、シリコンおよびゲルマニウムダイオードを使用した KTP 計算機回路の例⁽⁸²⁾がある。次いで HITAC5020 の回路が発表されている⁽⁸³⁾。これは図 5.4 に示すように 18MHz 2 相のクロックを使用し、半相間 27.8ns

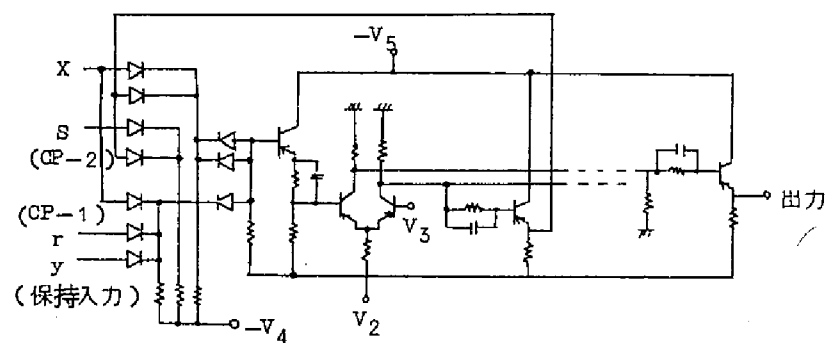


図 5.4 HITAC5020 の回路

の間にダイオード AND/OR 回路とエミッタホロワ EF が 2 段入る。インバータが電流切換回路になっていてレベル再生を行なう。インバータの入力側にはハザード防止とクロックパルスの位相余裕をとるためのダイオード論理回路がついている。インバータの遅れ時間は 6.5 ns で全体として論理 1 段当りの遅れ時間は 2.1 ns である。消費電力はブロック当り 300mW である。図 5.5 は NEAC L2 に使用されたもので⁽⁸⁴⁾、正弦波 10MHz

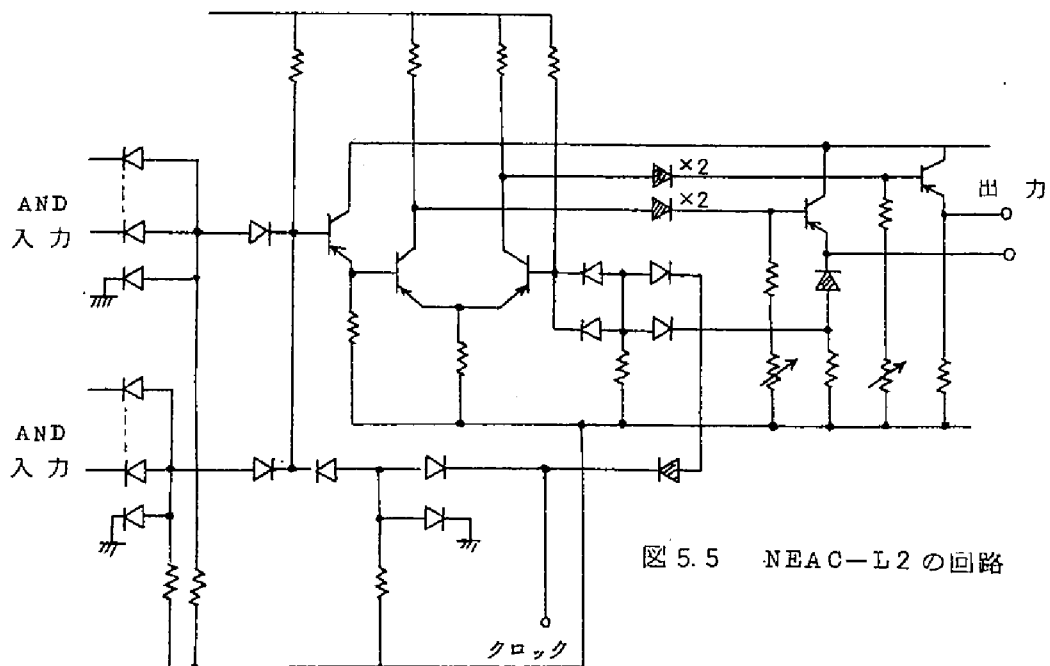


図 5.5 NEAC-L2 の回路

2相のクロックを使用し、AND/OR-EF-AND/OR-INVの構成をとっている。論理はダイオードで行ない、インバータが電流切換回路になっていてレベル再生を行なう。インバータ回路にはレベルシフト用のダイオードが入っており出力はエミッタホロワで出す。

図5.6はETL MK-6の回路であるが⁽⁸⁵⁾⁽⁸⁶⁾、この回路は8MHz 2相のクロックを使

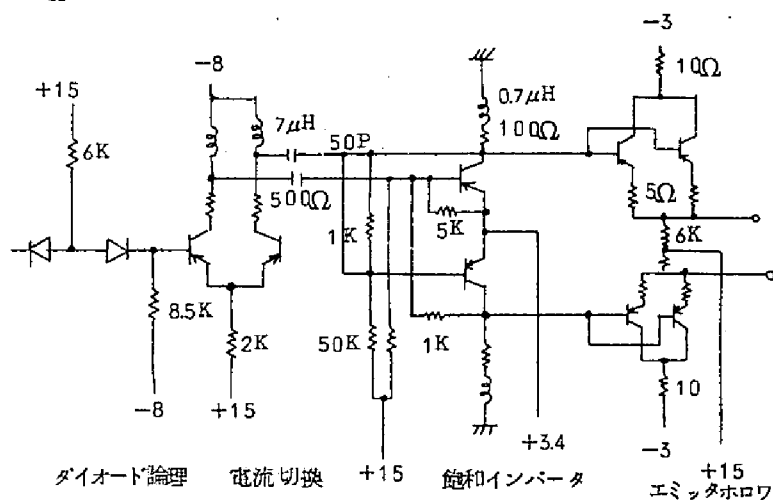


図 5.6 ETL-MK6 の回路

用しAND/OR-EF 3段とAND/OR-INV-EFの構成をとっている。インバータは特殊な形をしており、電流切換回路と飽和フリップフロップ回路を従続に接続してレベル再生を飽和回路が行なっている。飽和回路の動作速度は一般におそいので、ここでは両トランジスタのベースを同時に逆方向に駆動して速度をはやめている。しかし全体としてやや遅い感じがする。図5.7はILLIAC-Ⅱに使用された電流切換形のインバータ回路である⁽⁸⁷⁾。一万のトランジスタをダイオード

におきかえ、レベルシフトは抵抗分圧回路を使用している。ファンアウトは5で動作速度は10~20ns、信号振幅は出力端で5.7Vと大きい。この計算機では遅れ時間4ns程度のエミッタ結合AND/OR回路を別に使用して論理を行なっている。図5.8は超多重PCM 端局用の論理回路として発表されたもので、正帰還をかけた特殊な形式の電流切換回路である⁽⁸⁸⁾。初段のトランジスタ Q_1 、 Q_1' 、 Q_1'' と Q_2

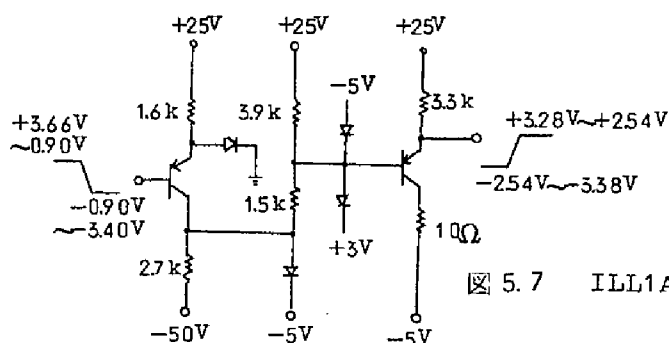


図 5.7 ILLIAC-Ⅱ回路

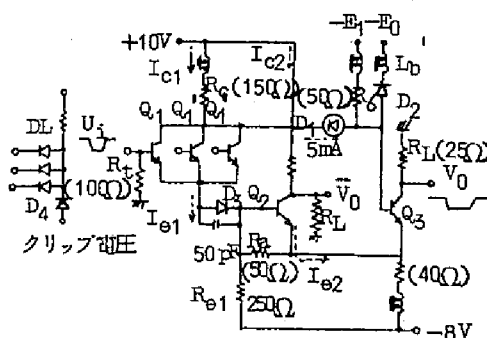


図 5.8 正帰還論理回路

は常時オン、 Q_3 はオフで3入力 NAND/AND 回路として動作する。 Q_1, Q_1', Q_1'' に入力負パルスが入るとこれらのトランジスタを流れていたエミッタ電流は Q_3 側に切りかえられエミッタ電位が降下する。このエミッタ出力は Q_2 により Q_3 のエミッタへ伝えられる。一方コレクタは電位が上昇するからこの信号は Q_3 のベースに伝えられる。両出力の位相はよく一致するので Q_3 は急速にオンになり Q_2 はオフとなる。 Q_1 のコレクタと Q_3 のベースはレベルシフトのツェナーダイオードで直流結合されるのでヒステリシスは存在しない。ダイオード D_3 は Q_2, Q_3 に適当な電位を与えるためのレベルシフト用である。この回路は論理値“1”, “0”に負電圧と0電圧を対応させている。入力側にはダイオードOR論理回路を結合することができる。信号の遅れ時間は1.1~1.3 nsで通常の電流切換回路と同程度である。信号振幅は1.5 Vで消費電力は約1 Wである。通常の電流切換回路に対して振幅が大、分岐出力数大、出力直流値の設定が容易などの利点があるが消費電力がやや大きいようである。

5.1.3 低レベル電流切換回路

低レベル電流切換回路は信号振幅0.8 V以下の電流切換回路をとりあげる。この中に入るものはモノリシック集積回路および混成集積回路で、今後の高速論理回路の主流をなすと考えられるものである。したがって高速化への努力も広く行なわれ、現在でもいくつかの論文が発表されている。そしてゲート単体の速度は信号の遅れ時間が1 ns以下まで向上してきた。低レベルの電流切換回路ではレベルシフトに1個のシリコンPN接合の電位降下を使用する。通常これにエミッタホロワのベースエミッタ接合を利用する。また電流切換回路では各抵抗の値自体の精度よりもコレクタ抵抗とエミッタ抵抗の比を問題にするので集積回路には有利である。またモノリシック集積化するために生ずる浮遊容量の影響も信号振幅が小さいことにより軽減され、配線長によるインダクタンスの影響が除かれることと共に高速化に有利になっている。しかし動作速度がトランジスタの理論値に近づくにつれて、これらの浮遊容量の影響が無視出来なくなることは当然で、この段階ではモノリシック集積回路の適否が問題になる

であろう。

集積回路に入る前に離散素子回路で構成した低レベル電流切換回路の例を一つ上げる。これはIBMで行なわれたACP回路と名づけられているもので、シリコントランジスタを使用した小振幅電流切換回路である⁽⁸⁹⁾。図5.9に示すように通常の電流切換スイッチにトランジスタ直列回路を併用してwired-ANDと

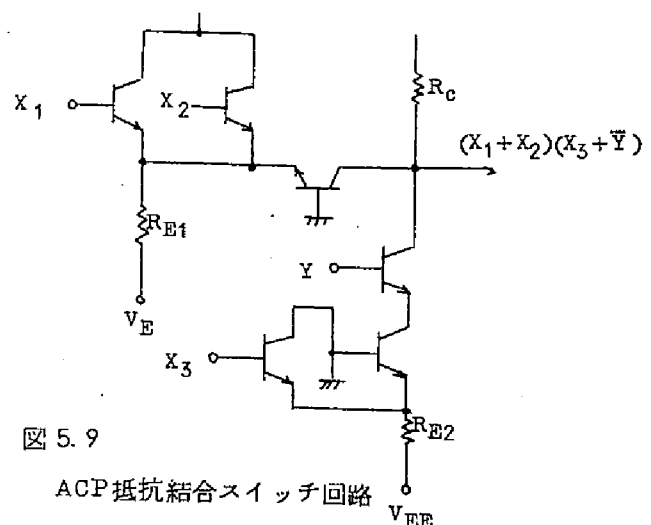


図 5.9

ACP抵抗結合スイッチ回路

Implication の機能を与え論理能力を増加させている。信号振幅は 0.4 V , 雑音余裕は 55 mV , 論理回路の遅延時間は平均して論理部 1.6 ns , 配線 0.6 ns , 合計 2.2 ns , 回路当りの平均消費電力は 50 mW で 3 入力 3 出力を標準に設計されている。別にドライバーはトンネルダイオードを使用した回路があり, 70Ω の伝送線路を駆動できる。この回路では離散素子を使用することを考えているが, 信号振幅が小さいので実装には高密度実装が必要である。実際には後で述べるハイブリッド集積回路 ASLT に発展して実用化されたものである。

集積回路 (以下特にことわらない限りモノリシック集積回路を指す) 化された電流切換回路の市販品としては表 5.1 に示すものが知られている。この他にも試作品的なものはあるが特性に大きな差がないので省略した。一番最初に発表された MECL は⁽⁹⁰⁾, 電流切換回路の基本形とも云える形をしているもので, 電流切換部とレベルシフトを行なうエミッタホロウより構成されている。信号レベルを負電圧にすることにより電源を 1 種類にしているが, 比較電圧を供給するバイアスドライバ回路が別に必要となる。トランジスタは $f_T = 300\text{ MHz}$, $h_{FE} = 30$, $C_O = 5\text{ PF}$ 程度の特性をもち電流 $4 \sim 6\text{ mA}$ の比較的低レベルで使用している。ゲートの遅れ時間は $5 \sim 6\text{ ns}$, 立上り立下り時間は 10 ns であるが比較電圧が変化すると遅れが増加する。また負荷が大になると出力エミッタホロウの特性によりこの部分の遅れ時間が増加するのでゲート全体としてみた遅れ時間も増加することになる。10 個の負荷をつけた場合に遅れは $8 \sim 16\text{ ns}$ である。したがって直流計算による最大ファンアウトは 26 であるが実用上は 10 程度である。現在では電流切換回路としては低速の部類に属する。飽和回路でもこれより速いものが実用されている。SN 7000 は正負 2 種類の電源を使用し, 比較電圧を零電位にとった電流切換回路である。⁽⁹¹⁾ 信号レベルは正負対称に $\pm 0.4\text{ V}$ となる。この回路は 100Ω の伝送線路を負荷にすることができ, 終端整合が簡単にとれる利点がある。ファンアウト数を制限することによりゲートの遅れ時間は $4 \sim 5\text{ ns}$ である。MCML, ECCSL は同じ回路構成でほぼ同じ特性をもつゲート回路でスペクトラ計算機用に開発された電流切換回路である。⁽⁹²⁾ 回路は MECL と同じ 1 電源の基本形をしているが, 比較電圧を発生する回路を内部にもっている。図 5.10 に回路を示すがこの形式が最も一般的な集積化電流切換ゲートである。遅れ時間は軽い負荷の場合には 4 ns , 重い負荷で $6 \sim 8\text{ ns}$ で 100Ω の線路が結合できる。トランジスタの f_T は 500 MHz 程度のものを使用している。ほぼ標準的な動作速度をもつ回路である。この回路にはゲートが 2 種類しかない。このファミリをそろえて一般用のシリーズにしたものが MECL II である。電気的特性は MCML とほぼ同じであるから, MECL と比較すれば種々改良され速度もはやくなっている。特にドライバ回路は単体の遅れ時間が $2 \sim 3\text{ ns}$ と高速である。E²CL は電流切換回路であるが他のものと少し考え方を変え

表 5.1 電流切換集積回路一覽表 (1968.6現在)

名 前	電 源 電 圧 (V)	消 費 電 力 (typ)	信 号 レ ベ ル (V)	ノ イ ズ マージン (V)	フ ァ ン ア ー ク ト	終 端	ト ラ ン ジ ュ ン 時 間 (ns)	遅 れ 時 間 (ns)			容 器	フ ァ ミ リ	メーカ	
								公 称	実 測*					
									負 荷 小	負 荷 大				負 荷 小
MECL	-5.2	50~70 mW/gate	-0.75 -1.55		5 max26		60~12 (F/D=1)	58~12 (F/D=1)	83~16 (F/D=10)	6.5 (F/D=0)	126 (F/D=10)	TO-5 FP	12	MOTOROLA
SN7000/ 7001	+1.25 -3.5	40 mW/gate	+0.4 -0.4	0.25	typ 3	100Ω		40~50 (F/D=1)		3.0 (F/D=1)	5.0 (F/D=10)	FP	2	TEXAS
MCML	-5.2	160~230 mW/pak	-0.65 -1.53		max10		40~50 (F/D=1)	40~50 (F/D=1)		4.0 (F/D=1)	7.0 (F/D=10)	FP	2	MOTOROLA
ECOSL	-5	150~220 mW/pak	-0.8 -1.6	0.35	6+100Ω 12	100Ω	4.9~6.6	3.6 (F/D=1, 10PF)	66~82 (F/D=6, 60PF)	4.0 (F/D=1)	8.0 (F/D=10)	FP	2	RCA
MECLII	-5.2	100~160 mW/pak	-0.8 -1.8		min15		max90 (F/D=1)	5.0 (F/D=1)		3.3 (F/D=1)	5.3 (F/D=6)	FP DIP	13	MOTOROLA
E ² CL	-4	60 mW/gate	-0.01 -0.70	20%	min 3	75Ω	2 (F/D=3)	2 (F/D=3)		3.0 (F/D=1)	7.6 (F/D=10)	FP DIP	6	W. H.
μL1228	-5	170~270 mW/pak	-0.83 -1.67			50 Ω to -12 V	0.9~2.2 (50Ω)	1.4~1.6 (50Ω)		1.45*** (F/D=1)	1.6*** (F/D=6)	FP	5***	Fairchild

*特に記述なきときはP O法による *ミリング共振法による測定 ***未完成を含む

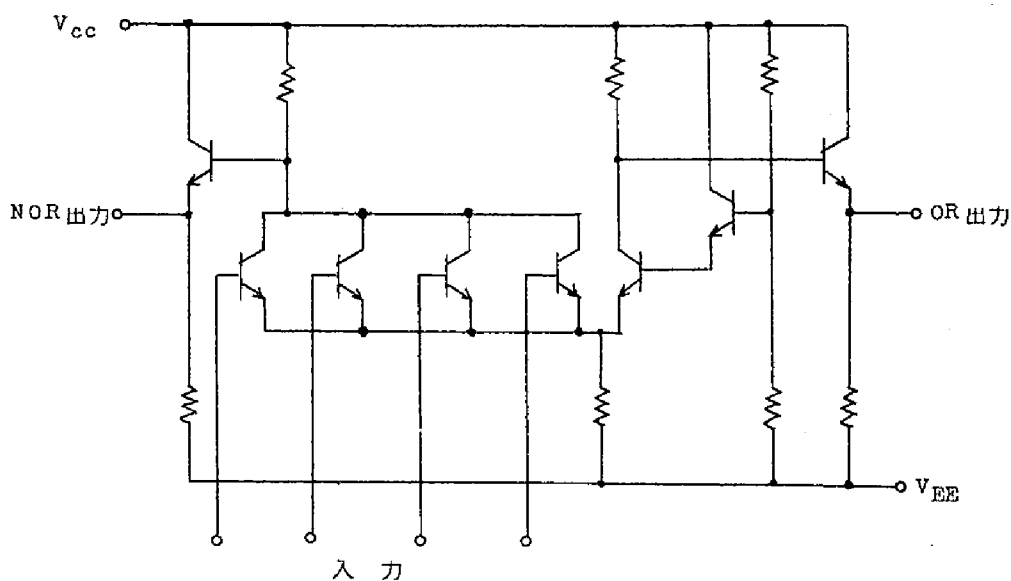


図 5.10 CML回路 4 入力 NOR/OR ゲート

て、入力をエミッタホロワでうけて電流スイッチ回路のコレクタから直接出力を出す形になっている。入力側にエミッタホロワがつくためファンインの影響はほとんどなく入力回路は安定化されるが、出力が高インピーダンスのコレクタから取り出されるため出力回路の浮遊容量の影響などが大きく出る。信号振幅は 0.7 V でレベルを 0 V と -0.7 V と高い方へよせている。したがって 75Ω の伝送線路をつけた時の終端整合はとりやすくなっている。ゲートの遅れ時間は $2\sim 3\text{ ns}$ とはい。現在開発中の試作品として MECLⅡ, $\mu\text{L}1228$ の 2 種類がある。これ等は回路形式としては標準形をしているが、消費電力による熱の影響を考慮して出力エミッタホロワのエミッタ抵抗を外すけにしている。直流特性は従来の標準のものと同じであるが、トランジスタの性能をあげ容器の大きさも小さくすることにより、無負荷の時のゲート遅れ時間が $1.1\sim 1.7\text{ ns}$ となっていて、電流切換形の集積回路の中では最もはやいものになっている。

電流切換回路の特性を改善する試みは種々行なわれている。その一つとして比較電圧に出力をフィードバックする方法がある。

フィードバックには入力に対して逆相出力をフィードバックする正帰還と同相出力をフィードバックする負帰還形の 2 種が考えられる⁽⁹³⁾。逆相出力を帰還する正帰還形の回路を図 5.11 に示す。これは改良形で出力段についている電流切換回

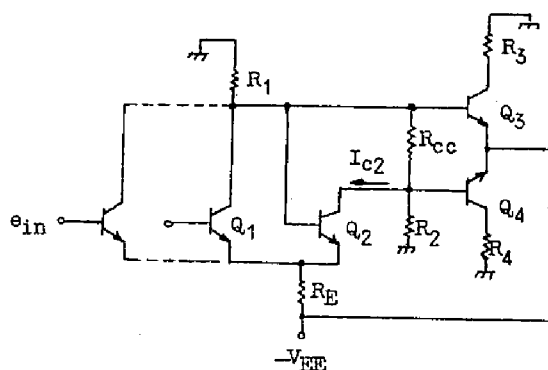


図 5.11 改良形の正帰還回路

路は逆相出力側の影響が直接比較ベースに入るのをふせぎ、同時に出力数を大にするために入れている。単純な正帰還回路では負荷直線が固定するので入力数によりスレッシュホールドレベルが変化し、またスイッチの方向によりスレッシュホールドレベルにヒステリシスが出る。図 5.12 に示すように抵抗 R_{CC} を入れることにより、高いレベルから低いレベルに

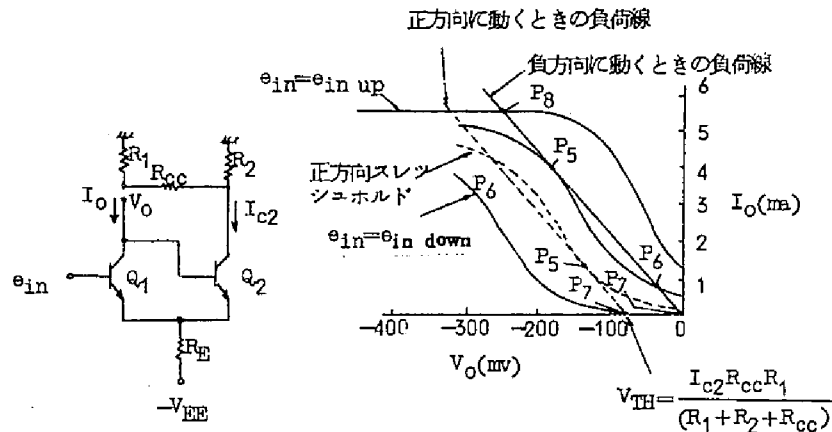


図 5.12 正帰還回路の出力特性

スイッチする場合と逆方向にスイッチする場合とで負荷線が抵抗 R_1 , R_{CC} , R_2 により分圧された量だけ移動する様になる。このような移動負荷線によりスレッシュホールドを入力直流レベル付近におくことが出来るので、ヒステリシス幅を小にし若干欠点を改良することが出来る。また入力に変化をはじめてからスレッシュホールドレベルに達する時間が小になるので、この分だけスイッチ時間も改良される。 $f_T \div 1 \sim 2 \text{ GHz}$ 程度のトランジスタを使用した回路の平均的な遅れ時間は 2 ns である。しかしこの形のフィードバックは状態変化の速度は特にはやくならないし、入出力特性にヒステリシスが存在することから、動作速度の向上と云う点では利点がない。高運動作には次の負帰還回路の方が良い。

負帰還形としては図 5.13 のような回路がある。これは電流切換回路を 2 段従続接続し、後段出力を抵抗分圧して初段にフィードバックする。分圧抵抗は $R_B > R_A$ とし負帰還がかかるようにする。スイッチ速度を向上させるには定常状態において比較電位を入力レベルの近くに設定し、入力が小さな変化でスイッチレベルをこすようにすることと、入力がスイッチレベルを越

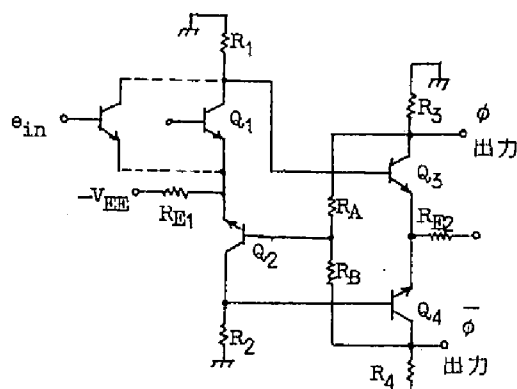


図 5.13 負帰還回路

えた後では大きなオーバドライブがかかるようにすることが必要である。同相出力を直接フィードバックして比較電圧として与えると、前者の条件は満足するが後者の条件を満足し難くなる。そこで図示の場合には後段の同相出力の遅れを利用しフィードバックに遅延をもたせることにより後者の条件も満足するようにしている。なお電流切換回路を2段使用すると、初段を小電力、後段を大電力ドライブに分離出来るので、入力インピーダンスを大にすることが出来負荷特性を改善出来る、また出力波形の立上り時間が入力波形に無関係に一定になる、設計上のフレキシビリティが増すなどの利点がある。一例として正帰還の時と同じトランジスタを使用して高レベル-78mV、低レベル-447mV、信号振幅370mV、消費電力40mW、雑音余裕10%、伝搬遅れ時間0.7ns、立上り時間1.3nsと云う結果がえられている。遅れ時間が非常に改良されているのがわかる。

先に正帰還形の回路では入出力特性にヒステリシスが出るので動作速度の向上は出来ないことを述べたが、ヒステリシスのために雑音余裕度を大にすることが出来る利点がある。例えばMurphy等⁽⁹⁴⁾の結果では図5.14に示すような電流切換回路を $f_T = 1\text{GHz}$ のト

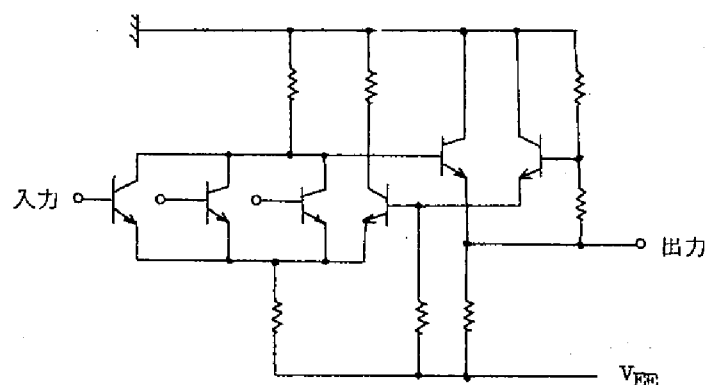


図 5.14 ヒステリシスを利用する回路

ランジスタで構成し消費電力90mWで動作させた時、伝搬遅れ時間(1入力1出力の場合)はヒステリシスの有無により1.9nsから2.6nsに劣化するが、雑音余裕は123mVから179mVに増加する。しかしこの様な考え方は集積回路では特殊であり、現在のところ動作速度の向上に対する改良は行なわれても、動作速度を犠牲にした雑音余裕の改良は一般には行なわれていない。

現在得られている最も高速な回路の例は無負荷又は負荷ゲートの遅延時間が500ps程度である⁽⁹⁵⁾。Wu等の論文⁽⁹⁶⁾によると遅延時間のうち回路自体の本質的な遅れは約70%で30%は各種の浮遊容量や容器内配線による外部的なものである。そして受動素子を一定とするとトランジスタの性能を2倍向上させた時の遅れ時間の改善の割合は本質的な遅れ時間の15%程度で、トランジスタが小形化されたことによる外部的な遅れ時

間の改善は20%である。したがってトランジスタの性能向上による回路の高速化は段々限界に近ずいて効率が悪くなっているから、次に考えるべきものは集積度を上げた大容量集積回路でこの外部的な遅れ時間を短縮することである。

次に電流切換回路のLSI (Large Scale Integration) についての論文が出ている。LSIの第1の目標は経済性にあるが、動作の高速性から見ても利点のあるのは勿論である。すなわちまず容器の引き出し線および容器間の伝送線路による伝搬遅れ時間がなくなる。これは従来数個の容器に入りプリント板上で配線されていた回路が、1つの半導体チップ上に集積化されるためである。また容器の浮遊容量やプリント板の容量などによる波形のなまりが無くなるので回路の遅れ時間が短縮できる。第3に同一の半導体チップ上の回路では配線による雑音などの必配がなくなるので信号レベルを小にすることが出来る。したがって回路の動作速度を向上させることが可能となる。これらの要因によりLSI化したものは、同一回路を従来の集積回路で構成した場合に比べて動作速度がはやくなることが示されている。Raisanenの論文⁽⁹⁷⁾の例をあげると、公称伝搬遅れ時間1ns (ゲートの正味の遅れ時間0.7ns, 入力および出力回路の容器浮遊容量による遅れ時間0.2ns および0.1ns) のゲート3段よりなる回路を考えた時、容器間の伝送線路遅れ時間を1.25nsとすると全伝送遅れ時間は8nsとなる。これに対して同じ回路をLSI化すると伝送線路2本分2.5nsと容器容量による遅れ時間0.6nsが短縮され4.9nsの遅れ時間となる。この計算ではゲートの正味の遅れ時間は同一として計算しているが、LSIでは信号振幅を0.5Vに縮小することによりゲートの遅れ時間自体も60%短縮できる。また全加算回路を比較した例がある⁽⁹⁸⁾。図5.15は集積化された全加算回路で

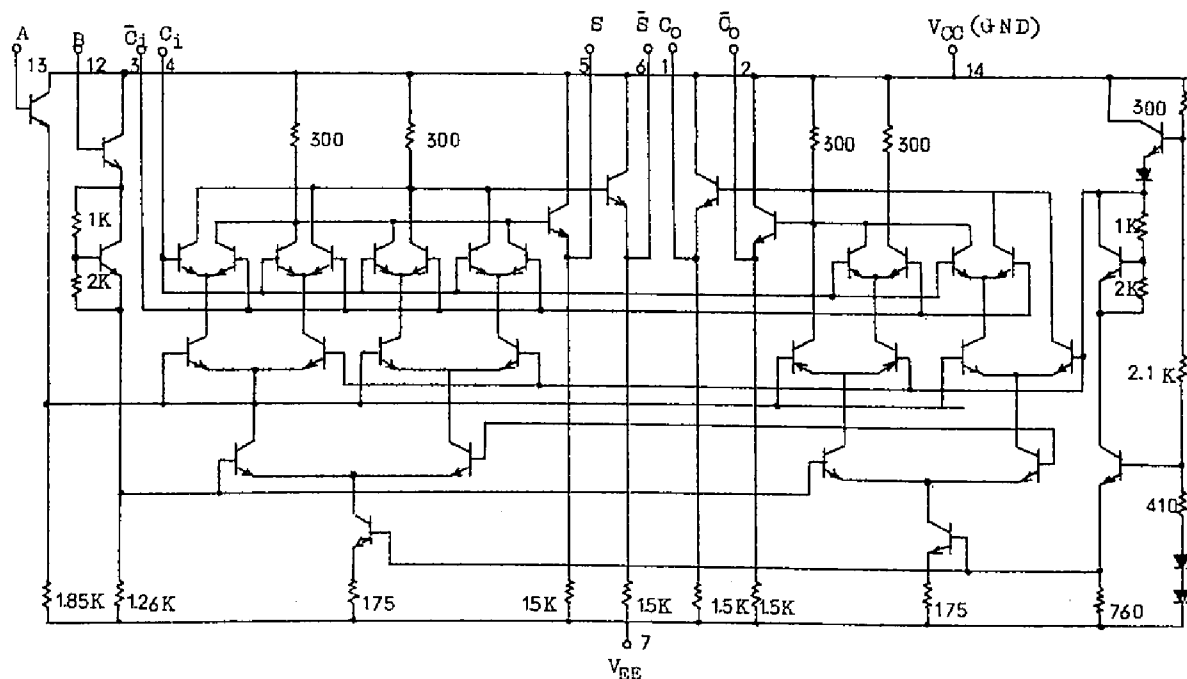


図 5.15 集積化した全加算回路 (バイアスドライバ, レベル変換回路を含む)

MECLⅡシリーズの1品種として発表されているものである。3段の論理レベルのうち加数と被加数信号は単極性信号とし、比較電圧は内部のバイアスドライバで発生させている。桁上り信号は両極性信号を使用して遅れ時間を小にしている。信号振幅は0.85V、消費電力は100mW、出力の遅れ時間は1ゲート分に相当し3.5ns、集積化された素子数は59個である。同じ全加算回路を3個の集積回路化した半加算回路で構成すると信号振幅は同じとして消費電力は200mW、出力遅れ時間は2ゲート分になり、速度電力積は約4倍劣化する。このようにLSIは回路速度の向上に対しても有効な手段となりうるということがわかる。経済性を考慮してどのような回路をLSI化するかと云うことが今後の問題である。

最後にハイブリッド集積回路の低レベル電流切換回路としてIBMのASLT⁽⁹⁹⁾がある。これはIBM360/91計算機に使用されているもので回路は図5.16のように電流スイ

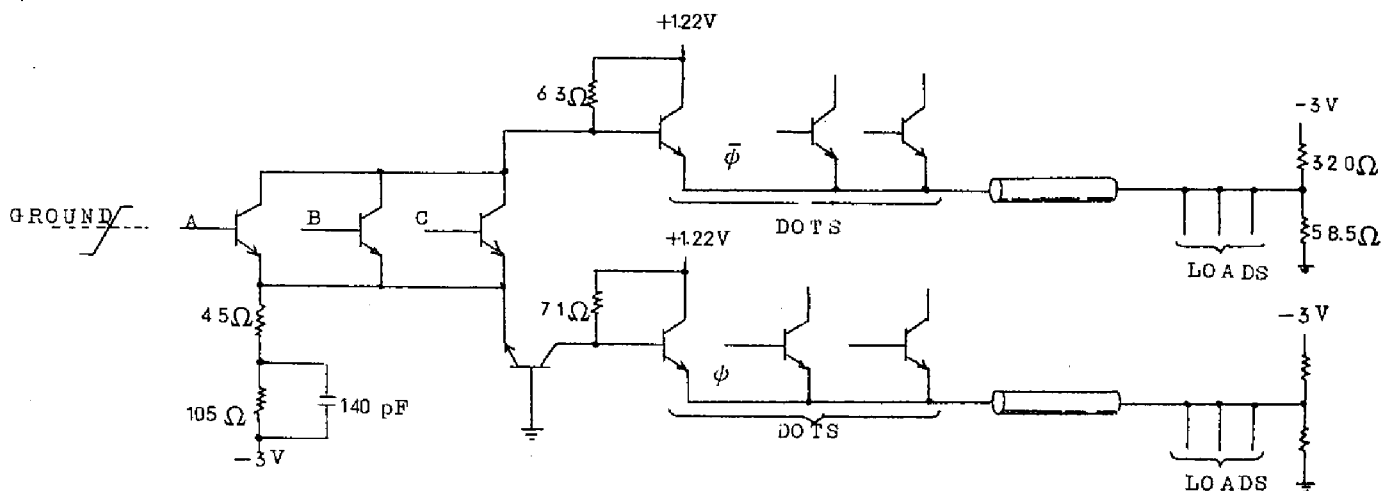


図 5.16 ASLTの回路

ッチ段とOR tie エミッタホロワから構成され、2レベル論理を行なうようになっている。信号レベルは±250mVで50Ω伝送線路に結合される。回路当りの遅れ時間は2ns、配線を含んだ実装状態の平均遅れ時間は5nsである。消費電力は約80mWで電流切換段の共通エミッタ抵抗値を小さくして電流を流すことによりスイッチ時間をはやくしている。この論文には回路素子のばらつきを考慮した直流設計、発振をふせぐ安定性の検討、配線を含めたスイッチ特性の検討が述べられている。他の例としてダイオード論理と電流切換スイッチを組み合わせた混成集積回路⁽¹⁰⁰⁾が試作されている。論理構成の考え方は高レベル離散回路の場合と全く同じで、素子の検討を行ない集積化したものである。トランジスタはマイクロセラミックトランジスタを使用し、ダイオードには超小形ガラス封止ダイオードを使用している。信号振幅は0.8V、ゲート回路当りの平均遅れ時間は2nsである。以上に述べたように集積回路化された電流切換回路は、その性能と使いやすさの点で

離散素子回路に比べて1段と進歩している。現在すでに高速論理回路の主流を占めているが、更にLSI化をはじめとする新しい技術により性能の向上がはかられているので、今後其その地位を保ちつづけるものと考えられる。

5.1.4 電流切換回路の解析

電流切換回路の解析は直流解析と交流解析よりなる。直流解析を行なった論文はすでにいくつかあり^{(78), (101)} 特に定常状態における直流レベルの計算は簡単なので従来は全てこの種の解析であった。これに対してNarudとMeyer⁽¹⁰²⁾ はPN接合の電圧電流の非直線性を考慮に入れたトランジスタの非直線モデルを使用して、遷移領域を含めた入出力特性を示す式を導出した。この非直線モデルによる解析は良く直流特性を説明し、計算機による数値計算の結果は実測の特性と合致することが示されている。今図5.17に示す電

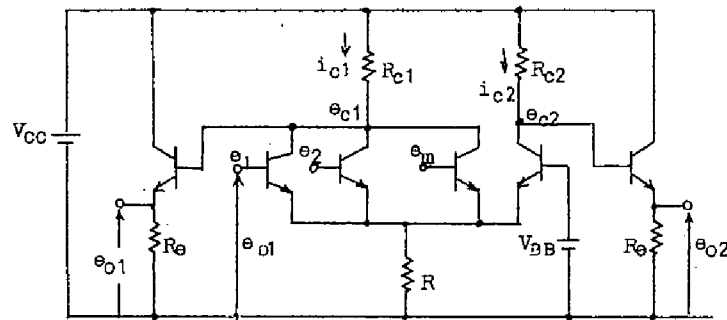


図 5.17 電流切換ゲート

m個の入力のうちn個に信号が
加えられているとする

流切換回路について考える。ここでトランジスタは全て同じ性能とし、サブストレート等の寄生素子は直流特性に関係しないと仮定する。この時飽和領域まで考慮したNORおよびOR側のコレクタ電位、コレクタ電流は次の2組の式であらわされる。

$$e_{c1} = V_{CC} - \frac{\alpha_N R_{c1}}{1 + \frac{1}{n} \theta \frac{q}{kT} (V_{BB} - e_{b1})} \left[I_0 + \frac{e_{b1} - V_{BB'}}{R \left(1 + \frac{1}{n} \theta \frac{q}{kT} (V_{BB} - e_{b1}) \right)} \right] + \frac{e_{b1} - e_{b1}^s}{1 + \frac{R}{\alpha_N R_{c1}} \theta \frac{q}{kT} (e_{b1} - e_{b1}^s)} \quad (5.1)$$

$$i_{c1} = \frac{\alpha_N}{1 + \frac{1}{n} e^{\frac{q}{kT}(V_{BB} - e_{b1})}} \left[I_0 + \frac{e_{b1} - V_{BB}}{R \left(1 + \frac{1}{n} e^{\frac{q}{kT}(V_{BB} - e_{b1})} \right)} \right] - \frac{e_{b1} - e_{b1}^s}{R_{c1} + \frac{R}{\alpha_N} e^{-\frac{q}{kT}(e_{b1} - e_{b1}^s)}} \quad (5.2)$$

$$e_{c2} = V_{cc} - \frac{\alpha_N R_{c2}}{1 + n e^{\frac{q}{kT}(e_{b1} - V_{BB})}} \left[I_0 + \frac{e_{b1} - V_{BB}}{R \left(1 + \frac{1}{n} e^{\frac{q}{kT}(V_{BB} - e_{b1})} \right)} \right] \quad (5.3)$$

$$i_{c2} = \frac{\alpha_N R_{c2}}{1 + n e^{\frac{q}{kT}(e_{b1} - V_{BB})}} \left[I_0 + \frac{e_{b1} - V_{BB}}{R \left(1 + \frac{1}{n} e^{\frac{q}{kT}(V_{BB} - e_{b1})} \right)} \right] \quad (5.4)$$

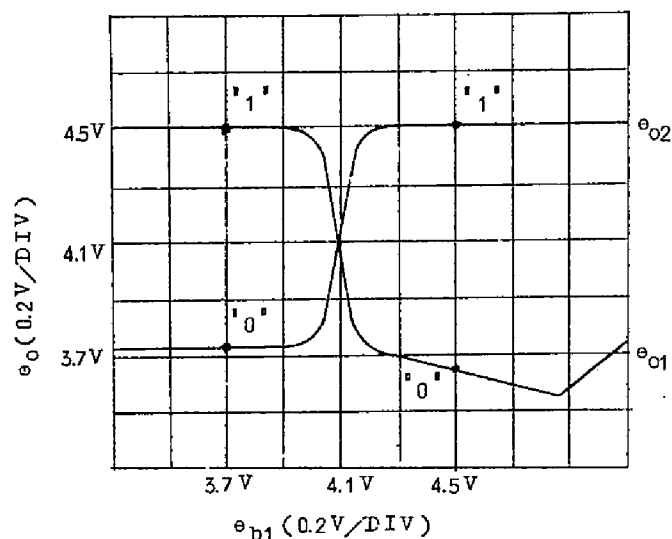
ここに n は同時に入力信号の加えられている入力数、 α_N は電流増幅率、 e_{b1}^s は飽和点に入るベース電位、 I_0 は基準電位側のトランジスタのみが導通した時の基準エミッタ電流、 k はボルツマン定数、 T は絶対温度である。抵抗と各点の電位は図を参照されたい。OR側のトランジスタはベース電位が一定であり飽和しない。図 5.17 の回路において出力はコレクタ電位をエミッタホロワを通して取り出している。直流レベル解析ではエミッタホロワはレベルシフト回路と考えれば良いから、出力電圧はそれぞれ (5.1) (5.3) 式の電圧を E_T だけシフトして求められる。ここに E_T はエミッタホロワに平均エミッタ電流 V_{BB}/R_e を流した時のベースエミッタ間の電位降下をあらわし次式で与えられる。

$$E_T = \frac{kT}{q} \ln \left(\frac{V_{BB}}{a_{11} R_e} \right) \quad (5.5)$$

ここに a_{11} は構造によって定まるトランジスタ常数である。したがって出力電圧は次の2式になる。

$$\begin{aligned} e_{o1} &= e_{c1} - E_T \\ e_{o2} &= e_{c2} - E_T \end{aligned} \quad (5.6)$$

この式より入出力特性すなわち e_{b1} と e_{o1} 、 e_{o2} の関係を求めたものが図 5.18 である。



$$e_{o1} = V_{cc} - E_T - \frac{\alpha_N R_{c1} i}{1 + e^{\frac{q}{kT} (V_{BB} - e_{b1})}} + \frac{e_{b1} - e_{b1}^s}{\frac{R}{1 + \alpha_N R_{c1}} e^{\frac{q}{kT} (e_{b1}^s - e_{b1})}}$$

$$e_{o2} = V_{cc} - E_T - \frac{\alpha_N R_{c2} i}{1 + e^{\frac{q}{kT} (e_{b1} - V_{BB})}}, \quad i = I_0 + \frac{e_{b1} - V_{BB}}{R \left[\frac{q}{kT} (V_{BB} - e_{b1}) \right]}$$

図 5.18 入出力特性の計算値

この結果は実測と非常によく一致する。したがって遷移領域における直流レベルの値もこの式より直ちに求めることが出来、従来の定常状態の直流レベルのみを求める方法よりもはるかにすぐれている。

交流解析にはトランジスタ等価回路の決定と、回路方程式の解法の問題がある。トランジスタの集中定数等価回路としては取扱いやすさと等価の精度から見て図 5.19 を採用するのが一般的であり、また実用上からも十分である。ここで各パラメータは動作点依存性を考慮すべきである。この等価回路を使用して電流切換回路の等価回路図をつくと図 5.

20 のようになる。配線によるインダクタンス，および抵抗などは無視している。今 2 個

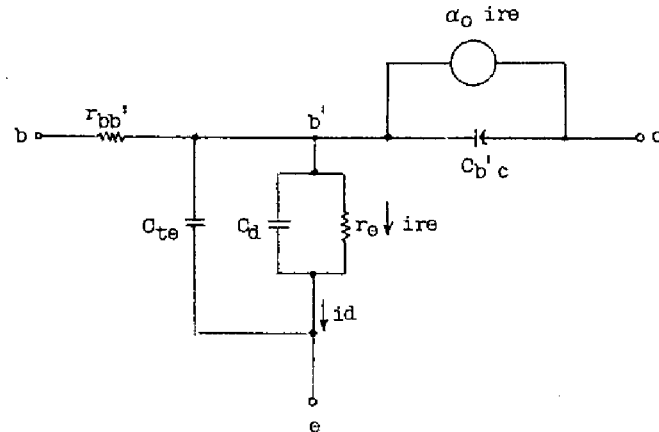


図 5.19 集中定数等価回路

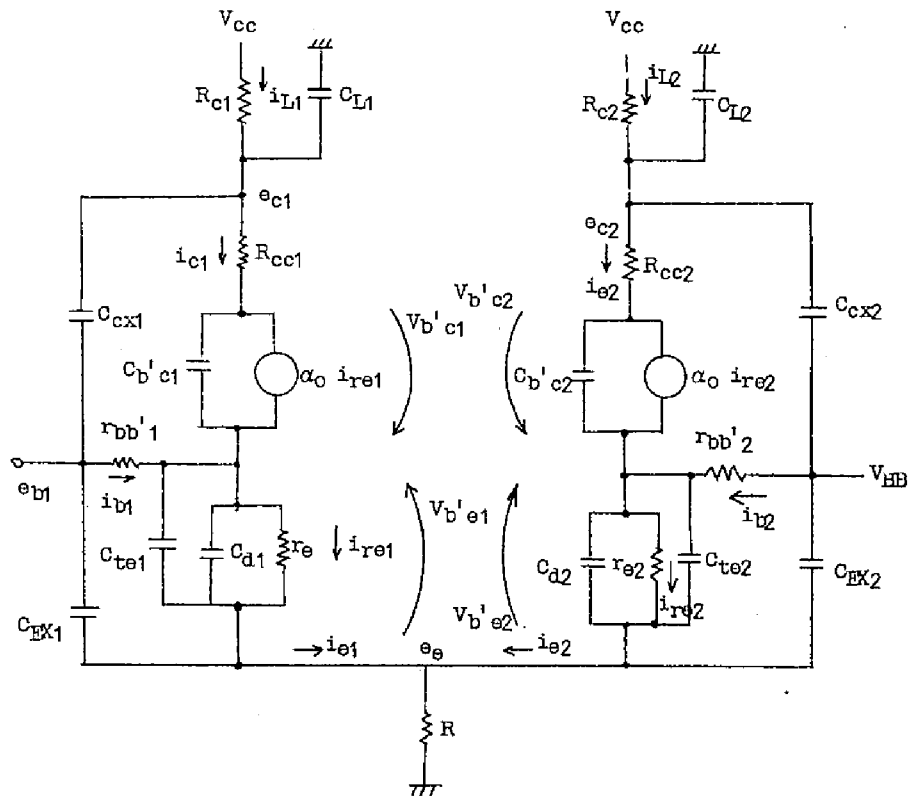


図 5.20 電流切換回路の等価回路図

のトランジスタは全く等しく，エミッタ電流は定電流， $r_{bb'}$ は動作点に無関係に一定値をとるなどの仮定をおいて回路方程式を立ててみると，単に 2 個のトランジスタがエミッタ抵抗を共通にして結合されている回路でも，附録に示すように回路方程式は多元非線形連立微分方程式となり，解析的に解を求めることは不可能に近くなる。そこでコレクタ出力電圧をもとめる方法としては計算機による数値解か省略による近似解のいずれかになる。

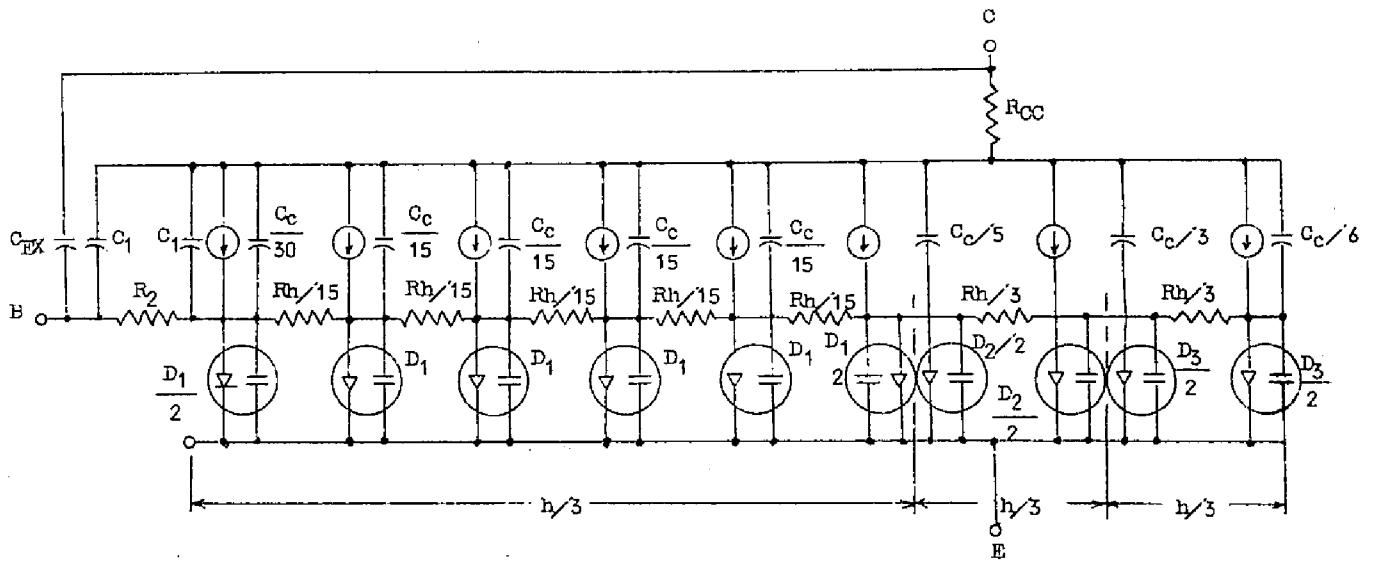
数値解の例としては IBM で行なわれた計算がある。Ashar 等の論文は ⁽¹⁰³⁾ Mo11 の等価回

路と非直線小信号等価回路を土台にした集中定数等価回路を使用して出力波形を計算した。この等価回路は図 5.19 の回路と全く同じ考えによっている。種々のパラメータのうち 1 個のパラメータのみを 1% 変化した時の平均遅れ時間の百分率変化をとり、これをそのパラメータの Sensitivity factor と呼ぶと、主なパラメータに対する Sensitivity factor が表 5.2 のように求められる。この表をみると一般に素子設計で最も重要な因子

表 5.2 Sensitivity factor

Parameter	Sensitivity factor
R_{BB}'	0.8
$C_{b'c}$	0.6
T_e	0.4
B_0	1.1
C_{te}	1.1

と考えられている Transit time が実際には第 3 位で、ベース抵抗が第 1 位となっている。したがって低電流レベルにおけるベース抵抗の値は遅れ時間に大きな影響をもつ。また高電流レベルではエミッタ電流の集中現象が起り transit time が増加することが知られているが、通常の電流レベルでは大きな影響はないものとして考えていない。この計算結果による出力波形は細部を残して実測にはほぼ一致する。これに対して Ghosh 等⁽¹⁰⁴⁾ は集中定数トランジスタモデルによる計算ではパラメータが正確に計算出来ないと論じている。この論文によると集中定数トランジスタモデルによる単純な解析結果と、図 5.21 に示すような分布定数トランジスタモデル⁽¹⁰⁵⁾ による数値計算の結果と実測結果の 3 者を比較すると、エミッタ電流対ベースエミッタ電圧特性、エミッタ容量等の特性は解析と数値計算の間に若干の差が出るが数値計算と実測とはよく一致する。これに対して transit time や f_T 等はパラメータの組み合わせによる 2 次的な量になるので差が大きくなり、解析と数値計算では 2 倍またはそれ以上の差となる。これは主として transit time に対するエミッタ電流集中現象の影響を考慮しているか否かによるものである。数値計算と実測の間も直流特性程一致しない。この場合に一般に中位の電流レベルまでは数値計算と実測が一致するが、高電流レベル（例えば $5 \times 10^3 \text{ A/cm}^2$ ）では一致しなくな



$$R = \text{ベースシート抵抗} = (\rho/W) \cdot \frac{1}{2} \ell$$

R_{CC} = コレクタバルク抵抗

R_2 = ベース領域抵抗

C_{EX} = ヘッダ, リード, 治具の容量

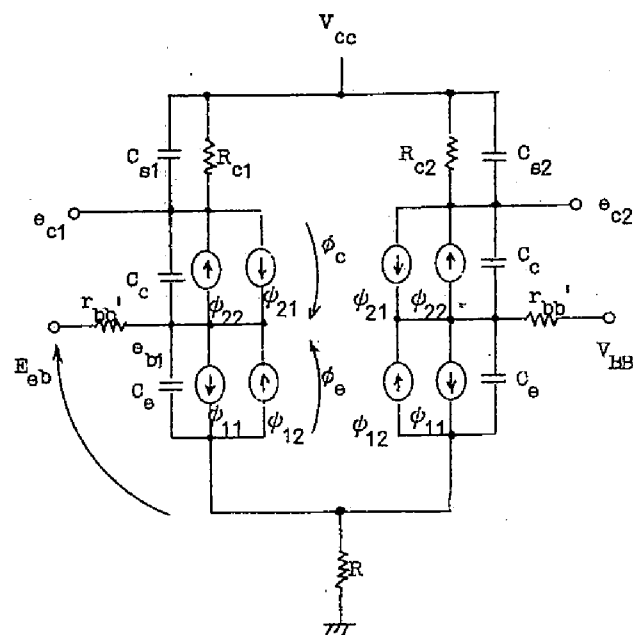
$$C_1 = \frac{1}{2} (\text{全コレクタ容量 } C_{ct} - C_{EX} - C_C)$$

C_C = エミッタ領域の下のコレクタ容量

図 5.21 分布常数トランジスタモデル

る。これは想定したモデルが適合しなくなるためであり、ベース領域で2次元モデルを考える必要が生じてくる。このような結果から見て、集中常数モデルでも相当複雑な計算となり、現実には数値計算に頼らざるを得ないから、数値計算を行なうならば分布常数モデルを使用する方が得策である。計算の複雑さを考えると2次元モデルを使用する必要は特殊な場合以外ない。そこで交流解析には分布常数モデルを使用した数値計算を行なうべきである。集中常数モデルによる近似解析は局所的な傾向を定性的に見る場合にのみ有効である。

近似解の例としては Narud 等の解⁽¹⁰²⁾ がある。この方法では電流切替スイッチ部のトランジスタの動作を図 5.22 の等価回路にしたがって、ベース部分の応答とコレクタ部分の応答に区分し、両者の従統動作として簡単な指数関数になるまで省略を行なっている。出力段のエミッタホロワはこのスイッチ部に更に従統接続されているとして扱っている。この計算では電流切替回路のエミッタ電流は定電流と仮定し、障壁容量の電圧依存性とベ



ととて

$$\phi_{11} = a_{11} (1 + S \tau_{11}) (e^{q\phi_e / kT} - 1)$$

$$\phi_{22} = a_{22} (1 + S \tau_{22}) (e^{q\phi_c / kT} - 1)$$

$$\phi_{12} = \frac{a_{12}}{1 + S \tau_{12}} (e^{q\phi_c / kT} - 1)$$

$$\phi_{21} = \frac{a_{21}}{1 + S \tau_{21}} (e^{q\phi_e / kT} - 1)$$

a, τ : トランジスタ常数

$$S = d/dt$$

図 5.2 2 電流切換部の非直線トランジスタモデル
による等価回路

ベース抵抗の電流依存性を考慮している。ベース応答はベース抵抗と障壁容量の効果を考察することである。ベースエミッタおよびベースコレクタ障壁容量は印加電圧の関数であるから、ベース入力容量はベース電位の非直線関数となり、ベース電位が1レベルと0レベルの中間の時最大値となる。この様な非線形容量を扱うと簡単な形の解は求められない。そこで近似的にベース入力容量を線形容量で等価すると次式のようになる。

$$\begin{aligned} \bar{C}_{b1} = & \frac{C_{e0} |\phi_{e0}|}{(1-P_e) e_\ell} \left[\left(1 - \frac{E_{eb} - e_\ell}{2 |\phi_{e0}|} \right)^{1-P_e} - \left(1 - \frac{E_{eb}}{|\phi_{e0}|} \right)^{1-P_e} \right] \\ & + \frac{C_{c0} |\phi_{c0}|}{(1-P_c) e_\ell} \left[\left(1 + \frac{E_T + e_\ell}{|\phi_{c0}|} \right)^{1-P_c} - \left(1 + \frac{E_T - e_\ell}{|\phi_{c0}|} \right)^{1-P_c} \right] \quad (5.7) \end{aligned}$$

ここに ϕ_{e0} , ϕ_{c0} はエミッタおよびコレクタ接合の接触電位, e_ℓ は信号振幅, E_{eb} はエミッタベース電位, C_{e0} , C_{c0} は零印加電圧の時の障壁容量, P_e , P_c はエミッタおよびコレクタ接合の形で定まる常数である。実際の集積回路で使用するトランジスタに対しては、ベースエミッタは階段接合に非常に近く、ベースコレクタは傾斜接合になっているから、 $P_e = 1/2$, $P_c = 1/3$ とおくことが出来る。またここで考えている電流切換回路では前にも述べたように信号振幅はベースエミッタオフセット電圧にほぼ等しく、これはまた接触電位差にも等しいから

$$e_\ell \cong E_{eb} \cong E_T \cong -\phi_{e0} \cong -\phi_{c0}$$

とおくことが出来る。その結果平均入力容量としては(5.7)式は非常に簡単な形となり

$$\bar{C}_b \cong 1.41 C_{e0} + 1.62 C_{c0} \quad (5.8)$$

とあらわすことが出来る。この平均入力容量を使用するとステップ状の入力信号に対するベース応答は次式の様に非常に簡単な一次微分方程式を解けば良い。

$$\tau_{b1} \frac{d e_{b1}}{dt} + e_{b1} = V_{BB} - \frac{e_\ell}{2} + e_\ell u(t) \quad (5.9)$$

$$\text{ここに} \quad \tau_{b1} = r_{bb'} \bar{C}_b$$

したがってベース出力は指数関数となり遅れ時間は

$$T_D^b = 0.7 \tau_{b1} \quad (5.10)$$

となる。次にコレクタ応答を考える。コレクタ応答にはトランジスタ固有のスイッチ特性（電流増幅率の周波数特性による時定数）とトランジスタのコレクタ容量による遅れを考慮する。コレクタ容量には並列に結線されているトランジスタのコレクタ容量，負荷としてつながるエミッタホロワの入力容量，サブストレートの容量などを考慮しその等価容量を \bar{C}_1 とする。この時回路方程式はコレクタ電流の関係より次のような3次の微分方程式となる。

$$\begin{aligned} & \tau_{11}\tau_{21}\tau_{c1} \frac{d^3 e_{c1}}{dt^3} + (\tau_{21}\tau_{11} + \tau_{21}\tau_{c1} + \tau_{11}\tau_{c1}) \frac{d^2 e_{c1}}{dt^2} + (\tau_{11} + \tau_{21} + \tau_{c1}) \\ & \frac{de_{c1}}{dt} + e_{c1} = V_{cc} - \frac{\alpha_N I_0 R_{c1}}{1 + \frac{1}{n} e^{\frac{q}{kT}(V_{BB} - e_{b1})}} + \tau_{cb} \left[\tau_{21}\tau_{11} \frac{d^3 e_{b1}}{dt^3} \right. \\ & \left. + (\tau_{21} + \tau_{11}) \frac{d^2 e_{b1}}{dt^2} + \frac{de_{b1}}{dt} \right] \end{aligned} \quad (5.11)$$

ここに τ_{11} ， τ_{21} は非直線トランジスタモデルの固有時定数

$$\tau_{c1} = R_{c1} \bar{C}_1, \quad \tau_{cb} = n R_{c1} \bar{C}_c$$

R_{c1} はコレクタ負荷抵抗， \bar{C}_c は平均のコレクタ容量

この式よりラプラス逆変換を行なうとコレクタ出力 e_{c1} は重畳積分の形で求められるが，近似解を求めるには次の様に簡単化して考える。まず τ_{11} ， τ_{21} は他の時定数 τ_{c1} などに比べてはるかに小さいので，この項を省略しても大きな誤差にはならない。また τ_{c1} と τ_{cb} を比較するとこれは容量 \bar{C}_1 と \bar{C}_c の大小関係に依り，一般に \bar{C}_1 の方がはるかに大きいので $\tau_{c1} \gg \tau_{cb}$ と考えて τ_{cb} の項も無視することが出来る。この場合のコレクタ応答は

$$\begin{aligned} e_{c1}(t) = & V_{cc} - e^{-t/\tau_{c1}} \left[V_{cc} - e_{c1}(0) \right. \\ & \left. + \frac{\tau_{b1}}{\tau_{c1}} \int_0^t e_{b1}(\tau) \frac{de_{b1}}{d\tau} \frac{1}{V_{BB} - \frac{e_{b1}}{2} \left[1 + \frac{1}{n} e^{\frac{q}{kT}(V_{BB} - e_{b1})} \right] \left[\frac{1}{2} + \frac{V_{BB} - e_{b1}}{e_{\ell}} \right]^{1 + \frac{\tau_{c1}}{\tau_{c1}}}} \right] d\tau \end{aligned} \quad (5.12)$$

となる。この式にはベース応答 θ_{b1} と論理振幅 θ_ℓ を含み、これ等入力 of 駆動条件と出力の立上り時間、立下りの時間の関係より、回路の波形整形動作が示される。遅れ時間は駆動条件によって大きな影響はうけず

$$T_D^c = 0.7 \tau_{c1} \quad (5.13)$$

で与えられるから、ゲート回路（出力エミッタホロワを含まず）の遅れは前出のベース応答の遅れとの和になり次式で与えられる。

$$T_D = 0.7 (\tau_{b1} + \tau_{c1}) \quad (5.14)$$

次に出力エミッタホロワの遅れは前と同様にエミッタホロワ負荷容量 C_L による時定数がトランジスタの固有時定数より大きいと仮定すると、近似的に次式のようになる（ただし平均の遅れ時間を示す）。

$$T_D^F = 0.35 (1 - \alpha_0) \tau_f + \frac{0.25 R_e C_L \theta_\ell}{V_{BB}} \quad (5.15)$$

$$\text{ここに } \tau_f = (r_{bf} + R_{c1}) C_L$$

r_{bf} はエミッタホロワトランジスタのベース抵抗

R_e はエミッタ抵抗

したがって電流切換回路の平均の入出力間遅れ時間は

$$\begin{aligned} T_D &= T_D^b + T_D^c + T_D^F \\ &= 0.7 (\tau_{b1} + \tau_{c1}) + 0.35 (1 - \alpha_0) \tau_f + \frac{0.25 R_e C_L \theta_\ell}{V_{BB}} \quad (5.16) \end{aligned}$$

となる。

5.2 動作速度向上の要因

5.2.1 トランジスタ特性の検討

電流切換回路の動作速度を向上させるために検討すべき要因としては大別して4項目ある。第1はトランジスタの特性である。回路が集積化されたことにより、浮遊容量をはじめ配線の影響などが減少すればする程トランジスタ自体の優劣が表面にあらわれてくる。第2は動作条件である。これは主として消費電力、負荷などに関係する。第3はリード線

による遅れの問題である。この問題は前2者程目だたないが、最後に問題になるものである。第4は回路に直接関係はないが、あるサブシステムを考えた時にゲートの段数を減らすことにより出来るだけ遅延時間を小さくする方法である。この3番目と4番目に関係して集積度の増加いわゆるLSI (Large Scale Integration) が問題になる。以下順を追って考察を加える。

論理回路の動作速度を考える場合、信号の伝搬時間で評価するのが实际的である。電流切換回路のごとく不飽和スイッチ回路では蓄積時間がないので、信号の伝搬遅れ時間は主としてトランジスタ自身の遅れ時間と入出力端子の各種容量を充放電する時間に依る。この関係を検討するには、理想的なステップ入力考えた場合の出力の遅延時間が出力の時定数 T の $\ln 2$ 倍になることから T の性質を検討すれば良い。前節で近似式を示したごとく T は次式のようにあらわされる。

$$T = r_{bb'} (C_E + C_{b'c}) + \frac{1}{\omega_T} + R_c (C_{b'c} + C_L) \quad (5.17)$$

ここに $r_{bb'}$ はベース抵抗、 R_c はコレクタ負荷抵抗、 $C_E = C_{te} + C_d$ はエミッタ接合の障壁容量 C_{te} と拡散容量 C_d の和、 $C_{b'c}$ はコレクタ障壁容量、 C_L は負荷容量 (サブストレートの容量を含む)、 $\omega_T = 2\pi f_T$ である。右辺第1項はベース応答を示している。第2項はトランジスタの電流増幅率の高周波動作特性による遅れで、第3項はコレクタ応答になる。一般的に見て T は f_T の逆数関係であるから、 f_T の低いトランジスタの場合には遅れは f_T の値によって変るが、 f_T が大になり $1/\omega_T$ が他の時定数項と同等になると遅れの減少は小になり一定値に近くなる。

しかるにここで使用した f_T の値は容器の外から見た実測値であり、真のトランジスタの値ではない。実測値と真値の関係を考えるために f_T はどの様なパラメータで表記されるかが問題になる。これは主としてどの様な寄生素子を考察するかによって定まる。例えば Phillips⁽¹⁰⁶⁾ は

$$\frac{1}{\omega_T} = \frac{1}{\alpha_{om}} \left[r_e C_{te} + \frac{W^2}{2.43 D \ln(N_E/N_W)} + \frac{X_m}{2 v_{sc}} + r_{sc} C_{b'c} \right] \quad (5.18)$$

ここに α_o : 低周波ベース接地電流増幅率

m : excess phase shift

W : 実効ベース幅

D : 小数キャリア拡散常数

N_E, N_W : ベース中のエミッタ前面およびコレクタ前面の不純物濃度

X_m : 空乏層の厚さ

v_{sc} : scattering - limited velocity

r_{sc} : コレクタ直列抵抗

$C_{te}, C_{b'c}$: エミッタおよびコレクタ障壁容量

r_e : エミッタ抵抗

なる形を出し, Ashar⁽¹⁰³⁾は

$$\frac{1}{\omega_T} = r_e C_{te} + T_e (1+m) + C_{b'c} (R_c + r_{sc}) \quad (5.19)$$

$$\text{ここに } T_e = \frac{W^2}{2D} = C_d r_e \quad ; \text{ ベース伝搬時間}$$

C_d : diffusion capacitance

なる表現をしている。後者は前者の第3項を省略し、第4項に R_c の影響を考慮したものと近似である。(5.18)式の第3項は一般に他の項と比べて小なので、この両式はほぼ同じことを意味している。また前田等⁽¹⁰⁷⁾は

$$\frac{1}{\omega_T} = r_e C_{te} + (1+m) \frac{1}{2.43 \eta^{4/3}} \cdot \frac{W^2}{D} \quad (5.20)$$

$$\text{ここに } \eta = \frac{1}{2} \ln \frac{N_E}{N_W}$$

なる式を導いている。この式は Ashar の式の第3項を省略した形であるが、不純物濃度の影響を考えに入れている点が異なりこの点では(5.18)式と同じである。ここでは ω_T として次式を考える。

$$\frac{1}{\omega_T} = r_e C_{te} + \frac{1}{\omega_{Ti}} + r_{sc} C_{b'c} \quad (5.21)$$

ここで ω_{Ti} は intrinsic ω_T である。この式より f_T に対しても容量と抵抗による時定数が固定項として存在し、 f_{Ti} を大にしてもこれらの時定数が大きければ実効がないことがわかる。 ω_{Ti} より拡散容量 C_d は次式によって与えられる。

$$C_d r_e = \frac{1}{\omega_{Ti}} = (1+m) T_e \quad (5.22)$$

次に上記各種のパラメータの値を測定して検討する。測定の場合に問題になることは、パラメータの動作点依存性と測定方法である。前者については例えば f_T はエミッタ電流によって変化することは良く知られている。低電流レベルでは $r_e = kT/qI_E$ より r_e が大きな値をとるから $r_e C_{te}$ の項が優勢になり低くなる。電流が増加するにしたがって $r_e C_{te}$ 項は減少しベース幅に関係する第2項が優勢になる。この状態で f_T は最も大きくなる。さらに電流が増すとコレクタ直列抵抗の電圧降下が大になり W が少し大になって f_T が減少する。また障壁容量が電圧の $1/2$ 乗または $1/3$ 乗に逆比例することもよく知られている。そこで使用する数値がどのような条件での測定値かと云うことが問題になるが、異なるトランジスタのパラメータを比較することを考える場合には、使用動作状態に準じた同一条件の測定値を使用すれば近似的に動作点依存性を考えなくて良い。また異なるトランジスタによる回路動作を比較する場合には、各々のトランジスタを最適動作点で使用するよう回路設計し、その動作状態のパラメータを測定することが最も正確である。しかるにこの場合は高速スイッチ用と云う類似のトランジスタのパラメータを比較するのであるから、簡単のために使用状態に準じた同一条件における測定値を使用することにする。表5.3の測定数値はこの様な考え方により求めたものである。ここで f_T の測定は

表 5.3 トランジスタパラメータと Figure of Merit

	測 定 値						計 算 値		Figure of Merit		
	$r_{bb'}$ (Ω)	r_{ec} (Ω)	C_{te} (PF)	$C_{b'c}$ (PF)	f_T (MHz)	t_d (ns)	C_d (PF)	delay (ns)	$f_T/r_{bb'} \cdot C_{b'c}$ (MHz/PS)	$f_T/r_{bb'} \sqrt{C_{b'c} \cdot C_{te}}$ (MHz/PS)	$f_T/r_{bb'} (C_E + C_{b'c})$ (MHz/PS)
2SC395	4.8	4.3	6.5	4.1	600	2.60	69.7	3.19	3	2	0.16
2N2368	3.2	3.3	5.8	1.5	400	1.95	1152	3.25	8	4	0.10
2N3633	3.7	5.4	3.0	1.6	1500	1.32	27.0	1.12	25	19	1.28
2N2784	4.2	4.4	2.3	1.2	1300	1.30	338	1.40	26	19	0.83
2N709	4.7	7.5	2.3	1.0	1550	1.25	27.0	1.28	33	22	1.09
2N3960	1.8	4.5	2.0	1.3	1800	1.09	234	0.62	77	62	3.74
備 考		$I_B = 6mA$ $I_C = 10mA$ で測定	$-0.1V$ 印加	$-1.0V$ 印加	200MHz $I_C = 8mA$ $V_{ec} = 1V$ で測定		電流 8mA	$C_L = 5PF$ 仮定 仮定			$C_E = C_d + C_{te}$

GR社の伝送量測定器を使用し、200MHzで $I_c = 8\text{mA}$ 、 $V_{ec} = 1\text{V}$ で測定して求めた。障壁容量は接合に逆バイアスを加えた状態でBoonton社のRXメータで測定し、 C_{te} としては0.1V、 $C_{b'e}$ としては1Vのバイアス点の値をとった。またコレクタ直列抵抗 r_{sc} としてはトランジスタ特性直視装置により飽和状態の $V_c I_c$ 特性より求めた。 $r_{bb'}$ は $r_{bb'}$ 測定器を使用した。測定したトランジスタの f_T と遅れ時間の関係を図5.23

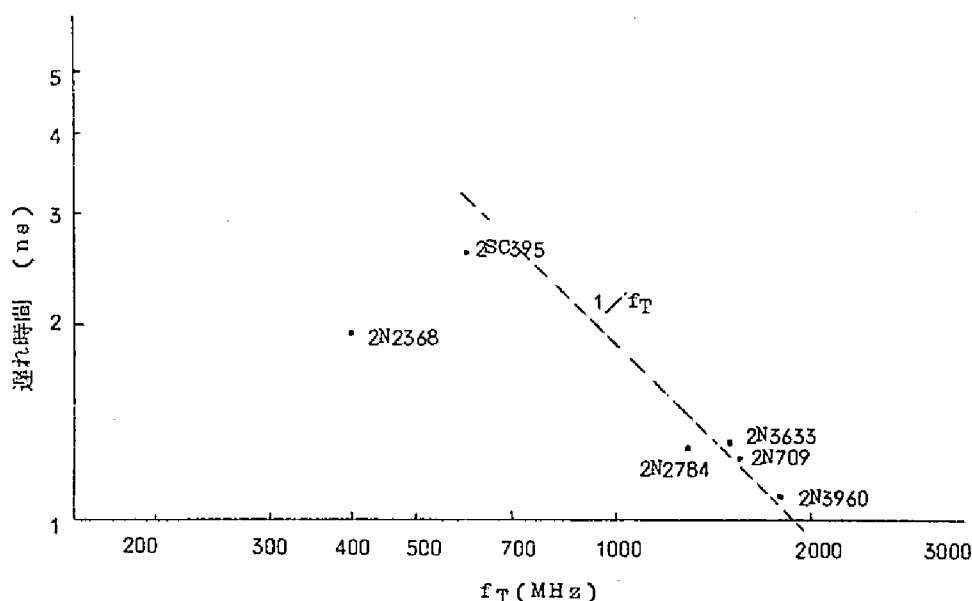


図 5.23 f_T と遅れ時間の測定
振幅 0.4 V, ケーブルフィードバック方式

に示す。一般的には f_T の逆数関係で遅れが減少しているのが認められるが個々のトランジスタにおけるばらつきは大きい。表5.3に、(5, 17)(5, 21)(5, 22)式にもとずいて計算した C_d および $\ln 2 \cdot T$ の値を示す。 C_d は他の障壁容量に比して1桁以上大きいから、 T はほぼ $r_{bb'} C_d$ で定まる。すなわちベース抵抗 $r_{bb'}$ と f_T 、 r_e が大きな役割をはたしている。計算の遅れ時間は、トランジスタの導通状態の数値で計算しているから、 r_e が小さくなり C_d の影響が大きく出ている。この結果 f_T の特性が強調され、 f_T の良いものはより良く、悪いものはより悪くなっている。そこで結局トランジスタとして最も性能の良いものは、単に f_{Ti} の大なるものと云う単純な評価では不十分で、各部の容量、ベース抵抗などに平均のとれたものになる。次にこの様なトランジスタの評価のための性能指数について考えてみる。エミッタ接地増幅器に対する有能電力利得の周波数特性を考えると(106)(108)

$$g_e = \frac{f_T}{8\pi f^2 r_{bb'} C_c} \quad (5.23)$$

$$C_c = C_{dc} + C_{tc}$$

C_{dc} : コレクタ拡散容量

となる。これより電流増幅率が1となる周波数 $f = f_T$ においても電力利得が存在し、 f_T はトランジスタの動作上限ではないことがわかる。今有能電力利得が1になる周波数を f_{max} とすると

$$f_{max} = \sqrt{\frac{f_T}{8\pi r_{bb'} C_c}} \quad (5.24)$$

となり、 f_{max} は最高発振周波数を与える。そして

$$f_{max} \approx (\text{power gain})^{1/2} (\text{band width}) \propto \frac{f_T}{r_{bb'} C_c}$$

なる関係より⁽¹⁰⁹⁾、トランジスタの性能指数として

$$F \text{ of } M = \frac{f_T}{r_{bb'} C_c} \quad (5.25)$$

をとることが考えられている。IBMでは⁽⁹⁵⁾スイッチ回路に対しても同様に、使用するトランジスタの性能指数として $f_T / r_{bb'} C_c$ を出している。ただしここでは $C_c = C_{b'c}$ をとっている。表5.3に(5.25)式を含めて3種類の性能指数を示してある。

$f_T / r_{bb'} C_{b'c}$ と $f_T / r_{bb'} \sqrt{C_{b'c} C_{fe}}$ はコレクタ障壁容量のみを考えるかコレクタとエミッタ両障壁容量を考えるかの差である。ここで考えている条件では $C_{te} > C_{b'c}$ であるから後者の方が合理的であるが、 $C_d \gg C_{te}$ が成立するため遅れ時間を考える限り C_d ($1/f_T$ にほぼ比例) と $r_{bb'}$ のみが問題になるので、この両性能指数の示す傾向には大差がなくなる。表5.3によっても両性能指数の示す順位は測定遅れ時間の順位と一致している。これに対して $f_T / r_{bb'} (C_E + C_{b'c})$ は(5.17)式のうち外部回路素子に関係しない第1項と第2項より直接導いたものである。したがってこの性能指数はより計算式(5.17)式に忠実である。特徴は C_E の中に C_d が含まれているため、全体として f_T^2 に関係し f_T の大小の影響を強くあらわしている。これは前述の計算による遅れ時間と同じ性質であり、両者がよく一致するのは表に示されている通りである。したがって測定値の順位とは一致しない欠点がある。トランジスタの性能を考える時には主として利得、周

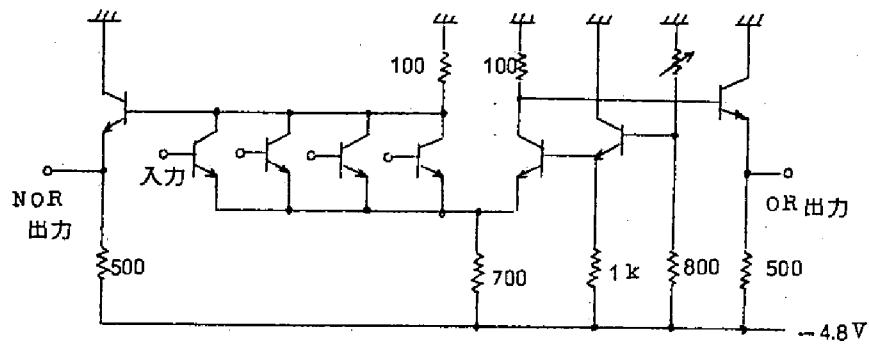
波数特性，許容電力等の諸点を考えなければならないが，前述の議論によって高速スイッチ用トランジスタの場合にはその高周波特性として，単に f_T の大きいこと（ベース伝搬時間を小にする）のみでなく $r_{bb'}$ の小さいこと，さらに入力と出力の容量を小にすることが必要である。これを判断するには性能指数として $f_T/r_{bb'}\sqrt{C_{b'c}\cdot C_{te}}$ またはより簡単に $f_T/r_{bb'}C_{b'c}$ によって良否を判定すればよい。この様な条件を満足するトランジスタの設計方針としては

- 1) 接合容量を小にするためにエミッタおよびコレクタ接合面積は出来るだけ小にする。
- 2) ベースの transit time を小にするためにベース幅を小にする
- 3) ベースのシート抵抗を小にする
- 4) コレクタ比抵抗を大にする
- 5) エミッタベース，コンタクトの形を適当にして $r_{bb'}$ を低くする

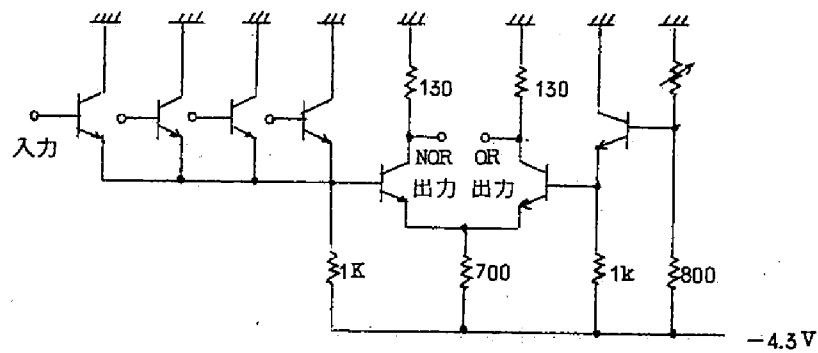
等が考えられる。しかしこれらはトランジスタの他の性能に対する要求と矛盾する。例えば 1) は電流容量を小にするし，2) はパンチスルー電圧を小にする。また 3) はエミッタベース破壊電圧より制限をうける。4) はコレクタ直列抵抗より制限される。この様に最適トランジスタも実際にはバランスの問題になるが，ここではトランジスタの設計論をする場所ではないから，高周波特性からの要請のみを示すにとどめる。

5.2.2 高速化のための動作条件の検討

5.2.1 では論理回路を構成するトランジスタの性能をとり上げて論じた。これは論理回路の内部要因である。これに対して外部要因が存在する。論理回路が1個だけ使用されることはあり得ない。多数個の論理回路が1つのシステムを構成してはじめて実用になるのであるから，論理回路相互間の各種の影響は実用上大きな問題になる。この様な外側に対する各種の特性を検討し，システム構成上の参考になる資料をうるのがここでの目的である。この様な立場より考えると，ここでとり上げる論理回路は特定の形のものにならざるを得ない。したがってこの回路の示す性質は一般的になりたつものであるが，具体的な数値は特定の場合である。まず代表的な直流および交流特性を示す。この特性は周知のものであるが特性の変動を要える場合の基準になるものである。ここで考える回路形式は図 5.2.4 に示すように電流切替スイッチ回路 CS と出力エミッタホロワ EF をもつ CS-EF 形と，入力エミッタホロワと電流切替スイッチ回路よりなる EF-CS 形である。図 5.2.5 は最も典型的な入出力特性である。2つの形の間でエミッタホロワの電圧降下分だけ中心がずれているが遷移域の形は同じである。直流特性の電源，温度，入出力数など

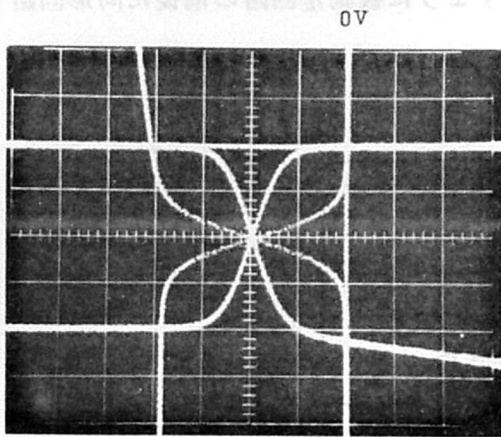


(a) CSEF形

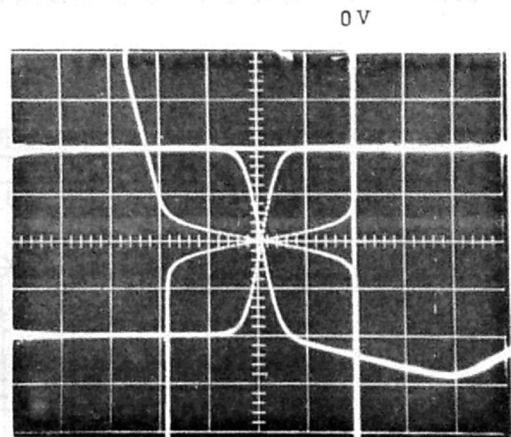


(b) EFOS形

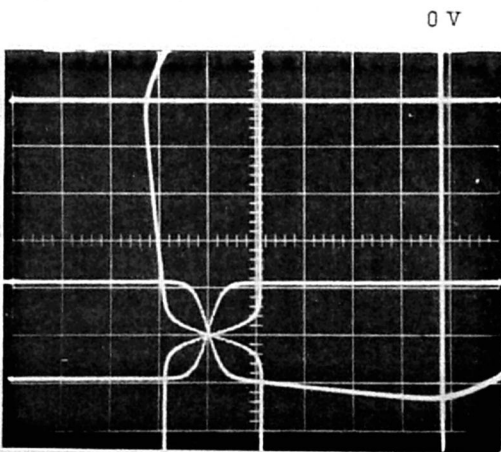
図 5.24 2 種類の電流切換回路



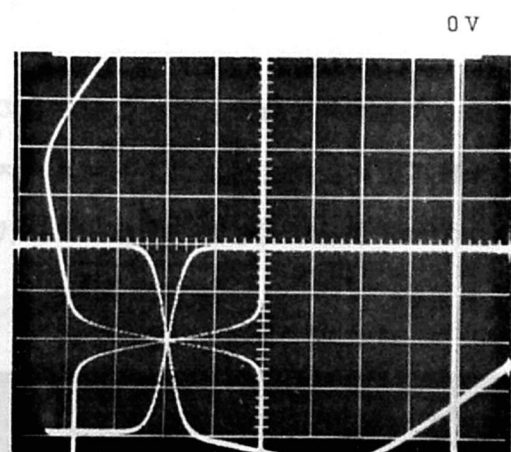
(a) EFCS, 信号振幅 0.4 V 0.1V/div.



(b) EFCS, 信号振幅 0.8 V 0.2V/div.



(c) CSEF, 信号振幅 0.4 V 0.2V/div.



(d) CSEF, 信号振幅 0.8 V 0.2V/div.

図 5.25 電流切換回路入出力特性

にもとづく変動については次節の雑音余裕度を考える場合に検討する。

次にスイッチ特性を示す。測定は図 5.26 に示すように被測定回路の前後に同形回路を

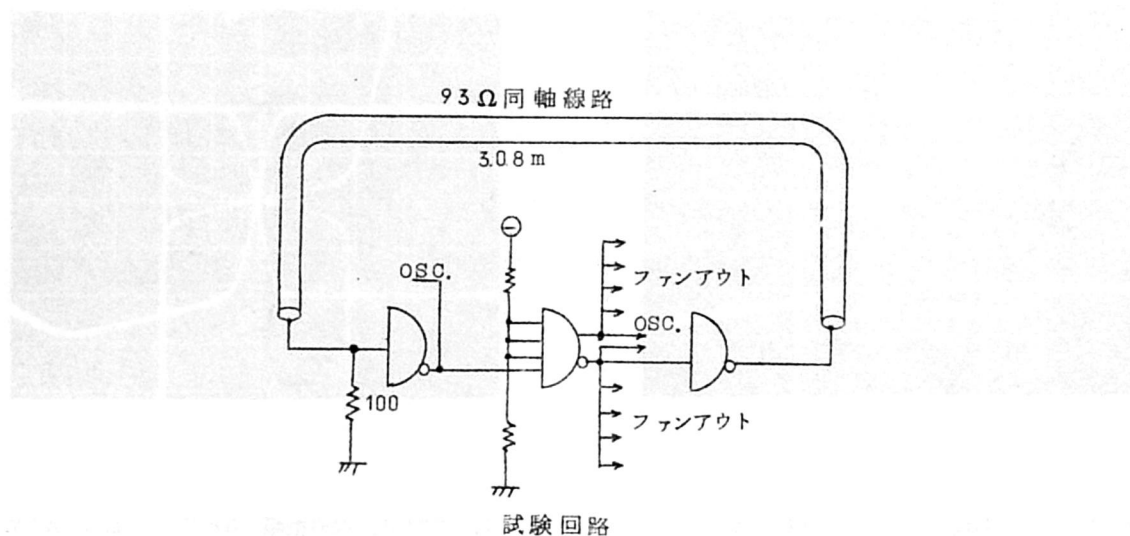
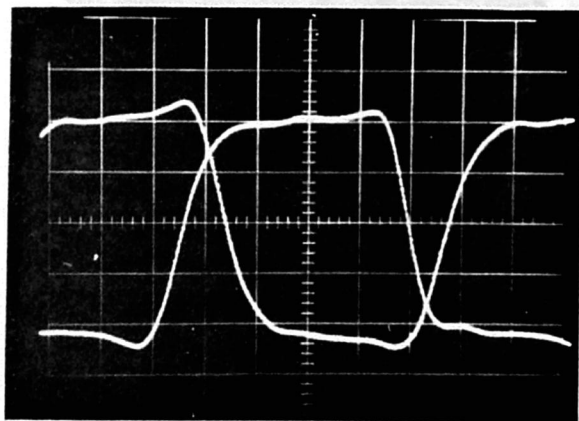
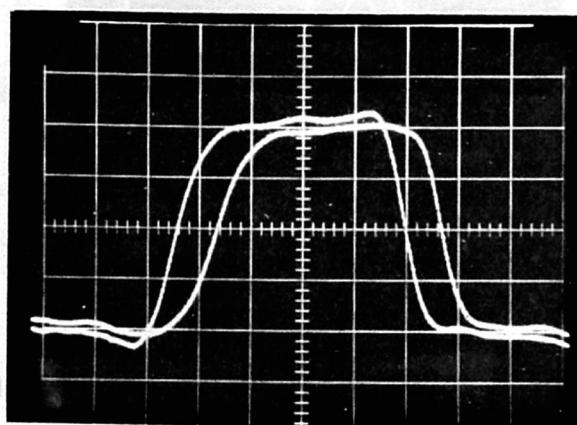


図 5.26 スイッチング測定回路 (パルスくり返し周期 35 ns)

接続したループで行なった。この場合の入力条件は同種回路の出力を使用しているので実用条件に近い。測定にはテクトロニクスサンプリングオシロスコープ (rise time ≤ 0.35 ns) を使用した。図 5.27 は代表的な入出力波形を示す。また図 5.28 はファン



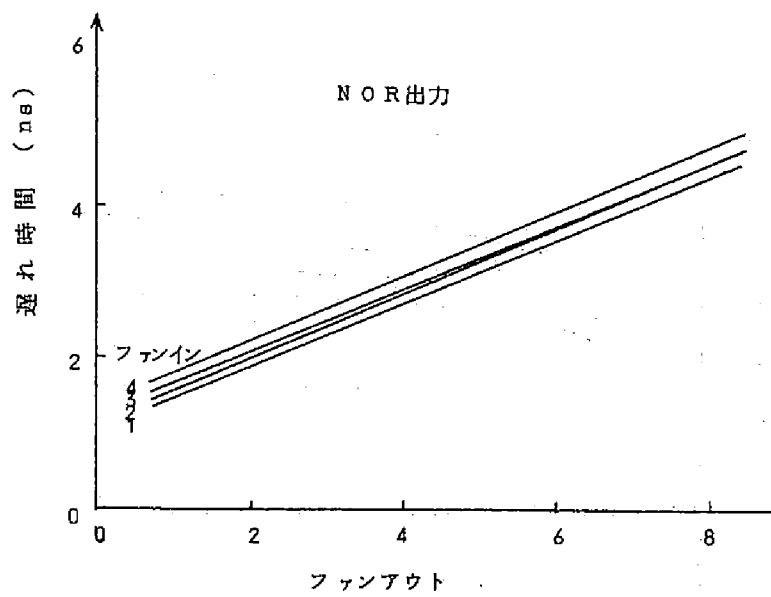
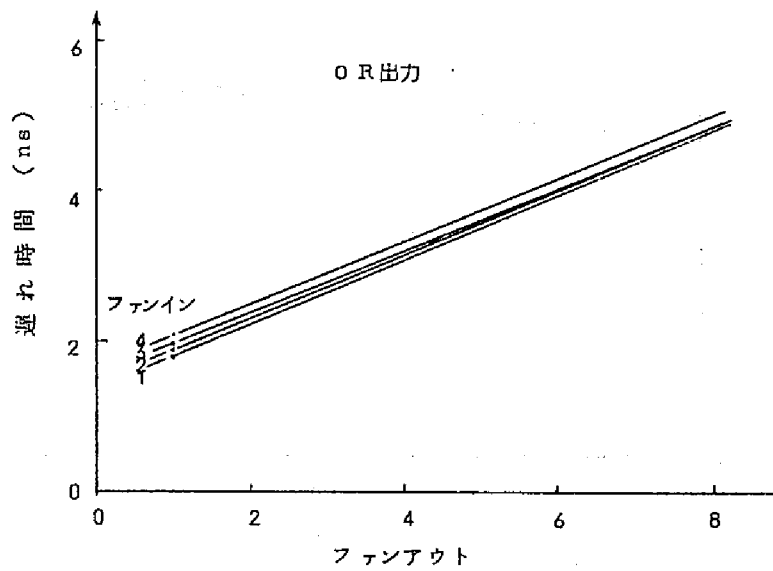
(a) NOR 出力



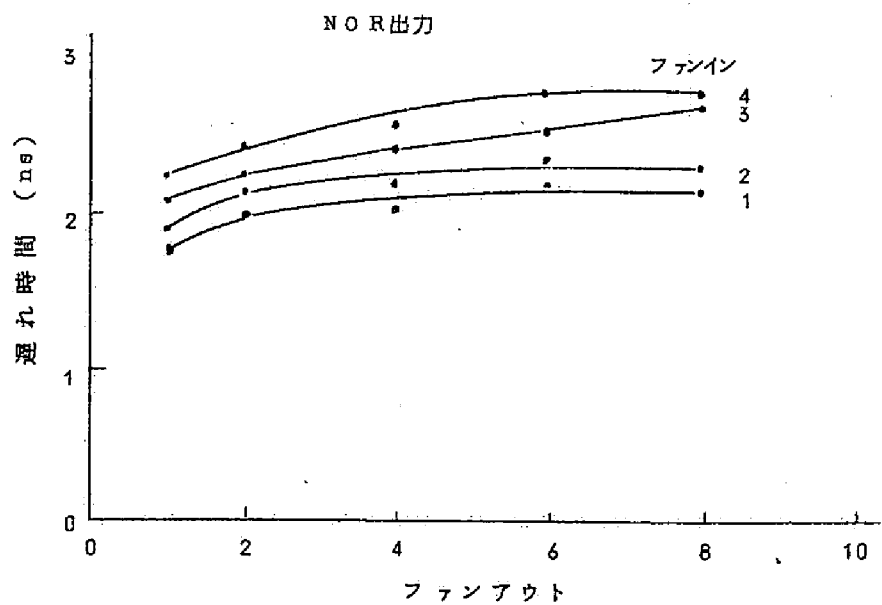
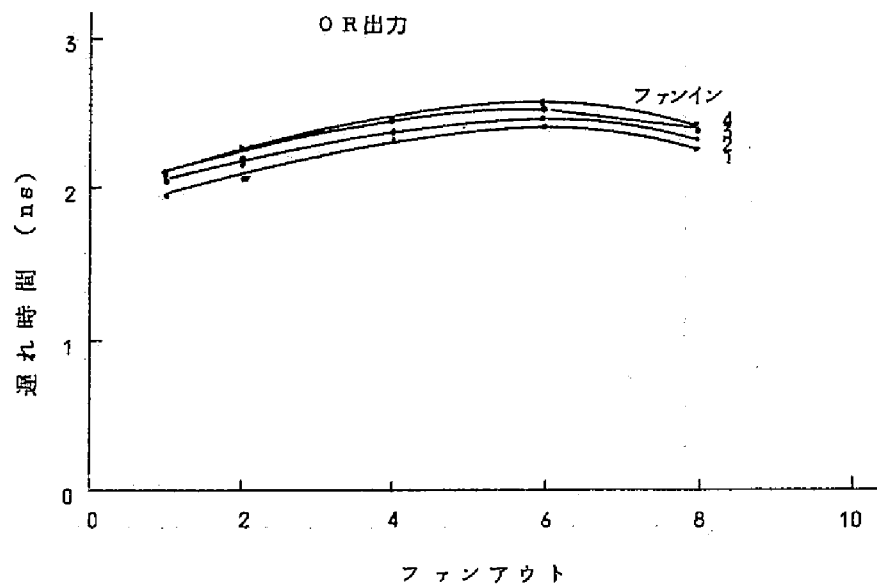
(b) OR 出力

H. 2 ns/div.
V. 0.1 V/div.

図 5.27 入出力波形 (CSEF形, 信号振幅 0.4 V, 負荷 1)



(a) EFCS 形, 信号振幅 0.4 V



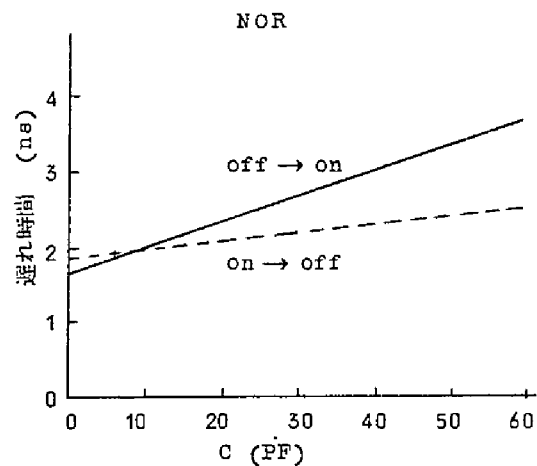
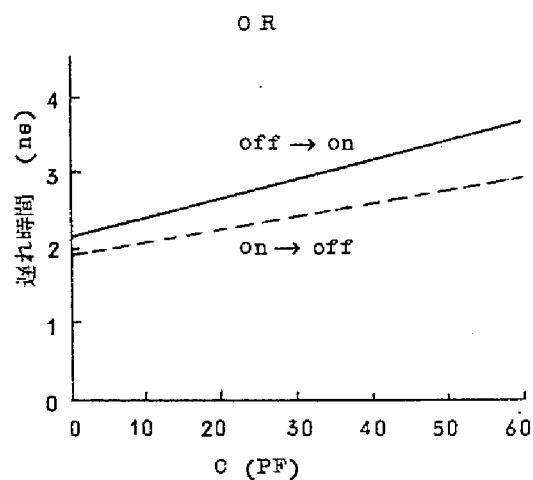
(b) CSEF形, 信号振幅 0.4 V

図 5.28 ファンアウトと遅れ時間の関係

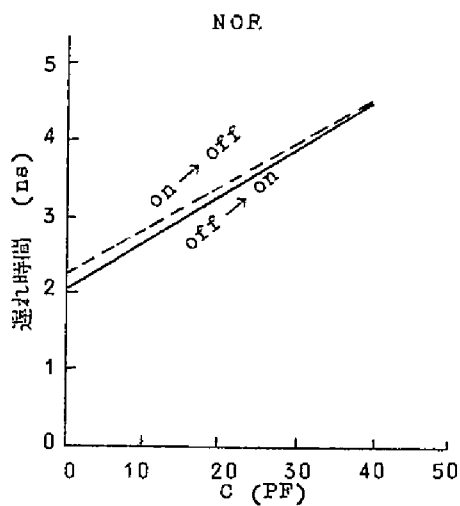
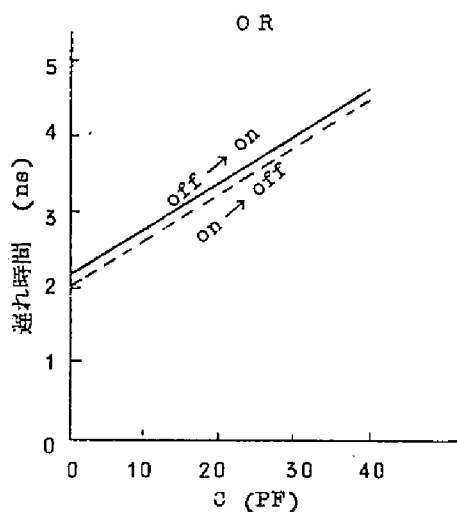
インをパラメータにしたファンアウト特性である。測定値は50%点の値である。高インピーダンスのコレクタに負荷がつながるEF-CS形ではファンアウトに対して遅れは直線的に増加し、およそ1ファンアウト当り0.4 nsになる。これに対して低インピーダンスのエミッタホロワから出力が出るCS-EF形では遅れはほぼ一定になり、ファンアウト当りの増加も0.1 ns程度である。これに対してファンインに対する影響では両者に大きな差はない。また信号振幅による差もほとんど認められない。次に回路各部につく容量に対する影響を図5.29に示す。CS-EFでは入力および出力端子につく容量のほか、浮遊容量の効果として電流切換トランジスタのコレクタおよびエミッタにつく容量が考えられる。入力容量は前段の負荷になるがその段の遅れには影響しない。出力容量は平均遅れ時間で約20 PS/PFの増加をもたらす。特にオフからオンに変化する時の遅れがやや大きい。これに対して電流切換トランジスタのコレクタにつく容量は、この場所が高インピーダンスであるため、平均遅れ時間で60 PS/PFの増加をもたらす。これはEF-CS形回路の出力容量の影響に相当する。電流切換トランジスタのエミッタにつく容量は電流切換動作をおそくする。NOR側出力はオーバドライブになり遅れは減少するがOR側はエミッタを通しての信号伝達が遅れるので遅れ時間は増大する。平均遅れ時間は両者が相殺してほぼ一定となる。EF-CS形では出力容量は前述のコレクタ容量の影響と同じである。これに対して入力エミッタホロワのエミッタ回路につく容量は、場所的にはCS-EF形の出力容量と同じであるが、遅れに与える影響は前の場合より大きい。全体として容量の影響はインピーダンスの高い点についた時には遅れが大になるから注意が必要であるが、インピーダンスの低い回路特にエミッタホロワにつく場合には影響が小さい。容量に対する遅れ時間は大体直線的に増加する。表5.4は入出力回路条件の影響による遅れの増加を示している。一般にあるゲート回路の遅れ時間を基本遅れ時間と入出力回路条件による付加的遅れ時間の和と考えて一次式表示をすることが多い。表5.4のCS-EF回路の例では、平均値を使用して次の様にあらわされる。

$$t_{pdtotal} = 1.9 + 0.13N + 0.08M + 0.026C_o \quad (5.26)$$

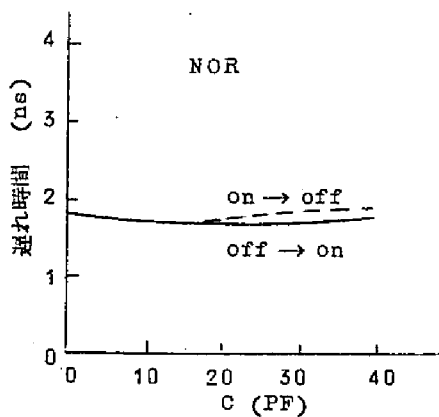
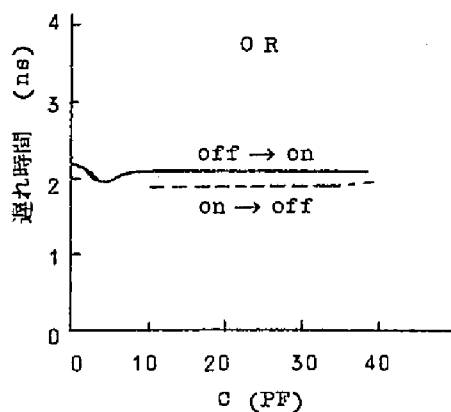
N：ファンイン数，M：ファンアウト数， C_o ：出力容量



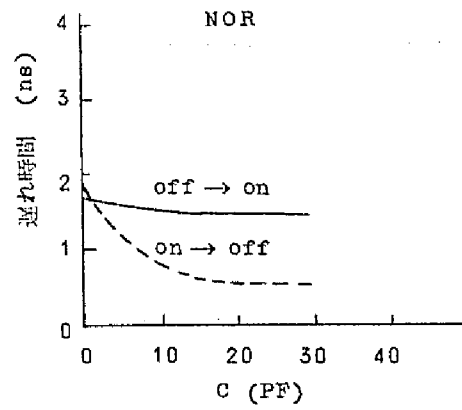
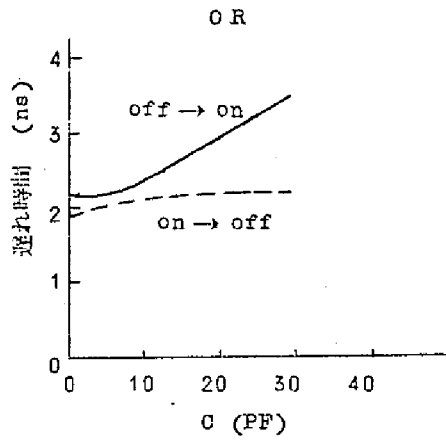
(a) CSEFのEFに容量をつけたときの遅れ時間



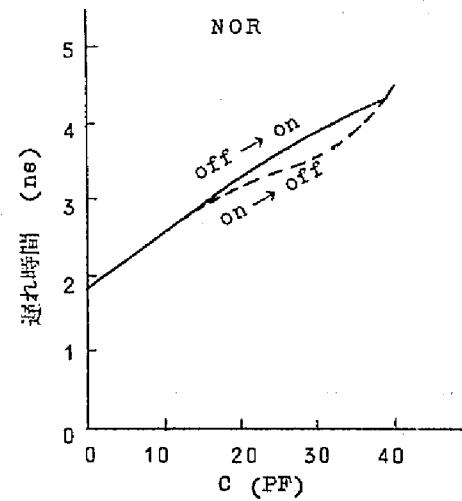
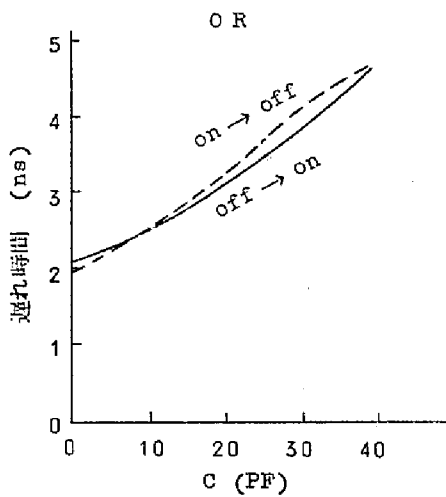
(b) CSEFのコレクタに容量をつけたときの遅れ時間



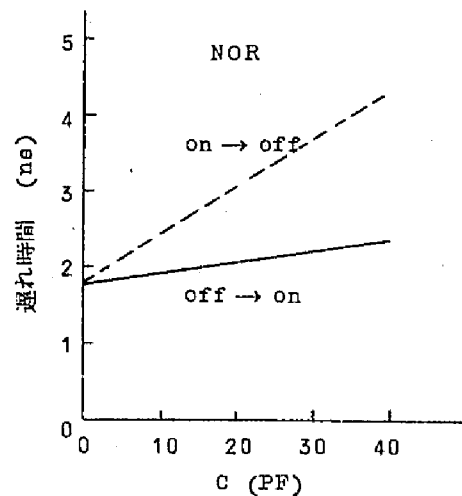
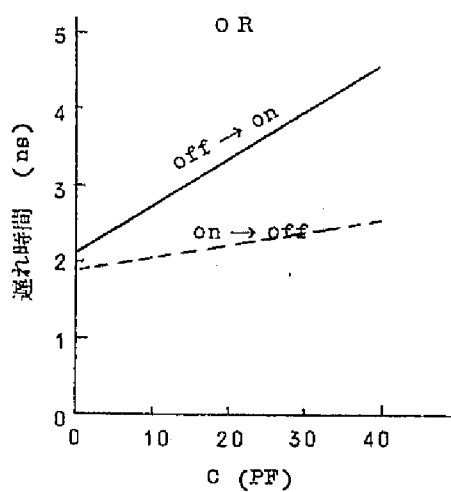
(c) CSEFの入力側に容量をつけたときの遅れ時間



(d) CSEFのCSエミッタ抵抗に並列容量をつけた時の遅れ時間



(e) EFCSのコレクタに容量をつけたときの遅れ時間



(f) EFCSのコレクタに容量をつけたときの遅れ時間

図 5.29 容量と遅れ時間の関係

(論理振幅 0.4 V, 電源電圧 -4.8 V, ファンイン 4, ファンアウト 1)

表 5. 4 電流切換回路の遅れ時間

CSEF		回路基本 遅れ時間 (ns)	ファンイン (ns)	ファンアウト (ns)	入力容量 ns/PF	出力容量 ns/PS
OR	ON→OFF(rise側)	2.0	0.1	0.07	0	0.018
	OFF→ON(fall側)	2.0	0.08	0.06	0	0.026
NOR	ON→OFF(rise)	1.7	0.2	0.1	0	0.011
	OFF→ON(fall)	1.8	0.13	0.1	0	0.050
平均		1.9	0.13	0.08	0	0.026
EFCS						
OR	ON→OFF(rise)	1.9	0.1	0.4		0.070
	OFF→ON(fall)	1.75	0.13	0.45		0.065
NOR	ON→OFF(rise)	1.5	0.1	0.4		0.065
	OFF→ON(fall)	1.55	0.1	0.42		0.062
平均		1.7	0.11	0.42		0.065

このような表示の意味は、実装状態における回路の遅れ時間は、単体として測定された遅れ時間のみでは十分でなく、実際の入出力状態を含めて考えなければならないと云うことである。これは高速回路において回路の基本遅れ時間が非常に小さくなってきたために生じてきた問題である。従来は基本遅れ時間が大きかったので変化分が無視でき、遅れ時間は一定と考えることが出来た。これに対して基本遅れ時間が小になると実装状態で遅れ時間が異なることになるから、回路設計の段階で簡単に各部の遅れ時間の予測がつけば、不都合な部分の修正も容易に行なうことができ、全体として時間的にバランスのとれた回路設計ができる。これが上記のような簡単な遅れ時間表示が必要とされる理由である。したがって式は最悪条件設計的な要素をもっており、精度は必ずしも要求されないので一次式表示で良いことになる。上式より容易にわかるように、実装状態での遅れ時間は一般に基本遅れ時間（単体の標準状態の遅れ時間に相当する）の1.5倍から2倍になる。回路の特性が良くなり基本の遅れ時間が小になればなる程この比率は大になり、実装した時に動作

速度が上らないと云う現象が起ることになる。この式より逆に最大遅れ時間を定めて、許されうる最大入出力数、容量などを決めることも出来る。次にエミッタ電流値と遅れ時間の増減の関件を図 5.30 に示す。エミッタ電流値はこの回路の消費電力に比例するので、

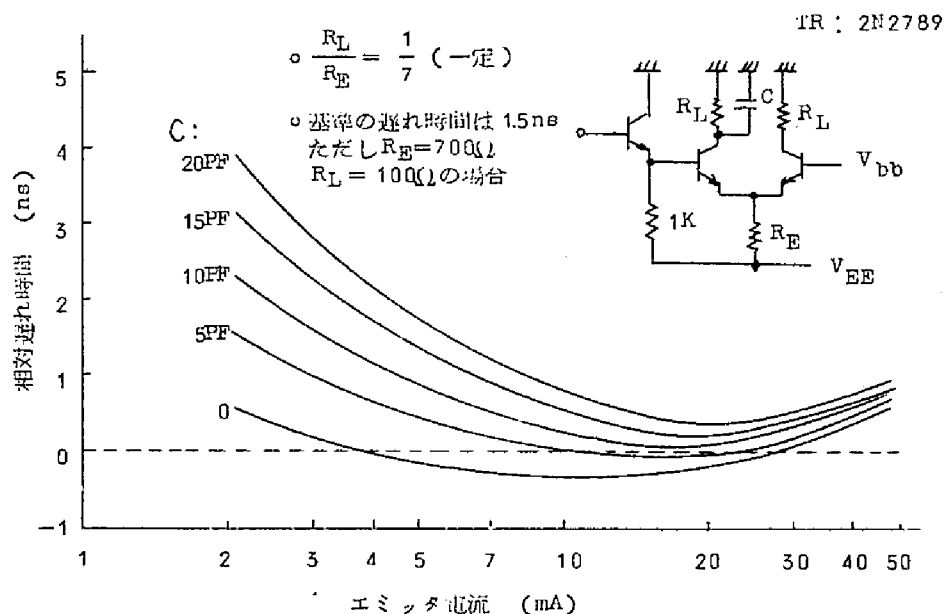


図 5.30 エミッタ電流と遅れ時間の関係

このグラフは消費電力と遅れ時間の関係を示すことになる。一般に消費電力が大になる程動作速度もはやくなると考えられているが、遅れ時間はエミッタ電流の小さいところと大きいところで増大する。これは低電流レベルの動作はコレクタ抵抗の大きさと回路の容量により定まり、高電流状態の動作はトランジスタの f_T の電流依存性によると考えられる。各電流値で f_T を測定し f_T と遅れ時間の関係をえがくと図 5.31 のようにほぼながい長円がかかる。同じ f_T 値に対して消費電力が小さい方が遅れの増加が小さいが、 f_T の低いところではこの関係が逆転することがわかる（点線部）。スイッチトランジスタのコレクタについた負荷容量の影響は当然のことながら電流の大きい時は小さくなる。したがってこの相反する傾向より、結局コレクタ出力負荷容量の値を想定して、これに対し適当なエミッタ電流が流れる様に回路常数を設計することが必要である。

以上のような考察から、高速論理回路として必要な動作条件をまとめて回路形式を検討してみる。条件を列挙すると論理的に速度を上げるためには増幅回路の段数を減らすことが必要である。このため出力側の OR tie がとれることが望ましい。また現在のままではレベル上むずかしいが、入力側にも更に論理段数を増す工夫がほしい。出力側のファンア

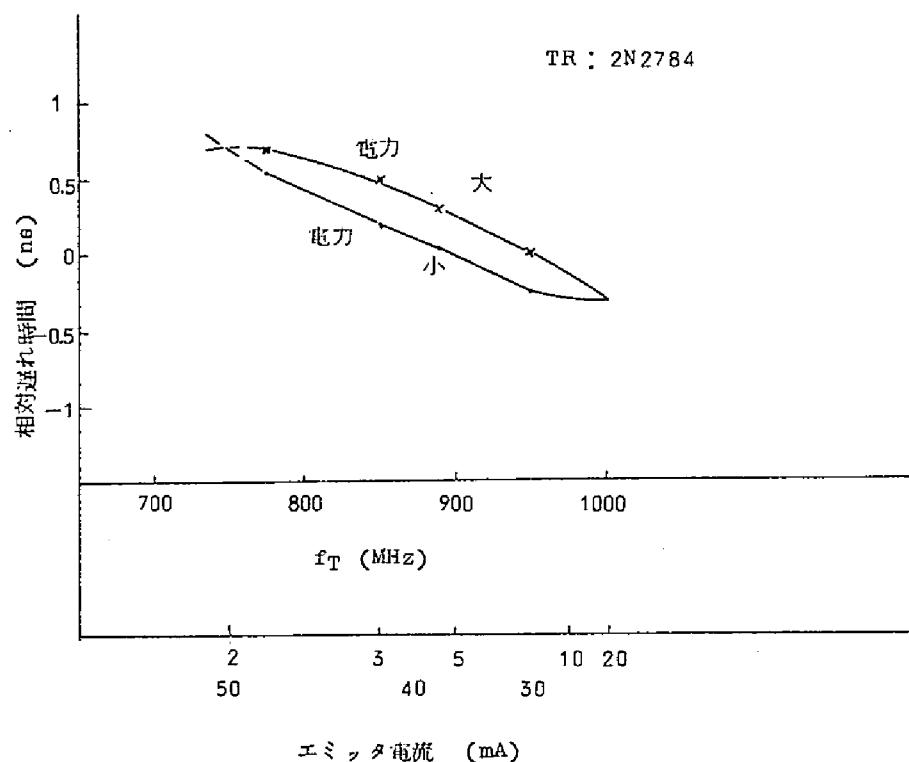


図 5.3 1 消費電力による f_T の変化と遅れ時間の関係

ウトは論理構成上 4 程度は必要である。この範囲でファンアウトによる遅れの増加は 0.5 ns 以下が望ましい。4 以上のファンアウトを必要とする場所には別に設計されたドライバ回路を使用するものとする。実装状態では配線による容量が必ずつく。したがって出力側は容量による遅れの増加が小さい形をしていることが必要である。したがって一般に低インピーダンス回路となっているのが良い。また出力は伝送線路の特性インピーダンスに整合していることが望ましい。ファンインは通常 4 で遅れの増加が無視出来る程度が必要である。ファンイン 8 は特殊な場合になり使用場所も限定されるので遅れが生じてもやむおえない。入力容量による遅れは無視出来る程小なることが必要である。論理振幅は遅れ時間にほとんど関係しないから、消費電力と雑音余裕度を考慮して決めれば良い。0.4 V から 0.8 V の間ならば特に優劣が認められないが、一般的論理回路としては 0.8 V、高密度集積回路などでは 0.4 ~ 0.6 V が良いと思われる。回路形式としては図 5.2 4 に示す 2 つの形のうちでは出力回路の特性が良い CS-EF 形の方が良い。入力回路特性は逆に EF-CS 形の方が良いが、出力回路特性が非常に悪いので全体として CS-EF 形の方が優る。

5.2.3 LSI化による速度の向上

集積回路のLSIは開発途上の技術であり実用例もまだ少ない。したがって電流切換回路のLSIも厳密にはまだ存在していないと云える。現在発表されているものは素子数が約60個であるからMSI(Medium Scale Integration)に相当するものである。しかしこれがもつ意味は次の様な点で重要である。

1. LSIは本来経済性を第1の目的にして考えられてきたが、動作速度の点からLSIを考えざるを得ないところまで回路速度が向上してきた。
2. 従来LSIは消費電力の小さな回路形式がとり上げられ、消費電力の大きな電流切換回路は最もLSIに不適當な回路と考えられていた。この電流切換回路のLSI化を考えるにはいかなる制約のもとでどの程度まで集積化されうるかと云う問題を十分に検討する必要がある。

以下にはこの様な観点より電流切換回路のLSI化について有効性、限界などについて考察を行なう。

まず基本的立場としてここで考える電流切換回路のLSIでは動作速度を第1に考え、経済性については特に述べない。また動作速度としては回路の入出力間の伝搬遅れ時間をとって考える。LSIによって短縮できる遅延時間には次の3種類がある。

1. リード線および配線による遅れ時間：トランジスタの動作が高速になるとリード線および配線の伝搬時間、配線に付随する寄生容量による伝搬遅れ時間の増加が無視できなくなる。現在トランジスタ自体の遅れは全体の70%程度であり、トランジスタの性能を改良しても全体の遅れ時間の改善への寄与は更に小さくなることが報告されている。⁽⁹⁵⁾したがって配線による遅れを短縮することが不可欠となる。今標準的な実装密度のプリント基板を考えた時このリード線および配線の長さがどの程度になるかを示したものが図5.32である。チップのボンディングパッドからプリント板上のストリップ線路までの長さはDIPで約12mm、FPで13mm程度である。容器間のストリップ線の長さを約10mmとしてもチップの出力パッドから隣りの容器のチップの入力パッドまでの距離は34~36mmとなる。この長さの遅れ時間は実測すると0.22nsとなるので、トランジスタの動作遅れ時間として1ns程度を想定した時に約20%のオーダになる。この値には寄生容量の影響は含まれていないからこの分を考慮すると30%程度の値は妥当な量であると考えられる。回路を集積化すればこの遅れ時間はなくなるので、伝搬遅れ時間1ns以下のゲート回路を考える場合には適當な集積化は不可欠であることがわかる。

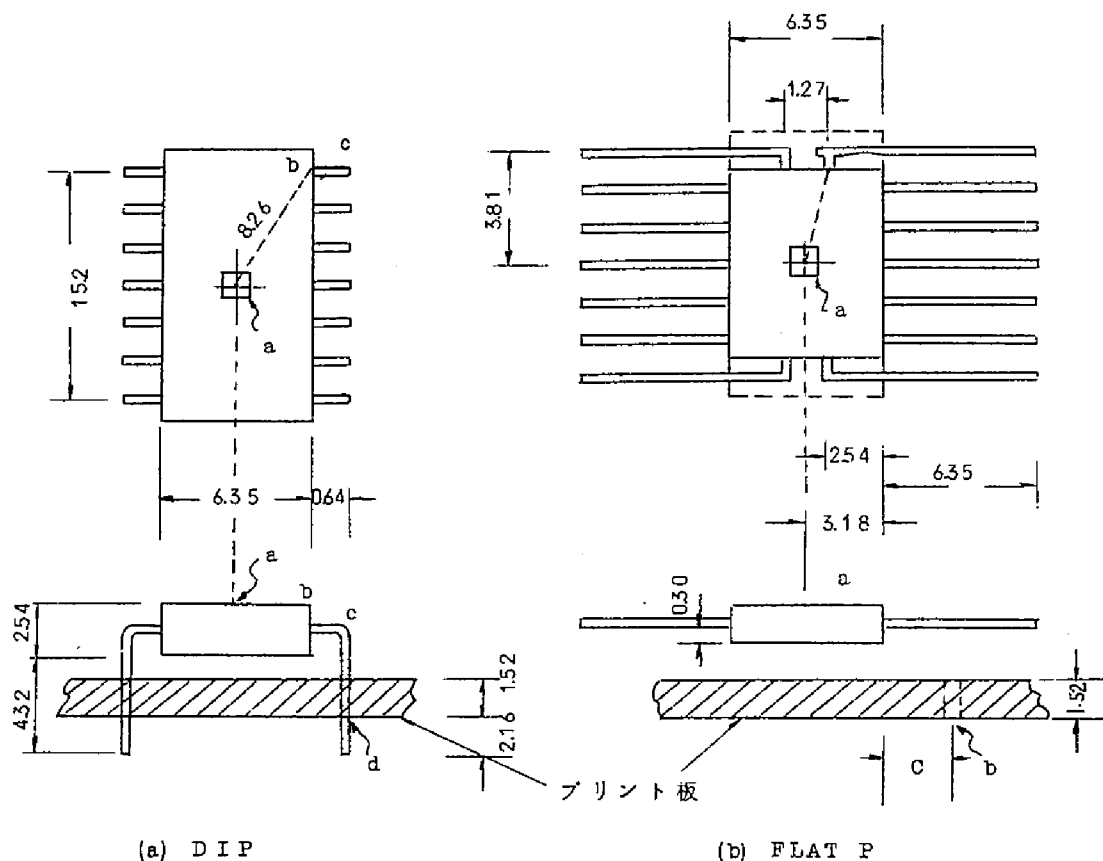


図 5.3.2 容器寸法と配線長

2. 負荷容量による遅れ時間：前に述べたようにエミッタホロワのような低インピーダンス回路の出力でも負荷容量がつくと遅れ時間は平均 $0.26 \text{ ns} / 10 \text{ pF}$ の割合で増加する。出力容量は主として容器とプリント配線によると考えられ、線長の大小により数 pF から 20 pF 程度になる。LSI 化すればこの種の容量が各ゲート回路の出力端につくことによる遅れ時間は、LSI 出力端子 1 個を除いて無くなるのでかなりの速度向上が期待できる。このことは前に示した実装を考慮した場合の遅れ時間の近似式 $\tau_{pd\text{total}}$ で回路の本質に関係しない項を零にすることを意味している。なお入力容量についても同じことが考えられる筈であるが、入力容量は遅れ時間にほとんど関係しないので省略した。

3. ゲート段数のさく減：今独立のゲート回路を考えるとそれ自体で一般性をもたなければならないから、入出力信号レベルが一致することが必要であり、また規定のファンイン、ファンアウトが満足されなければならない。したがって出力段のエミッタホロワの如き回路が必要に

なり、論理は縦続接続により構成されることになる。論理機能的にみてあるまとまったブロックを考えた時、信号の伝搬遅れは縦続段数によって定まり個々のゲート回路の遅れを小にする以外に全体の遅れを小さくする方法はない。これに対して同じブロックをLSI化する事を考えると、ブロック内の各点における信号レベルは必ずしも同一である必要はなく、また信号レベルの差も外部雑音の影響が小さいからより小さくとることが出来る。さらに論理の構成にも自由性があり縦続構成のみによる必要はない。したがって入出力間のトランジスタの段数を減らして全体の遅れ時間を小にすることが出来る。その最も簡単な例が前節で述べた全加算回路で示されている。単極性入力的全加算回路をNORゲートで構成すると入出力間は最少3段のゲートの縦続接続となる。これに対して図5.15に示した如き全加算回路を使用すると入出力間のゲートの縦続接続数は1段となるから出力の遅れ時間は $1/3$ に減少する。例えば現在実用になっているゲート回路を考えて、出力遅れ時間3 ns とすると、集積化全加算回路を使用することにより6 ns の時間短縮が可能となる。このようなことから縦続接続数をできるだけ小にするような回路構成として考えられる一つの考え方は、トランジスタを直列に接続して電流路切換を樹枝状に行なうことにより、論理機能を増加させようとするものである。この枝状回路の本来の機能はデコード回路であるが一般的な論理回路に拡張することが出来る。この場合の論理はOR/NANDまたはOR/ANDの2段論理で、従来の2段の独立回路で行なっていたものを時間的に1段の回路で行なうものである。この枝状の電流路切換回路の解析、特性、実例については第7章で詳しく述べる。この回路形式はLSIへの第1歩としてここで考えている数十素子程度の集積規模の場合には意味をもつが、本格的なLSIに対しては2つの問題点がある。その1つは論理の複雑化への制限であり、その2は消費電力である。前者に対してはここで考える電流路切換の方法では出力のOR tie を使用しても論理段数はせいぜい3段であるから、必ず縦続接続が必要になり、この点で規模の大きい論理回路の構成への拡張性に対する利点は特に増加せず集積規模に無関係に一定である。後者に対しては発生する熱の放散方法により議論がわかる。一般に1平方インチ当り自然空冷の場合で0.4 W、強制空冷の場合1.2 W、液冷（例えば水冷）の場合5.5 W の電力を消費出来る。今ゲート回路当り30 mWを消費するとすれば、強制空冷の場合に数十ゲートまでの集積が可能である。消費電力を減らすためには論理段を多重に使用して回路の効率を良くし、また消費電力の大きいエミッタホロワ回路などを出来るだけ減らしたり、エミッタホロワのエミッタ抵抗を外部結線にするなどの工夫が必要である。LSIとしての効率を考えた時集積され

る回路数は1つの目安として1平方インチ当たり1000ゲート程度が考えられている。もし現状の回路を使用すれば全消費電力が数Wになるから、ゲート回路当りの消費電力をさらに小さくするか、または液冷のような適当な冷却法を採用するかしなければならない。

以上にはLSIのための問題点の全てをあげたわけではない。動作速度に関係なくLSI化のために解決すべき問題は多くあるが、ここでは本論に直接関係ないので省略した。とにかく高速動作を実現するために電流切換回路をLSI化することは可能であり、LSI化することにより利点があることは明らかである。具体的な回路を選定する時に、効率の良い回路方式と論理形式を考察すれば良い。

5.3 フィードバック回路によるノイズマージンの向上

5.3.1 ノイズマージンの定義

前節では動作速度について考察を加えたが、本節では視点を変えて、電流切換回路のノイズマージンについて検討する。高速論理回路として電流切換回路はすぐれた性質を持っているが、第1節に述べたように論理振幅を大きくとる高レベル形では消費電力が大きい欠点がある。小電力であることを要求される集積回路では、この欠点を除くために論理振幅を0.4～0.8Vにすることにより動作速度をおとすことなく全体の電力消費を軽減している。しかし論理振幅を0.8V以下にしたことはノイズマージンも共に減少していることであるから、実装した場合の対雑音特性を検討しておくことが必要である。本節ではノイズマージンの定義、通常の電流切換回路のノイズマージン、入出力特性にヒステリシスをもたせる方法によるノイズマージンの改善、ノイズマージンを考慮した回路の性能指数などについて論じる。ここで考えるノイズマージンは図5.33に示すようにとることとする。

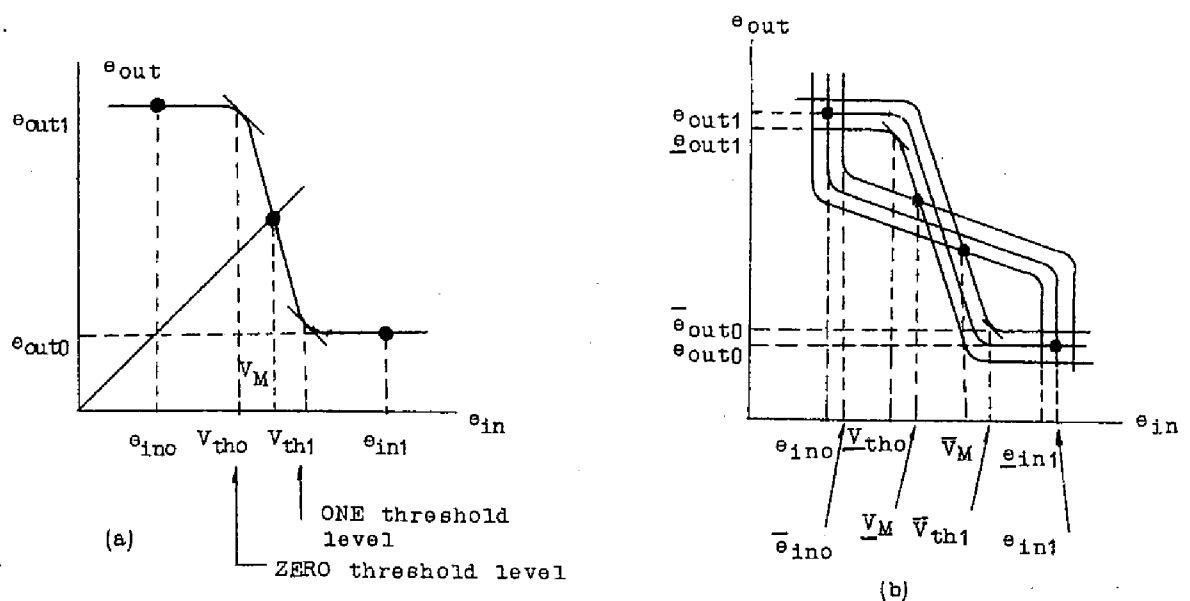


図 5.33 動作電圧レベル

すなわち DC ノイズマージンとしては図 5.33 (a)に示すように入出力特性上で incremental gain が 1 となる入力レベルを zero threshold level V_{th0} , One threshold level V_{th1} とすると, typical DC noise margin は

$$\text{"0" 状態に対して} \quad V_{th0} - e_{in0}$$

$$\text{"1" 状態に対して} \quad e_{in1} - V_{th1}$$

となる。最悪状態の場合には図 5.33 (b)に示すように入出力特性が変化幅をもつのでその最悪値をとると

$$\text{"0" 状態に対して} \quad \underline{V}_{th0} - \overline{e}_{in0}$$

$$\text{"1" 状態に対して} \quad \underline{e}_{in0} - \overline{V}_{th1}$$

となる。文字の上と下の一は最大値, 最小値を示す。ここで max zero, min one は回路のパラメータの最悪値より定まるレベルの変化を考慮した時の "0", "1" 状態の最悪値である。この DC マージンは出力レベルの変動が実際上ないようにとったものである。入出力特性が利得 1 の線と交わる点のレベルを V_M とすると V_M と e_{in0} または e_{in1} の間のレベル差を AC ノイズマージンとする。これはその状態での最大ノイズマージンに相当する。最悪値の場合には \underline{V}_M と \overline{e}_{in0} または \underline{e}_{in1} と \overline{V}_M の間のレベル差となる。このとり方は Luecke の定義⁽¹¹²⁾ より DC マージンがきびしくなっている。

論理振幅 0.8 V の代表的な電流切換回路の場合について考察する。資料回路として MC1001P をとり上げ, 図 5.34 に周囲温度の変化に対する入出力特性の変動幅を示す。出力レベルの変化は温度に対して直線的で, "1" レベルはほぼ 1.7 mV/°C, "0" レベルは 1.1 mV/°C で変化している。図 5.35 には電源電圧に対する入出力特性の変化を示す。この回路はコレクタ電源が接地で, エミッタ電源として負電圧を使用しているので, 電源変動に対して "0" レベルのみが 11 mV/% の割合いで変化する。ここに示した特性はほぼ電流切換回路の代表的な例である。同じ回路を従続接続すると仮定して, 標準状態および電源電圧と温度が変化した時の最悪状態について動作点を求めると図 5.36 になる。この図より typical DC noise margin DCNF は約 280 mV, typical AC noise margin ACNF は約 360 mV であることが読みとれる。特性が完全に対称でないので中心より右側の部分の方がノイズマージンが小さく, 上の値はこの部分で定まっている。worst case DC noise margin は約 160 mV である。次にこのノイズマージンを高レベル電流切換回路のノイズマージンと比較してみる。図 5.37 は 1 例として実測した入出力特性である。この回路はエミッタ回路にトランジスタを入れて定電流化し, NOR 出力

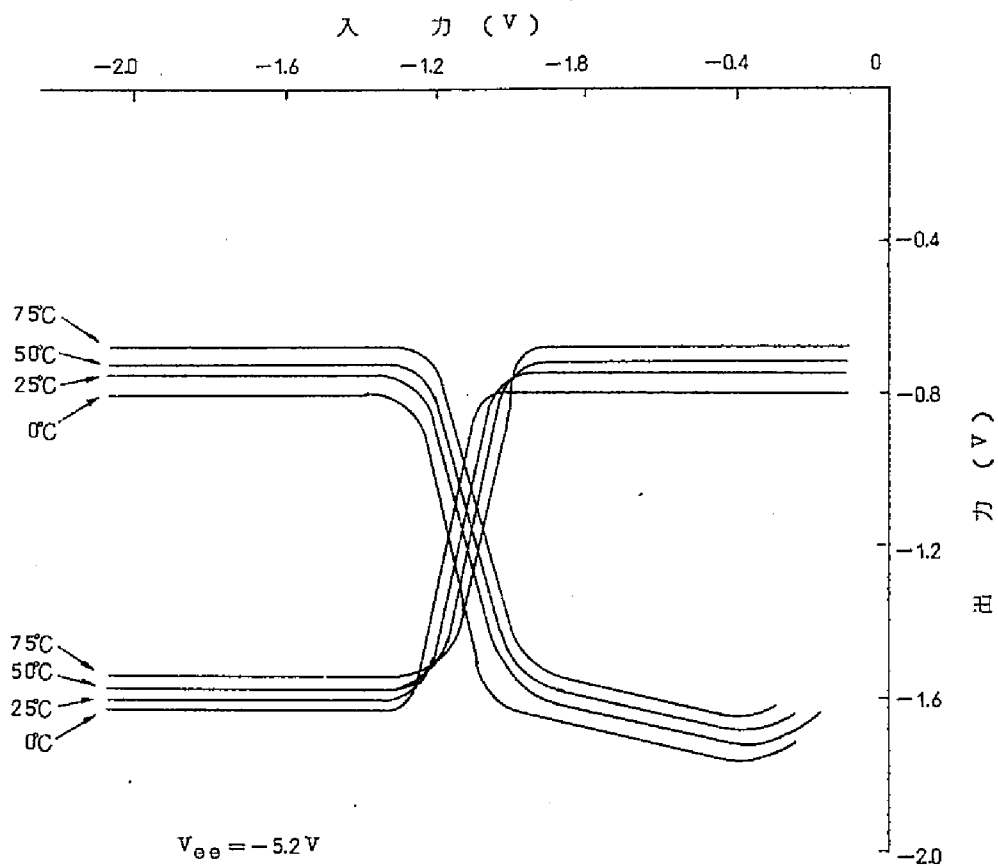


図 5.3 4 入出力温度特性 (資料 MC1001P)

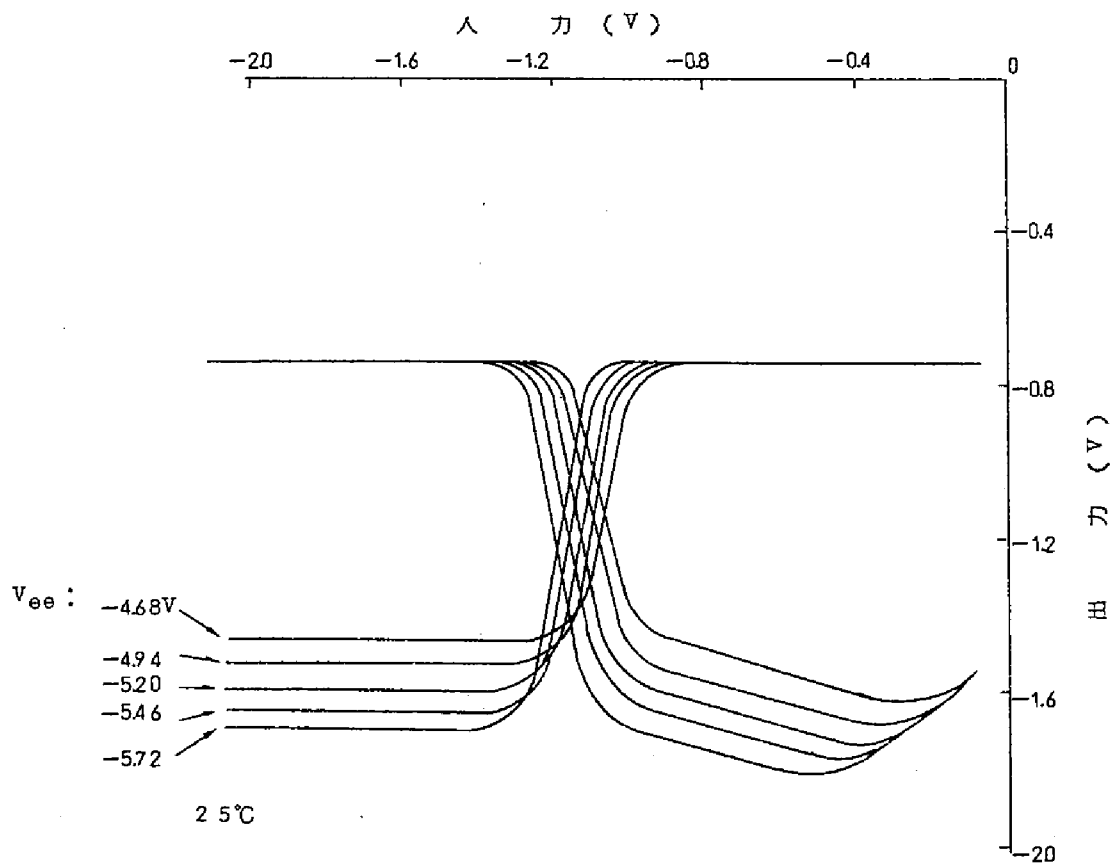
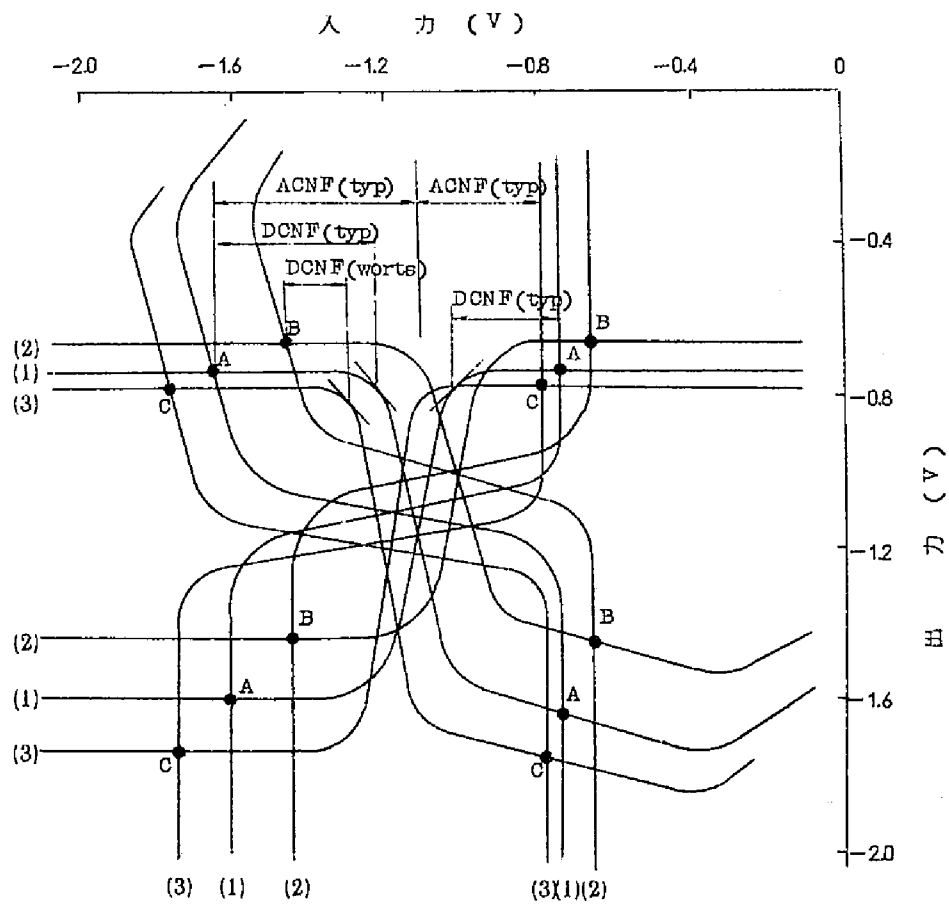
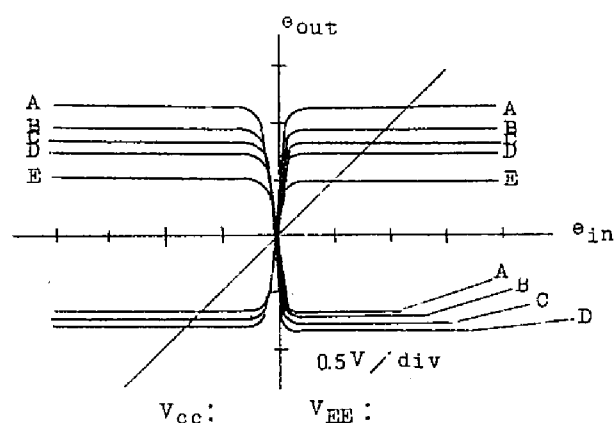


図 5.3 5 入出力電源電圧特性 (資料 MC1001P)



- (1) 25°C $V_{ee} = -5.2V \rightarrow$ 動作点 A
- (2) 75°C $-4.68V \rightarrow$ 〃 B
- (3) 0°C $-5.72V \rightarrow$ 〃 C

図 5.36 動作点とノイズマージン (資料 MC1001P)



		V_{CC} :	V_{EE} :
A	75°C	2.58 V,	-3.83 V (+5%)
B	25°C	2.58 V,	-3.83 V (+5%)
C	25°C	2.45 V,	-3.65 V (基準)
D	25°C	2.32 V,	-3.47 V (-5%)
E	-25°C	2.32 V,	-3.47 V (-5%)

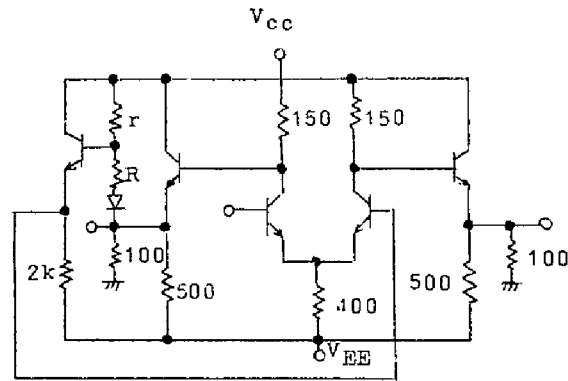
図 5.37 入出力特性の変動
(高レベル電流切換回路)

のレベル安定と飽和点を高い方へずらしている。図 5.37 の C は標準状態における特性で、周囲温度 0°C より 75°C の間で電源電圧を $\pm 5\%$ 変動させた場合の最悪状態の特性が A および E である。常温では飽和点が 1.4 V であるが 75°C では 1.0 V になる。いま 75°C でも飽和までに余裕をとりかつ論理振幅を大にとるには論理レベルとして ± 0.75 V が適當と考えられる。このとき typical DC noise margin は約 0.62 V, typical worst case noise margin は約 0.45 V である。平均の遅れ時間は約 6 ns で、消費電力は約 300 mW (NOR, OR 両出力回路の負荷抵抗の消費を含む) となり、これは通常の低レベル電流切換回路の 2 ~ 2.5 倍である。勿論信号振幅が大きいため論理構成や論理段当りの遅れ時間が改善されるなどの利点もあるが、消費電力の大きいことはやはり決定的に不利である。後出の表 5.5 に他の回路と共に特性をまとめて示してある。

5.3.2 ヒステリシスをもつ電流切換回路の特性

電流切換回路の NOR 出力を適當に分圧して OR 側ベースの比較基準電圧に使用するとシュミット回路と同じ動作になり、入出力特性にヒステリシスを生じノイズマージンが増加する。このループは出力と正電源電圧の間で分圧する方法と出力とアースの間で分圧す

る方法とが考えられるが、ヒステリシス幅の制御の点で前者の方が良いのでここでは前者の形をとる。回路を図 5.38 に示す。構成はトランジスタとして 2N2368 を使用した離



$V_{CC} : 1.25 \text{ V}$
 $V_{EE} : -3.50 \text{ V}$
 ダイオード: 1S325

図 5.38 ヒステリシス形の回路図

散素子回路とスイッチ回路に集積回路 SN7001 (表 5.1) を使用し分圧ループのみ外部からつけ加えたものの 2 種類について実験した。集積回路は内部の常数は不明でブラックボックスとしての入出力端子の特性しか解らない。電流切換回路の入出力特性の一般的な表示式は (5.1) ~ (5.6) 式に示した。ヒステリシスのない場合に基準ベース電位 V_{BB} を変化すると静特性は左右に移動するだけであるが、このベースに

$$\theta_{BB} = K \theta_{01} + \Delta \theta \quad (5.27)$$

ただし θ_{01} は NOR 出力電圧, $\Delta \theta$ は定電圧, K は常数
 なる形で出力をフィードバックするとヒステリシス特性が出る。一般式の数値計算は繁雑になるのでここではグラフ上の作図によりヒステリシスを求めた。図 5.39 は理想的な対称入出力特性を仮定して直結ループ ($k=1$, $\Delta \theta=0$) の場合の特性で、ヒステリシス幅が最大の場合である。ヒステリシス幅は $\pm 280 \text{ mV}$ である。実際の場

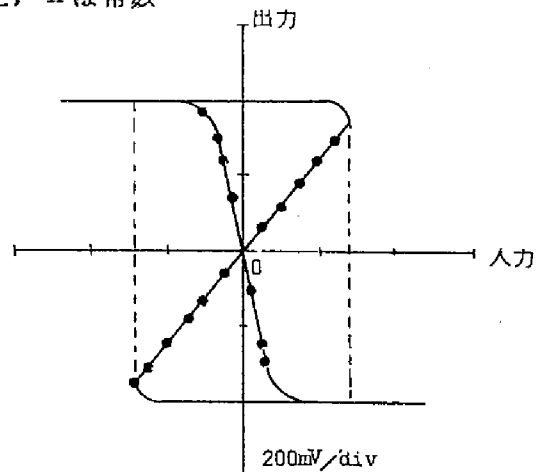


図 5.39 理想の場合のヒステリシス特性

合には入出力特性が対称でないことと分圧回路によりヒステリシス幅はせまくなる。分圧回路の出力すなわち比較基準ベース電圧 e_{BB} は実験的に次式で示される。

$$e_{BB} \cong V_{CC} - \frac{(V_{CC} - e_{O1}) - V_d}{R + r + r_d} r - V_{be}$$

$$\cong 0.50 - (0.75 - e_{O1}) \frac{r}{R + r + 150} \quad (5.28)$$

ただし V_d , r_d はダイオードの導通点電圧と順方向抵抗

V_{be} はトランジスタのベースエミッタ間電圧

R, r は分圧抵抗 (図 5.38 参照)

実験の 1 例と上式の結果を図 5.40 に示す。この結果を使用して描いたヒステリシス特性を図 5.41 に示す。左右の形が少し異なるがほぼ $\pm 100 \text{ mV}$ のヒステリシス幅となる。

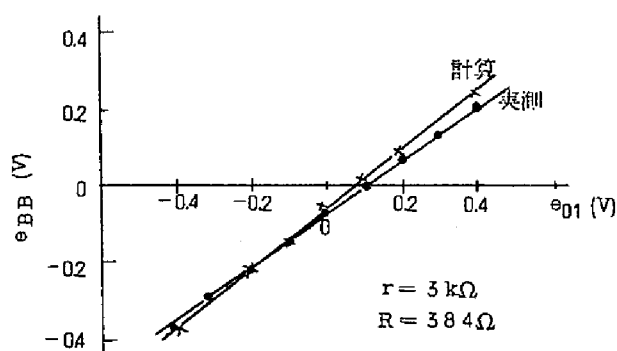


図 5.40 NOR 出力 e_{O1} と基準電圧 e_{BB} の関係

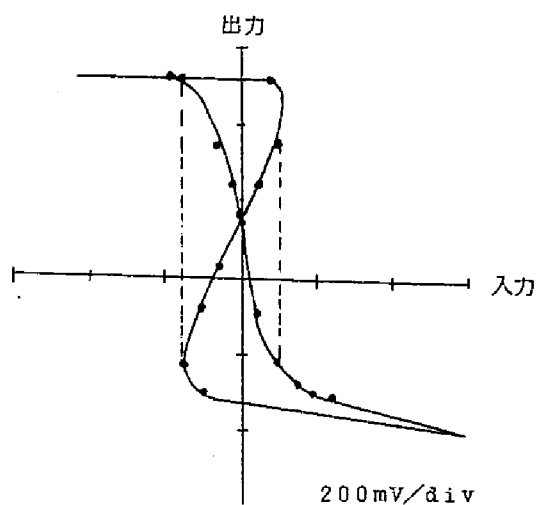


図 5.41 SN7001 を使用した場合の代表的ヒステリシス特性

ヒステリシス幅は理想の場合には大体比較基準ベース電位 e_{BB} の変化幅より静特性の遷移幅だけ小さい。すなわち

$$\begin{aligned}\text{ヒステリシス幅} &= \left\{ e_{BB(H)} - \frac{\text{遷移幅}}{2} \right\} - \left\{ e_{BB(L)} + \frac{\text{遷移幅}}{2} \right\} \\ &= E_{BS} - \text{遷移幅}\end{aligned}$$

ただし $e_{BB(H)}$, $e_{BB(L)}$ は比較基準ベース電位の高レベルと低レベル

$$E_{BS} = e_{BB(H)} - e_{BB(L)} \text{ すなわち比較基準ベース電位の変化幅}$$

e_{BB} は R , r の分割抵抗の関数であるから、ヒステリシス幅は両抵抗の比とともに抵抗値によって定まる。図 5.42 には分割抵抗比を変化したときのスイッチレベルの変化の 1 例

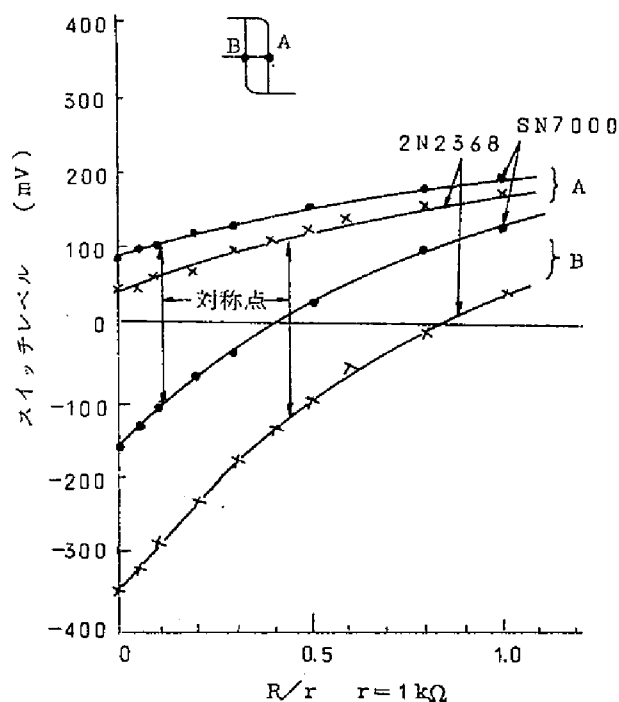


図 5.42 分割抵抗比とスイッチレベルの関係

を示しているが、ヒステリシスが左右対称の幅となる抵抗値の組がある幅に対してただ一つ定まる。ヒステリシス幅は理論的には直結したときの最大値までの範囲内で任意にとれるわけであるが、実際にはあまり大きいものは回路構成上つくりにくいばかりでなく、あまり望ましくない。±100 mV 以下が適当であると考えられる。図 5.43 はヒステリシス幅と比較基準ベース電位の関係を測定したものである。低い側はヒステリシス半値幅に対して基準ベース電位の絶対値が大きい。これは SN7001 の NOR 出力の低レベルは入力的大小によってその DC レベルが変化するためである。すなわち入力が小さく

なると NOR 出力の低レベルが上り、それがフィードバックされ基準ベース電位が上るためであり、定常状態では基準ベース電位は低い但实际上にスイッチする時にはかなり上っているものと考えられるからである。

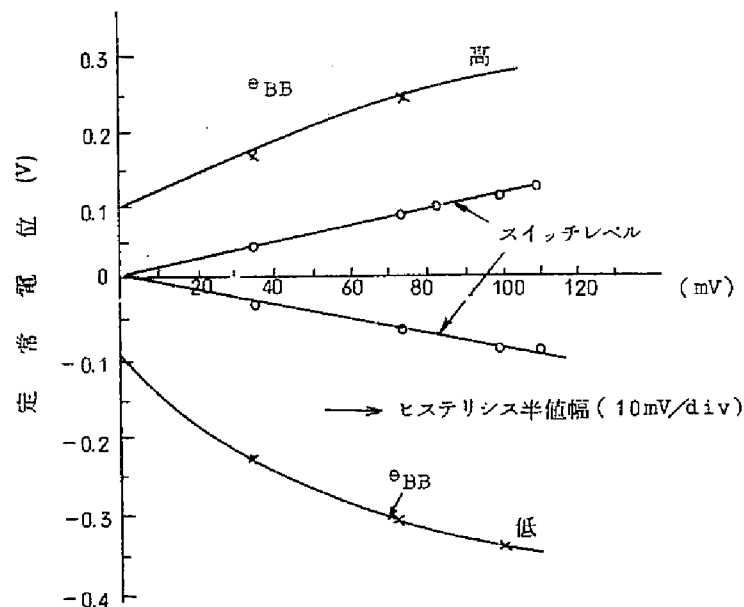


図 5.4.3 比較基準ベース電位 e_{BB} と
ヒステリシス幅の関係

次にヒステリシス形電流切換回路のスイッチ特性について調べてみよう。まず遅れについてみるとヒステリシスループがつくと遅れが増加するが、これは主として基準ベース電位が変わるために等価入力に変化し、エミッタ共通の 2 個のトランジスタに流れる電流の比が変わり、入力側のトランジスタの動作が遅くなり立上り時間が大になるためと考えられる。このほかに基準レベルが移動するため入力がこのレベルに達するまでに必要とする余分の時間も遅れとなる。この時間は入力パルスの立上りが良ければ小さく、悪ければ大きくなる。図 5.4.4 は立上り時間 2ns の入力パルスを使用したときのヒステリシス幅とスイッチ時間の関係である。ヒステリシス幅が大きくなると遅れも過渡時間も共に大きくなっている。またヒステリシスループの有無によりスイッチ時間にジャンプがある。これはヒステリシスループによって基準ベース電位が変化してもその幅がある値 ($\pm 100\text{mV}$) より小さい場合には、入出力伝達特性の変化が鋭くなり遅移幅が小さくなるが、ヒステリシスはまだ現れず、遅れ時間は基準ベース電位の変化幅の増大につれて大きくなるためである。同じ図を図 5.4.3 の関係により基準ベース電位の変化幅 E_{BS} とスイッチ時間の関係に描きかえると図 5.4.5 の曲線(1)に示すようにスイッチ時間は E_{BS} に対してなめらか

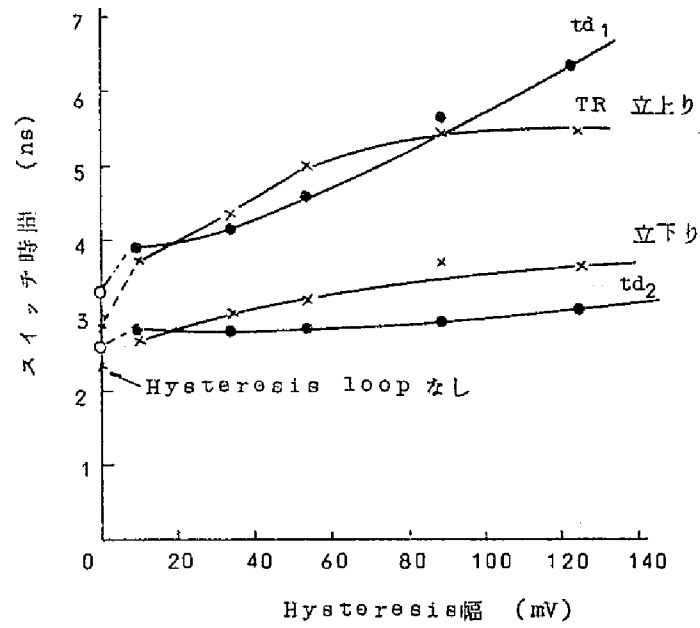


図 5.44 ヒステリシス幅とスイッチ時間の関係

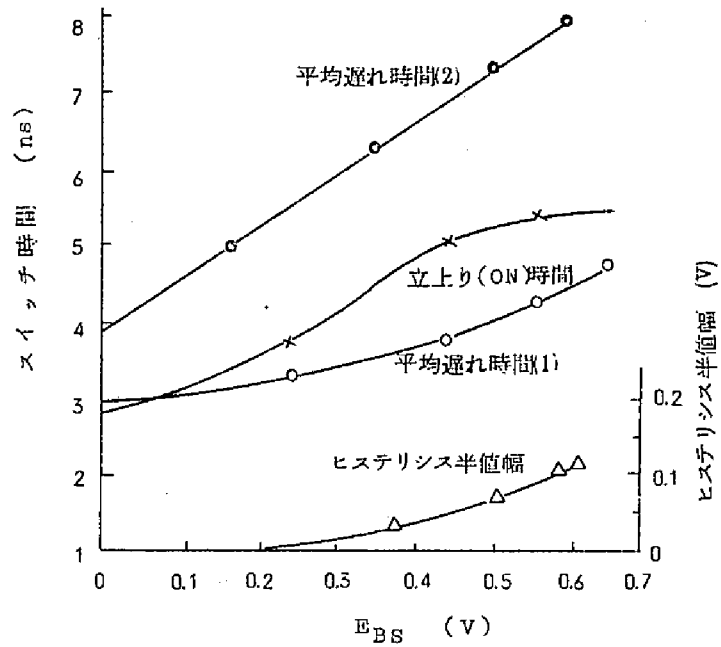


図 5.45 基準ベース電位変化幅 E_{BS} とスイッチ時間の関係

(1) は入力パルス立上り 2 ns

(2) は " 15 ns

に変化する。同図の平均遅れ時間(2)は立上り15 nsの入力パルスで動作させた場合で、入力パルスの立上り時間は出力の遅れ時間に大きく影響することがわかる。一定のステップ状入力 e_{in} に対してスイッチ回路のコレクタ波形 (NOR側) の立上り (トランジスタがオンになる方向) 部分の基準ベース電位 e_{BB} に対する関係は直線近似により求めると次式のようになる。

$$e_o = V_{cc} - \frac{R_c}{r_e} \left\{ \frac{(e_{in} - e_{BB}) + r(e_{in} - V_{EE})}{2 + r} + \frac{(e_{in} - e_{BB})}{2(\tau_c - 1)} e^{-\frac{\tau}{\tau_c}} - \frac{(\tau_c - \tau_e)(e_{in} - e_{BB}) + r(\tau_c - 1)(e_{in} - V_{EE})}{(\tau_c - 1)(2 + r - \frac{2\tau_e + r}{\tau_e})} e^{-\frac{\tau}{\tau_e}} - \frac{\frac{r}{2+r}(-e_{BB} - e_{in} + 2V_{EE})}{2(\frac{(2+r)\tau_c}{2\tau_e + r} - 1)} e^{-\frac{\tau}{2\tau_e + r}} \right\} \quad 0 \leq \tau \quad (5.29)$$

ここに V_{cc} , V_{EE} はコレクタおよびエミッタ電源電圧, R_c はコレクタ抵抗, R_E は共通エミッタ抵抗, r_e は等価エミッタ抵抗, $r = r_e/R_E$, $\tau_e = \tau_e/\tau_B$, $\tau_c = \tau_c/\tau_B$, $\tau = t/\tau_B$, τ_B , τ_c , τ_e はベース, コレクタ, エミッタ回路の時定数, e_{in} は入力電圧, e_{BB} は基準電圧である。 e_{BB} は指数関数の係数のみに含まれ, 等価入力 ($e_{in} - e_{BB}$) の大小により同じ時間経過した後の出力電位の変化量が違ってくる。NOR側コレクタの電位 e_{o1} を e_{BB} をパラメータにして描くと図5.46のようになる。

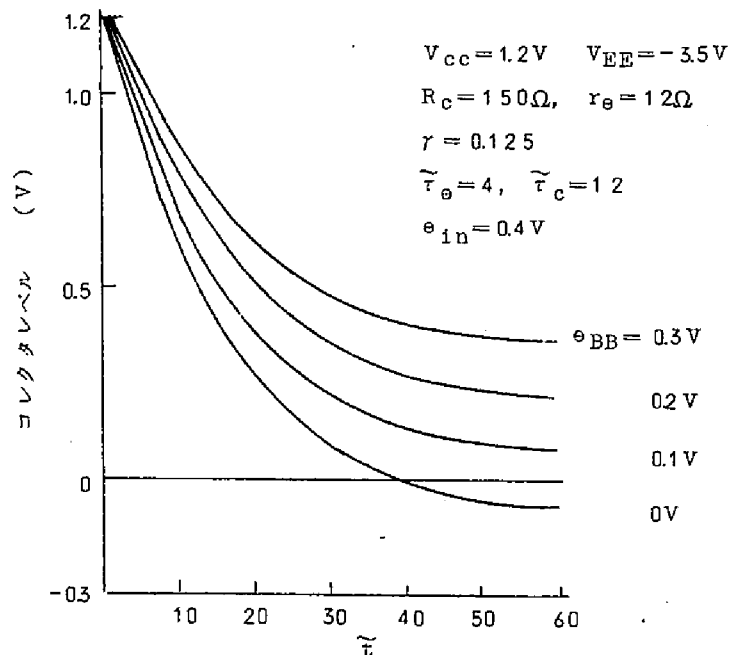


図5.46 出力波形の立上り部分の計算値

出力の傾向をみると e_{BB} が大になり、 $(e_{in} - e_{BB})$ の値が小さくなるに従って立上り時間が大になり遅れ時間が増加する様子がわかる。ヒステリシスのある回路ではヒステリシスループの時間遅れのために e_{BB} はステップ入力 e_{in} に追いつけないので、スイッチの初期においては等価入力 $(e_{in} - e_{BB})$ が小さく、立上りが遅くなり、したがって遅れ時間が増大する。また e_{BB} (分割抵抗によって定まる) が大きければ大きい程遅れ時間が増大する。すなわちヒステリシス幅の増大につれて立上りが悪くなり、遅れ時間が増大することが明らかになる。

5.3.3 ノイズマージンの改善と回路の比較

ヒステリシスがあるときは入出力伝達特性の変化が鋭くノイズマージンはヒステリシスの点まで一杯にとれ、ヒステリシスのない場合に比べて大幅に増加する。たとえば ± 100 mV のヒステリシスのときは、ノイズマージンは 500 mV である。ただしこの場合は出力の DC レベルの変動または減衰に対しては問題が残る。ヒステリシス幅が非常に小さいときはノイズマージンは 400 mV である。いずれの場合にしても typical DC noise margin と typical AC noise margin は同一になり DC ノイズマージンが改善される。さらにパルス性雑音のみについて考えれば、雑音パルス幅が 10 ns 以下のように細いものに対してはヒステリシスループの時間遅れのためにさらに大きなノイズマージンをもっている。図 5.47 は入出力伝達特性の incremental gain が 1 になる点までの入力雑

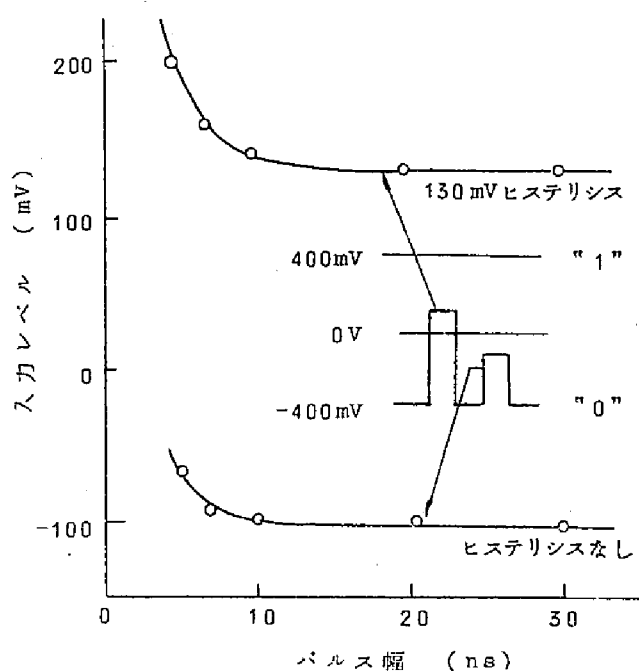


図 5.47 パルス性雑音特性

音パルスのレベルとパルス幅の関係を測定したものである。特性の平坦部は入力パルス幅が大きくヒステリシスループ回路の動作が追いつくので、ヒステリシス幅で定まる定常のノイズマージンが現れている部分である。ヒステリシスループが付いたための消費電力の増加はエミッタホロワ1回路分程度である。実測によれば離散回路の場合に97mW から106mW, 集積回路の場合には132mWから139mWと10mW以下の増加である。したがってこの回路では消費電力の増加よりも遅れ時間が制限因子となる。スイッチ時間はトランジスタの特性と入力パルスのよさによるから、よいトランジスタを使用した回路でスイッチ時間がはやければ遅れ時間も小になり、1~2ns程度の遅れの増加は許されるものと考えられる。図5.48はSN7001を使用したときの波形の比較である。以下に代表

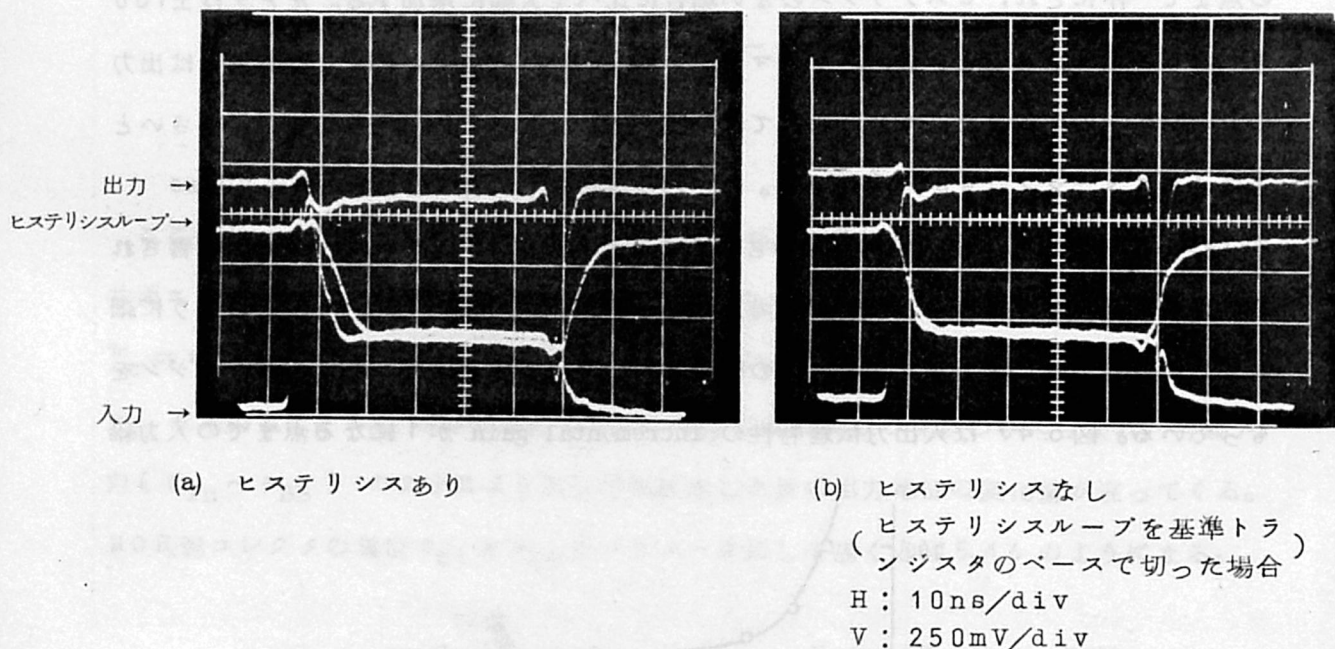


図 5.48 SN7001の波形比較

的な特性を示す。カッコ内は集積回路SN7001を使用した場合である。

論理振幅 0.8 V, ヒステリシス幅 120mV, 平均遅れ時間 5.7ns (4.3ns) (ただし入力は2nsの立上りの場合), 消費電力 106mW (139mW), typical noise margin 520mV, 電源電圧 1.25 V, -3.50 V

次に上に述べた回路を比較するために Figure of Merit について考えてみる。従来から異なる形式の回路の比較には遅れ時間と消費電力の積をとる方法が採用されてきた。しかしこの比較では論理振幅の大小やノイズマージンなどは考慮されていないので、本文に

おけるようにノイズマージンの改善を主眼に考えている場合には不適当と考えられる。ここではノイズマージンと出力インピーダンスを考慮して次式のような Figure of Merit をとる。

$$\text{Figure of Merit} = \frac{\text{delay} \times \text{power dissipation}}{\text{noise margin/output impedance}}$$

この式で出力インピーダンスが等しい上述の各回路を比較するとき、ノイズマージンの改善度と遅れ時間または消費電力の劣化の度合を比較することになり優劣がはっきりする。

表 5.5 は各回路の特徴と Figure of Merit の計算結果の一覧表である。この表で遅れ

表 5.5 各回路方式の比較結果

種類	方式	レベル	遅れ	ノイズ・マージン	ヒステリシス幅	消費電力	F of M	備 考
離散素子回路	標準形	±0.4V	48ns	280mV		97mW	$\times 10^{-7}$ 1.66	遅れ時間は出力をフィードバックして測定した。()内は立上り 2nSの入力パルスを使用した場合である。
	高レベル	±0.75	5.7	620		310	285	
	ヒステリシス	±0.4	9.0	520	±120mV	106	1.83	
集積回路	標準形	±0.4	3.9 (3.0)	280		132	1.98 (1.52)	
	ヒステリシス	±0.4	5.2 (3.2)	400	≐ 0	139	1.81 (1.11)	
		±0.4	6.6 (3.6)	440	± 40	139	2.08 (1.14)	
		±0.4	8.1 (4.3)	520	±120	139	2.16 (1.15)	

時間は自己の出力をフィードバックした場合を基準に考えた。したがって入力パルスの立上りがよくないので遅れは大きく出ている。消費電力は負荷の 100Ω での消費も含めていたので通常の場合の値より大きくなっている。Figure of Merit を参考にして各方式を比較してみると、高レベルは他の方式に比べて特に悪い。これは電力消費が非常に大きくまた遅れ時間も少し大きいために、ノイズマージンが最も大きいにもかかわらず全体としてはなを劣ることを示している。ヒステリシス形は標準形に比べて遅れ時間が大きいのでノイズマージンは大きくても若干悪く出ている。しかし入力パルスの波形がよい場合にはヒステリシスのための遅れ時間の増加が小さいので、標準形よりも良くなっている。回路常数が異なると消費電力などが変わると Figure of Merit も変わるので確定的ではな

いが、一般的に云えばノイズマージンが満足されるならば標準形が良く、ノイズマージンを増す必要があるならばヒステリシス特性をもたせるのがよいと考えられる。

第6章 電流切換形集積回路の実用化試験

6.1 実装の考察

6.1.1 ストリップ線路の特性インピーダンス

実装に関してここで述べる事柄は、電流切換形集積回路を使用した高速計算機に採用した実装技術の概略を紹介し、そのような構成を採用した考え方を示すものである。本章の実験はTOSBAC-3400型電子計算機の高速化をはかるために行った基礎実験である。使用した集積回路をはじめ実装技術も全て実用状態に準拠しており、いくつかの方法を試験した中から最も適当なものを選定して実用に供した。このため若干の制約が加わった。例えば新しい技術は従来のTOSBAC-3400計算機の技術の延長上にあることが望ましく、実用性が十分に確認されているものでなければならない。したがって部品なども性能に加えて供給能力や経済性を考慮しなければならない。このような観点から実用されたものには特に珍しい部品や技術はなく、標準的な実装になっている。

最初にプリント線路の特性インピーダンスについて述べる。無限接地面と信号線が対向している非対称ストリップ線路の特性インピーダンスを求める実用的な式は、等角写像法を利用してすでに1952年にAssadourian等⁽⁵¹⁾によって発表されている。今図6.1

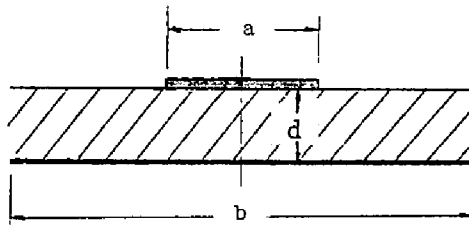


図 6.1 ストリップ線路の構造

に示すように記号を定める。計算上の仮定としては導体の厚みは無視する。まず $a \ll d$ の場合には特性インピーダンス Z_0 は

$$Z_0 \cong \frac{60}{\sqrt{\epsilon_r}} \ln \frac{8d}{a} \quad (6.1)$$

となる。 ϵ_r は誘電体の比誘電率である。これに対して $a > d$ の場合 Z_0 は

$$Z_0 = \frac{120\pi}{\sqrt{\epsilon_r}} \left/ \frac{a}{d} + \frac{2}{\pi} \left[1 + \ln \left(1 + \frac{\pi a}{2d} \right) \right] \right. \quad (6.2)$$

となる。両式を図示すると図 6.2 の実線に見るように $a/d = 1$ を中心にして両者が不

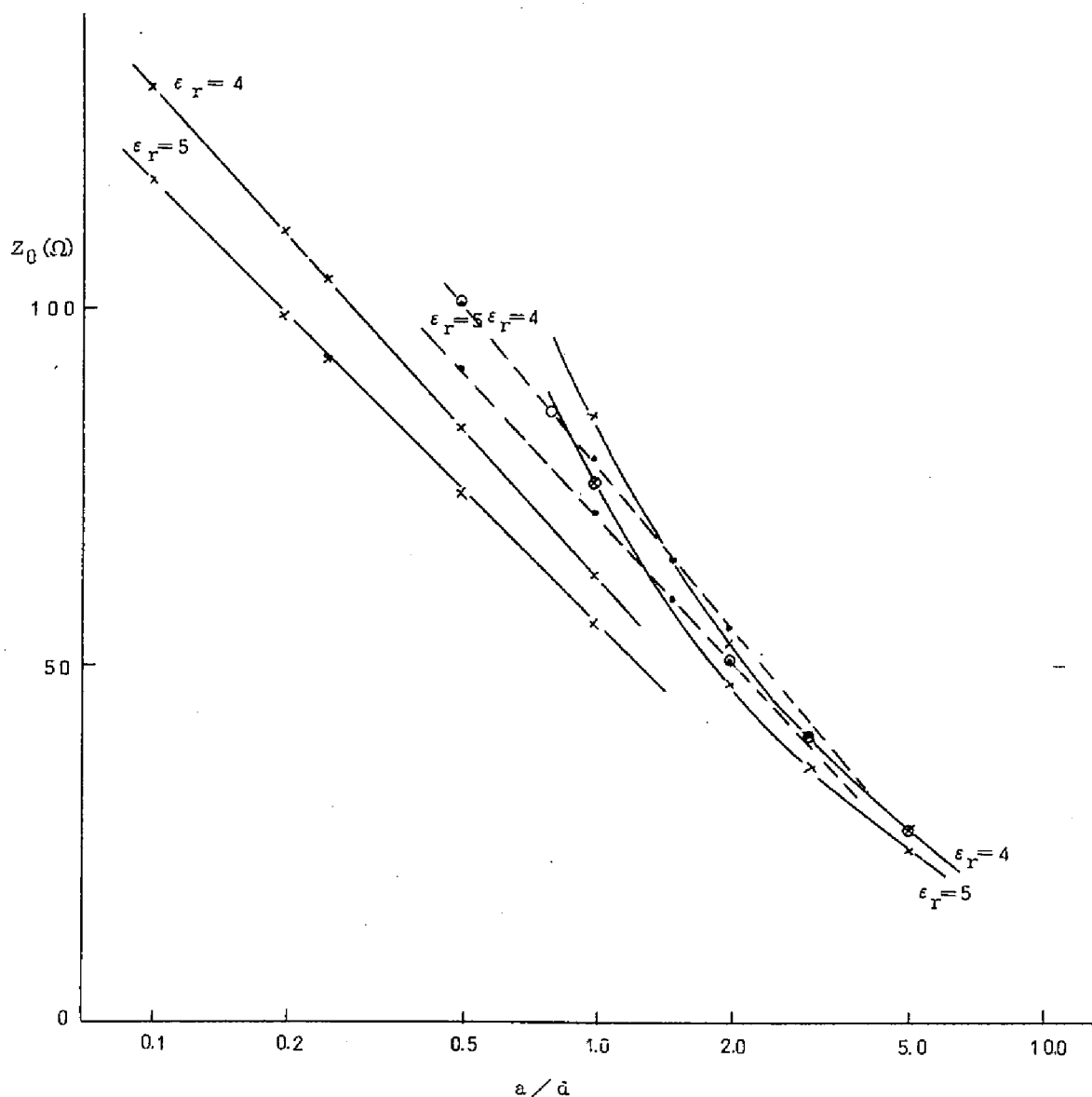


図 6.2 特性インピーダンス計算値

一致を示す。この計算では Power flow の大部分は両導体間に集中するから近似的に上半平面全体が一様な誘電体で満たされていると仮定している。誘電体の厚みに対して線路幅が十分大きい場合には近似が良く成立するから求めたインピーダンスも正確であるが、両者が同じ程度又は線路幅の方が小になると誤差が大きくなる。しかるに実際のプリント

板では実装密度を上げることと、特性インピーダンスを $50 \sim 100 \Omega$ に保つ必要から線路幅を非常に細くするのが普通である。したがって $a/d = 0.2 \sim 1.0$ の間の特性インピーダンスを正確に計算することが当面の問題になる。

1958年に発表された松村等⁽¹¹³⁾の式はこの点を改良して比誘電率 ϵ_r の導体間誘電体と ϵ_2 の外部誘電体（実際は空気）を考え、誘電体側の特性インピーダンス Z_{01} を

$$Z_{01} = \frac{120\pi}{\sqrt{\epsilon_r}} \left/ \frac{a}{d} + 0.882 \right. \quad (6.3)$$

とし、同時に空間側に対する特性インピーダンス Z_{02} を

$$Z_{02} = \frac{276}{\sqrt{\epsilon_2}} \log_{10} \frac{8b}{a} \left(1 + \sqrt{\frac{1.2d}{b}} \right) \quad (6.4)$$

とすると、線路の特性インピーダンスは Z_{01} と Z_{02} の並列インピーダンスとして次のように求められることを示している。

$$Z_0 = Z_{01} Z_{02} / \sqrt{Z_{01}^2 + Z_{02}^2 + Z_{01} Z_{02} (\sqrt{\epsilon_r/\epsilon_2} + \sqrt{\epsilon_2/\epsilon_r})} \quad (6.5)$$

この式は $a > 1.5d$, $b > 4d$ の範囲で良く成立するが、 $a \simeq d$ の附近でも (6.1) 式より精度が良い。図 6.2 の点線は (6.5) 式を示している。

また Caulton 等⁽⁵²⁾ は a/d の広い範囲に対して特性インピーダンスを求めるグラフを出した。これは Wheeler⁽¹¹⁴⁾ の計算式にもとずいてもとめたものであるが、この場合も2種類の誘電体（片方は外部の空気）を考慮して等価の誘電率を考えて特性インピーダンスを計算している。図 6.3 はそのグラフである。また図 6.2 に点をプロットしてみると $a/d < 1.0$ 附近では (6.5) 式で求めた点線とよく一致し、 $a/d > 2$ では (6.2) 式の実線とよく一致する。これより当面問題になる $a/d < 1.0$ の範囲では図 6.3 又は (6.5) 式のいずれからでも特性インピーダンスが求められることがわかる。

6.1.2 多層プリント板の性能

次に実験に使用した多層プリント板の構造について述べる。集積回路を実装した基本のプリント板をカードと名づける。このカードをソケットにより $20 \sim 30$ 枚取りつけカード間の配線を行うバックパネルをマザーボードと呼ぶ。まずカードについて述べる。カードの層構造は4層、6層、8層が考えられるが、従来の2層（両面プリント）は電源および配線のパターン上、また集積回路の実装密度上から見て不適当である。TOSBAC 計算機も

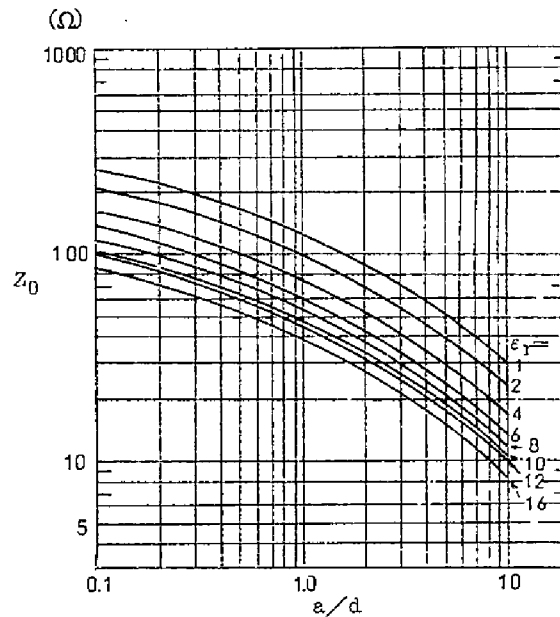
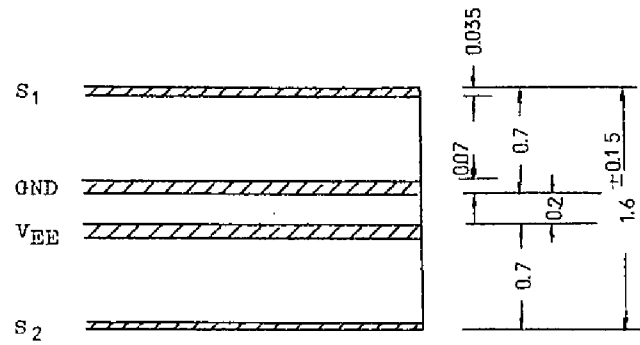
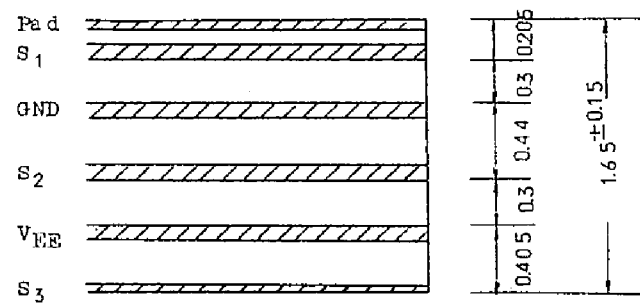


図 6.3 ストリップ線路の特性インピーダンス計算値 (52)

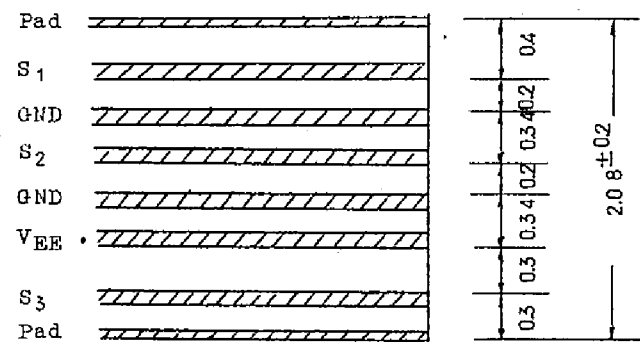
従来の TTL 集積回路では 2 層カードを使用していたが、電流切換回路ではこれを 4 層以上に変更することにした。カードの厚さ寸法は $1.6 \pm 0.15 \text{ mm}$ を標準とするから層数が増加するに従って一層当りの厚みがうすくなる。しかし一層の厚みを 0.2 mm 以下にすると特性インピーダンスが低くなりすぎるので 8 層の場合は全体の厚さを 2.0 mm とした。図 6.4 は 4 層～8 層カードの断面である。カードの大きさは実装する集積回路数とコネクタのピン数に関する。勿論その他に冷却、故障の場合の予備品に対する費用の問題、筐体の大きさ、規格の問題、製造装置の能力等種々の問題があるが、これ等は数量的に取扱うことがむずかしいから大体の枠を設定することになる。その枠内でなお最適な寸法を決めるのは前述の個数とピン数であり、これは論理回路のわりつけ方に関連するので演算速度に大きく影響することになる。次節の加算回路の実験のところで述べるように、異なるカード間の配線は同じカード内の配線に比べて配線長が長くなるのみならず、コネクタやマザーボードを通る事により、容量が増加し、遅延時間が非常に大きくなる。そこで出来る丈多くの回路を 1 枚のカードに收容することが望ましいのであるが、次に問題になるのがコネクタのピン数の制限である。一般の制御用の論理回路を LSI 化するためにゲート数とピン数の関係を検討した論文が Beelitz⁽¹¹⁵⁾ 等によって発表されている。プリントカードの場合もこれを 1 個の LSI と考えれば事情は全く同じであるからこの検討結果は参考になる。



4 層 カ ー ド 150×150



6 層 カ ー ド 160×160



8 層 カ ー ド 160×150

図 6.4 カードの層構成

(材質エキボシガラス)

図 6.5 は現在の計算機に使用されている回路をピン数制限のもとでゲート数が最大にな

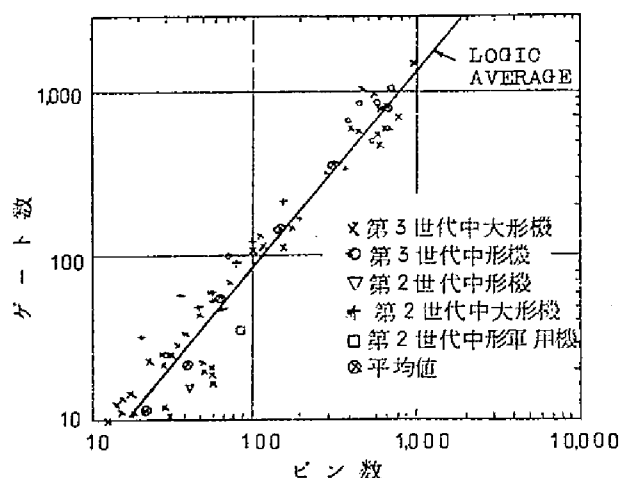


図 6.5 現在の計算機における回路分割法のデータ

るように分割した時のピン数とゲート数の関連を示す。100 ピンを基準にとって考えると最大ゲート数は130 ゲート，平均85 ゲートになり，ゲート・ピン比 (gate to pin ratio) は最低 0.7 : 1 から最大 1.4 : 1 の間にある。我々が実用出来るコネクタのピン数は70~100 ピン程度であるからゲート数は140程度 が最大になり，今1容器当たり平均3ゲートとするとほぼ46容器になる。この様な点から使用したカードの収容IC数は4層板が40個，6層及び8層板が48個でピンは前者が80ピン後者が72ピンである。従ってこのカードはどちらかと言えばピン限界の形になっている。

実際のカードの寸法は多層プリント板製造機械の能力，規格（原板の大きさが 1 m^2 であるからそこからの切り出し方が定まっている），ピン数，IC数，IC間隔と配線パターン幅等を考慮して 200×200 (mm) の素材を使用することにした。従ってカードの出来上り寸法は4層カードが $150 \times 150 \times 1.6$ mm，6層カードが $160 \times 160 \times 1.65$ mm，8層カードが $160 \times 150 \times 2.0$ mmとなった。パターン幅は0.3 mm，最小線間隔0.5 mm，スルーホールは $0.6\phi \sim 0.8\phi$ である。特性インピーダンスを計算すると表6.1に示すように4層カードはほぼ適当な値をとるが6層および8層カードは信号層が3層になっているため層間隔が線幅と同じ大きくなり，特性インピーダンスはかなり低い値になっている。線路の対地容量を6層カードに対して測定した結果を表6.2に示す。8層カードでもこの値に大きな差はない。 S_2 信号面は同じ線路幅に対して容量が大きく，従って特性インピーダンスも低い。そこで配線の原則としては S_1 および S_3 面を主配線面とし， S_2 面は原則として短距離配線面として，交さをおこす線路のジャンプ線等の隣接間の配線のみに使

表 6.1 特性インピーダンス (Ω)

ただし線路幅 0.3 mm, $\epsilon_F = 5$ の場合

信号面	4 層 カード	6 層 カード	8 層 カード	マザーボード A	マザーボード B
S_1	96	56	59	56	90
S_2	96	36	27	32	45
S_3	—	71	56	56	90

表 6.2 多層プリント板線路容量 (線幅 0.3 mm)

信号面	容 量 PF/cm	
	6 層カード	マザーボード A
S_1	1.8	1.0
S_2	4.1	1.7
S_3	1.5	1.3

用した。マザーボードは 8 層および 6 層のものを使用した。層構造を図 6.6 に示す。層の考え方, パターン幅, パターン間隔等基本的な事柄はカードと同一である。特性インピーダンスを表 6.1 に線路容量を表 6.2 に示す。8 層のマザーボード A は $160 \times 205 \times 2.4$ mm で 6 層及び 8 層カードに対応している。6 層マザーボード B は $194 \times 453 \times 3.4$ mm で 4 層カードに対応する。図 6.7 に 6 層カードの表面及び裏面写真を示す。

使用したコネクタはエルコ 8218 形 72 ピンおよびマルコミニワズプ 80 ピンである。両者はピン形状が少し異なるが配列の寸法は同一で, 0.1 インチおきに 2 列交互に並んでいる。ピン配列およびピン間容量を図 6.8 に示す。ピン間容量の最大は 0.84 PF, 最小は 0.28 PF でピンの対地容量は 0.70 PF である。

6.2 加算回路の実験

6.2.1 加算方式の選定

高速加算器を考えるには, 加算方式に依る場合と素子の性能に依る場合がある。両者共に良ければ一番高速になるのは勿論である。更に高速の加算器を実現する時には経済性の

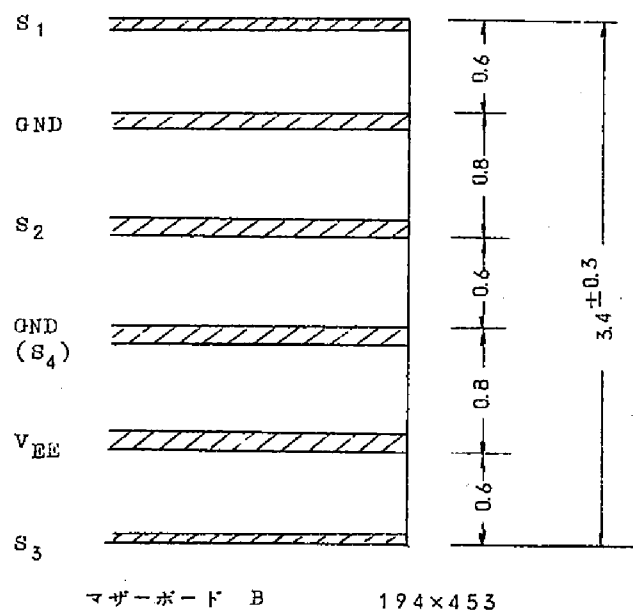
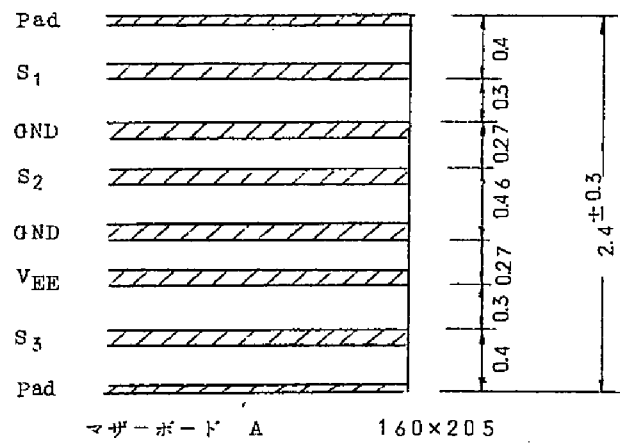


図 6.6 マザーボードの層構成 (材質エポキシガラス)

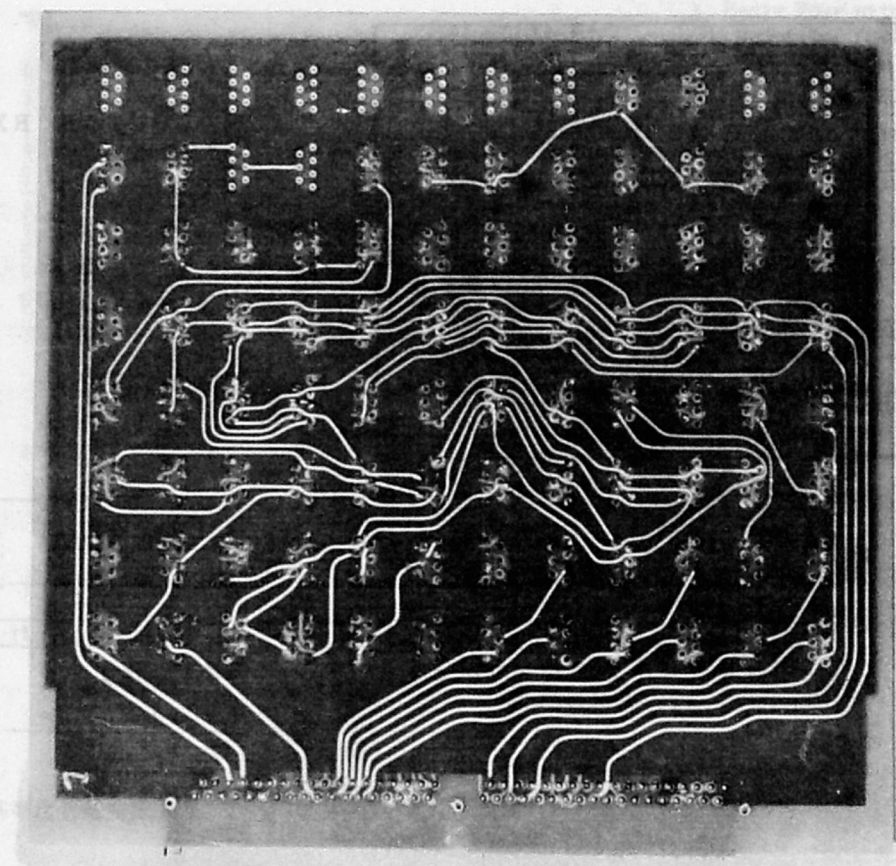
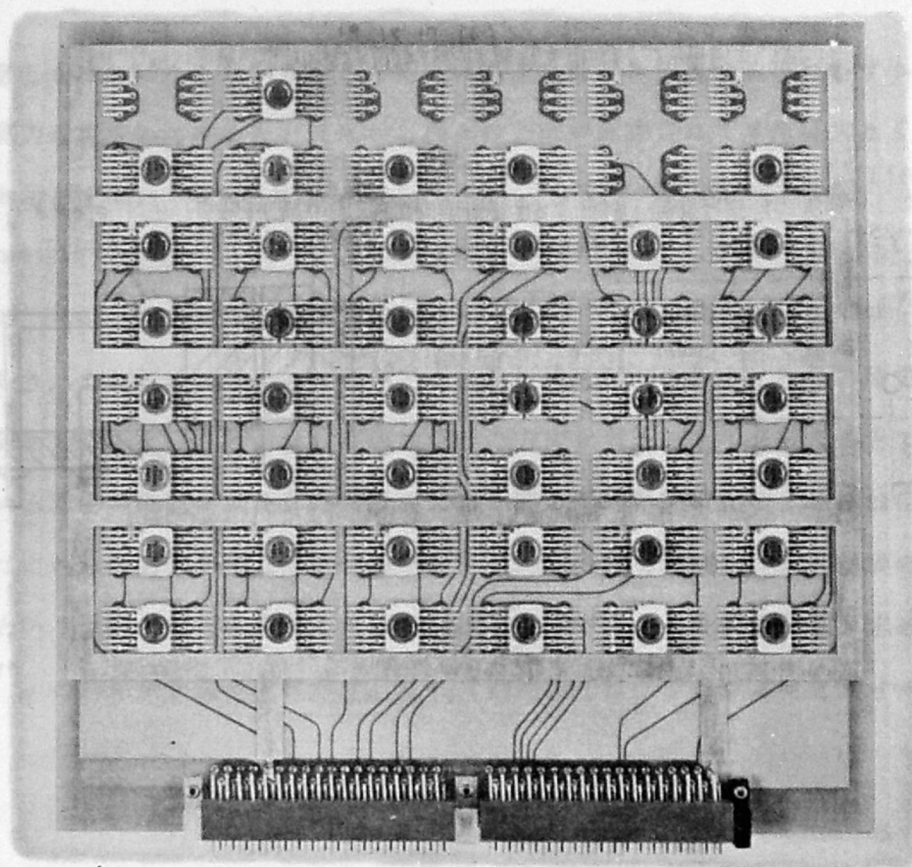
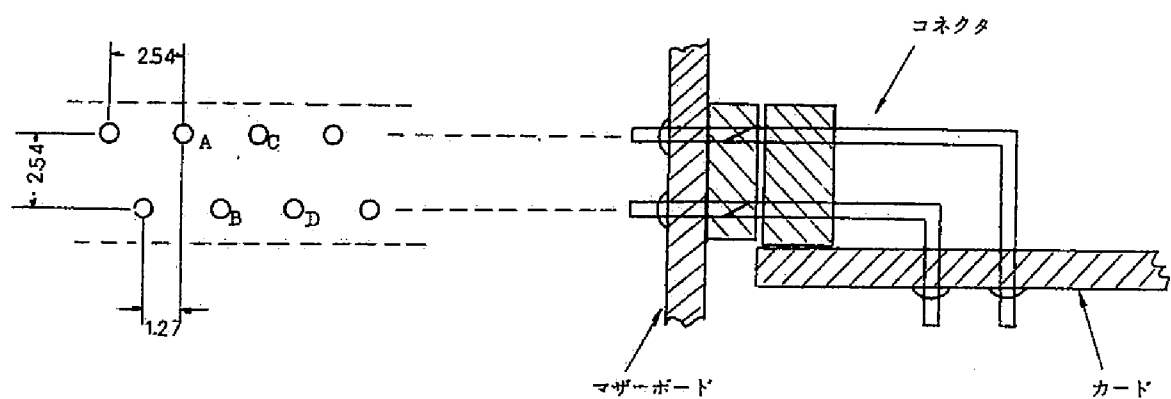


図 6.7 6 層カードの写真 上表面, 下裏面



A, C間容量	CAC	.84 ^{PF}
B, D //	CBD	.77
C, D //	CCL	.60
A, D //	CAD	.28
A, アース //	CAE	.67
B // //	CBE	.70

$f = 3 \text{ MHz}$

BOONTON RX METER

で測定

図 6.8 コネクタピン寸法と容量 (エルコ 8218 形)

問題を考慮しなければならないから、一番良い高速加算器を定義する事はむずかしい。

まず加算方式についてみると、従来から種々の方法が提案されてきた。大きく分類した各前のみを示しても、Carry Storage⁽¹¹⁶⁾⁽¹¹⁷⁾, Carry Detection⁽¹¹⁸⁾, Simultaneous Carry⁽¹¹⁹⁾⁽¹²⁰⁾, Pyramid Carry⁽¹²¹⁾, Carry Skip⁽¹²²⁾⁽¹²³⁾ 又は Carry Look Ahead⁽¹²⁴⁾, Exclusive OR⁽¹²⁵⁾, Conditional Sum⁽¹²⁶⁾ 等の方式があり、これ等には又種々の工夫をこらした改良形がある。これ等の諸方式がどの程度の優劣をもつかを知ることは、高速加算器の方式を考える上で必要なことであるが、使用している素子の性能が異なれば結果が大きく変わるから単純に比較する事は出来ない。Lehman はこれらの方式を同じ半導体素子を同じ結線条件で使用し、同じ規模の加算器を構成したという仮定のもとに換算した演算速度とビット当りの換算部品数を求めて比較した。⁽¹²⁷⁾。この結果を図 6.9 に示す。ここで回路素子はトランジスタとダイオードを使

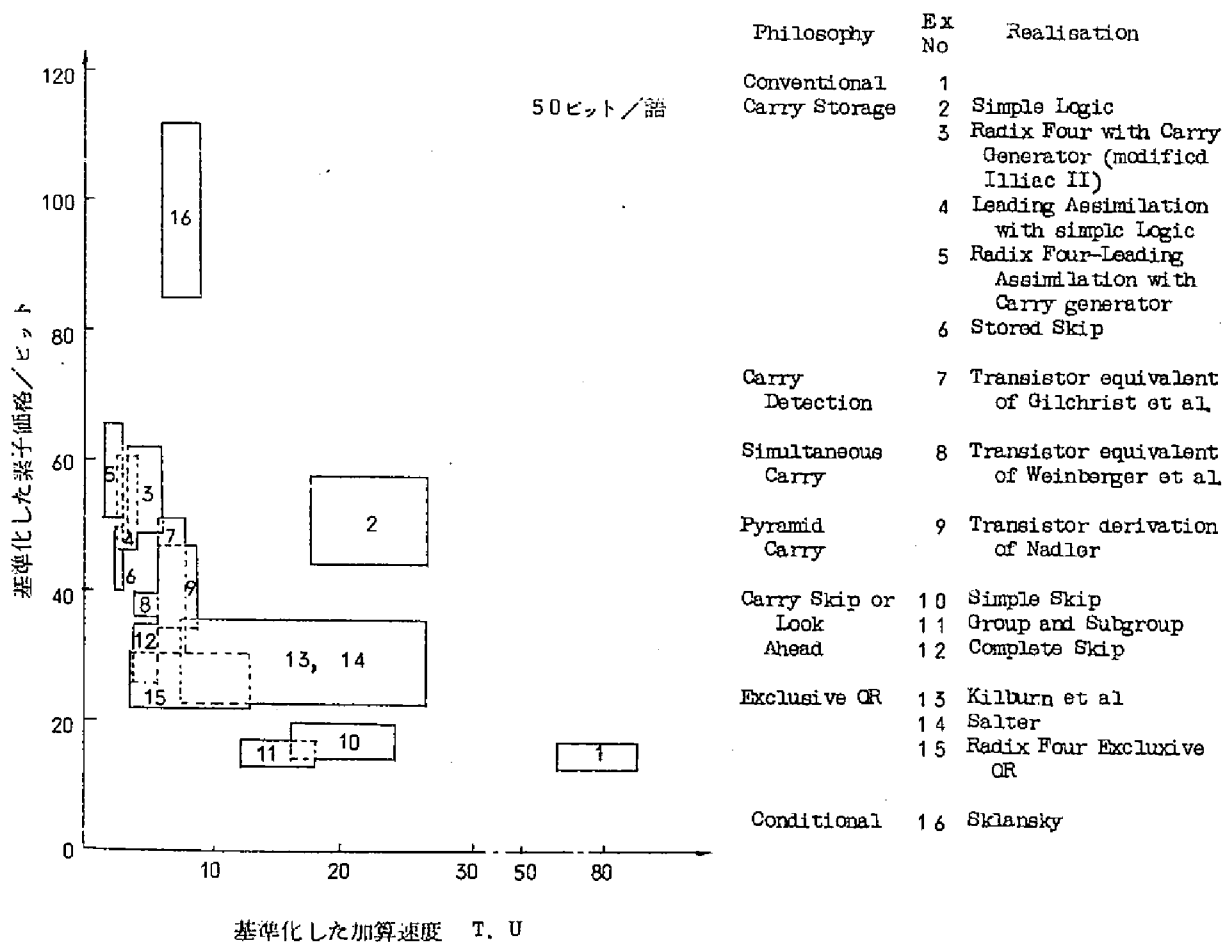


図 6.9 各種方式加算器の基準化したコストと速度の関係 (Lehmanによる)
 図中の番号は表中の番号と対応する。T.U. は AND/OR-EF 論理の遅れ時間に相当する。

用し、コストはダイオード1に対しトランジスタは3～5とする。また回路はAND/OR-EF (エミッタホロワ) 又はAND/OR-INV (インバータ) の構成とし、AND/OR-EF の遅れを時間の単位T.U. として使用している。この図をみると Conventional (Ripple Carry) Adder と Conditional Sum Adder を別てすれば残りの方式にはあまり大差がないことがわかる。その中では Carry Storage のうち Radix 4 で先行精算をするものと Stored Skip 形が素子数が多いが速度がはやく、Complete Carry Skip 形と Radix 4 Exclusive OR 形が素子数が少くて且つ高速である。従ってこの4種類の形、大きな分類によれば Carry Strage, Carry Skip, Exclusive OR の3形式が興味の対象になりうる。

次に素子について考えると、最も普通の回路はトランジスタ論理回路である。この場合はそのトランジスタの性能と回路の形によって動作速度即ち伝搬遅れ時間が定ってしまうから、後は何段の論理段を通るかによって加算時間も容易に知る事が出来る。Carry Storage, Carry Skip はトランジスタ論理回路で構成される。これに対して特別な回路例えばトンネルダイオード回路⁽¹²⁸⁾ やトランジスタをスイッチ動作に使用した回路⁽¹²⁹⁾ 等に依る例が実験されているが、これ等は皆 Exclusive OR 形の加算器を構成している。逆に言えば Exclusive OR 方式は桁上げ回路を特殊な回路で構成するに適した方式と言える。ここで考える回路素子は前節で述べた電流切換形トランジスタ NOR/OR 回路である。実際には集積回路化されているが論理的には変るところはない。従って回路素子の性質より、Exclusive OR 形は採用しない。Carry Storage はその加算方式よりくり返し加算に適するから、次節の乗算回路の中で使用した。ここでは Carry Skip 又は Look Ahead 形の加算回路を採用し、その加算時間をしらべることとする。

6.2.2 Carry Look Ahead Adder

高速加算を行う時、桁上げ信号の伝搬時間を短縮しようとする試みは最も基本的な考えである。その一つに桁上げ信号の伝搬路に側路をもうける方法があり、Carry Skip と呼ばれている。最初に Morgan と Jarvis⁽¹²²⁾ が示した回路を図6.10に示す。入力 X_i , Y_i に対して下位の桁上げ信号が伝搬する条件は一般には

$$X_i \neq Y_i \quad (6.6)$$

であるが、伝搬した桁上げ信号とその桁で発生した桁上げ信号を区別しないならば上の条件は

$$X_i + Y_i \quad (6.7)$$

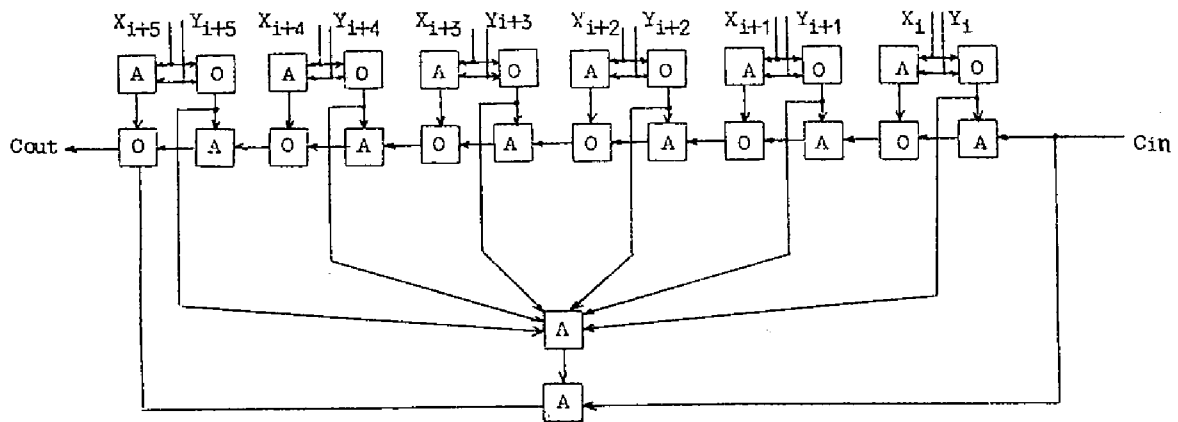


図 6.10 Carry Skip 形加算回路

でもよい。図 6.10 はこの条件によっている。今加算器を一定の長さ、この例では 6 ビットのグループに分割する。下からこのグループの入力端に入る桁上げ信号はグループ内の各桁の入力が (6.7) 式を満足する時スキップゲートを通して次のグループへ転送される。これにより 6 ビットのスキップを行ったことになる。この様な Carry Skip 形式では加算器のビット数とグループの大きさ及びグループ数の関係が問題になる。今 $(m+1)$ ビットの加算器を各 n ビットよりなる等しい大きさの k 個のグループに分割する場合を考える。

Lehman の計算⁽¹²⁷⁾によると

$$nk = m + 1$$

であるから桁上り信号の最大伝搬時間を最小にするグループ数は

$$k = 2n \quad (6.8)$$

で、その時の伝搬時間は

$$\begin{aligned} T &= [1 + (n-1) + (k-2) + (n-1)] t.u., \\ &= (2n + k - 3) t.u., \\ &= (4n - 3) t.u., \\ &= [2 \sqrt{2(m+1)} - 3] t.u. \end{aligned} \quad (6.9)$$

となる。ここに $t.u.$ は AND-OR ゲートを信号が伝搬するのに要する時間で伝搬時間計算の

基本時間単位にとっている量である。

上に述べた様な等しい大きさのグループにわたるスキップの方法は最も簡単なものであるが効率の良い。例えば両端のグループの桁数が最も少なく順次1桁ずつ増加していった真中のグループの桁数が最大になる様にグループ分けすると桁上げ信号の最大伝搬時間は等大グループの場合に比べて60ビット加算回路で20%減少する⁽¹²⁴⁾。更に複雑な方法としてグループ間の高次のスキップを使用すると桁上げ信号の伝搬時間を更に短縮出来ることは明らかである。ただこの場合には素子が増加するのは当然である。

この様な Carry Skip の点から見ると極限の形として各ビット全てにスキップを考慮する形式が考えられる。これは Macsorley によって Carry Look Ahead として別個に提案された方式である。⁽¹²³⁾。この方法では n 桁目の和出力および桁上げ信号は n 桁の入力と $(n-1)$ 桁から第1桁までの各桁の全ての桁上げ信号を使用してつくり出される。従って理想的にはこのために n 入力の OR 回路1回路と1から n までの入力を持つ n 個の AND 回路が必要である。勿論回路制限があるから実際には n は上限がある。この範囲内では桁上げ信号の最大伝搬段数は常に2段である。 n に制限があるため、この様な Carry Look Ahead を数レベル行うのが普通である。この方法も素子数が大になるのが欠点であるが、通常の Ripple Carry 形と比べると素子数は160%になるのに対して演算時間は12%に減少する。

次に電流切換形 NOR/OR ゲートを使用して構成した 32 bits Carry Look Ahead Adder について述べる。ここでは Look Ahead のレベルは3レベルとしそれぞれ

0 Level Look Ahead ; 4 bit \rightarrow 1 block

1st " " " ; 4 blocks \rightarrow 1 group

2nd " " " ; 2 group

とする。bit, block, group の各レベルにおいて Carry generate Function G と Carry Propagate Function P を定義して、次式の如く Look Ahead を行う。ここに A , B は加数, 被加数である。

$$\text{bit レベル } G_n = A_n \cdot B_n \quad (6.10)$$

$$P_n = A_n + B_n \quad (6.11)$$

$$n = 0, 1, \dots, 31$$

ただし $n=0$ を MSD, $n=31$ を LSD とする。

$$\begin{aligned}
\text{block レベル } G^m &= G_{4m+3} \cdot P_{4m+2} \cdot P_{4m+1} \cdot P_{4m} \\
&\quad + G_{4m+2} \cdot P_{4m+1} \cdot P_{4m} \\
&\quad + G_{4m+1} \cdot P_{4m} \\
&\quad + G_{4m}
\end{aligned} \tag{6.12}$$

$$\begin{aligned}
P^m &= P_{4m+3} \cdot P_{4m+2} \cdot P_{4m+1} \cdot P_{4m} \\
m &= 0, 1, \dots, 7
\end{aligned} \tag{6.13}$$

$$\begin{aligned}
\text{group レベル } l_G &= G^{4l+4} \cdot P^{4l+3} \cdot P^{4l+2} \cdot P^{4l+1} \cdot P^{4l} \\
&\quad + G^{4l+3} \cdot P^{4l+2} \cdot P^{4l+1} \cdot P^{4l} \\
&\quad + G^{4l+2} \cdot P^{4l+1} \cdot P^{4l} \\
&\quad + G^{4l+1} \cdot P^{4l} \\
&\quad + G^{4l}
\end{aligned} \tag{6.14}$$

$$\begin{aligned}
l_P &= P^{4l+3} \cdot P^{4l+2} \cdot P^{4l+1} \cdot P^{4l} \\
l &= 0, 1
\end{aligned} \tag{6.15}$$

また各ビットの和出力 S はよく知られているように

$$S_n = A_n \oplus B_n \oplus C_n \tag{6.16}$$

となる。 C_n は n ビット目の桁上げ入力を示し

$$\begin{aligned}
C_n &= C_{n+1} \cdot P_{n+1} + G_{n+1} \quad (n \neq 31) \\
C_{31} &= C_0^*
\end{aligned} \tag{6.17}$$

となる。

図 6.11 に各ビットの和出力を構成する論理段数を示す。ビットレベルの G_n , P_n は 1

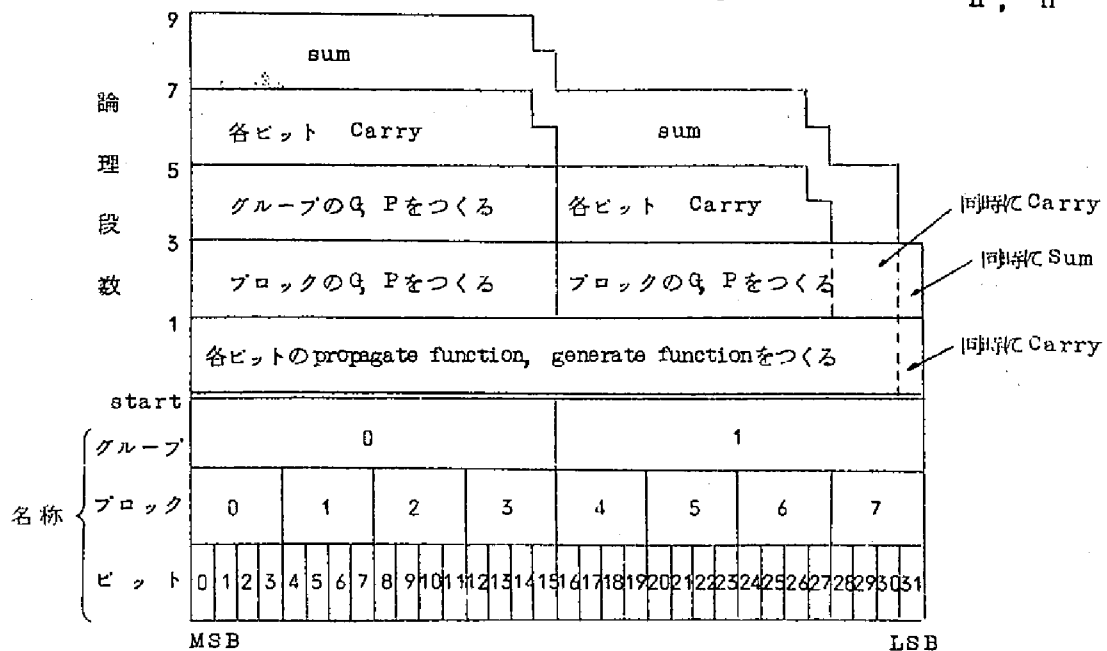


図 6.11 Carry Look Ahead の論理段の構成

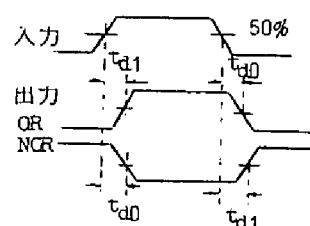
段論理で出来る。ブロックレベル以上では G は 2 段論理になるから和出力が出るまでには奇数段になり、16 ビットでは 7 段 32 ビットでは 9 段の論理になる。これは 64 ビットまで拡張しても変わらない。

6.2.3 実験結果

使用する回路は電流切換回路 (CML) NOR/OR ゲートで特性を表 6.3 にまとめて示す。

表 6.3 CML Dual-4 Input Gate (MC1050F) の特性

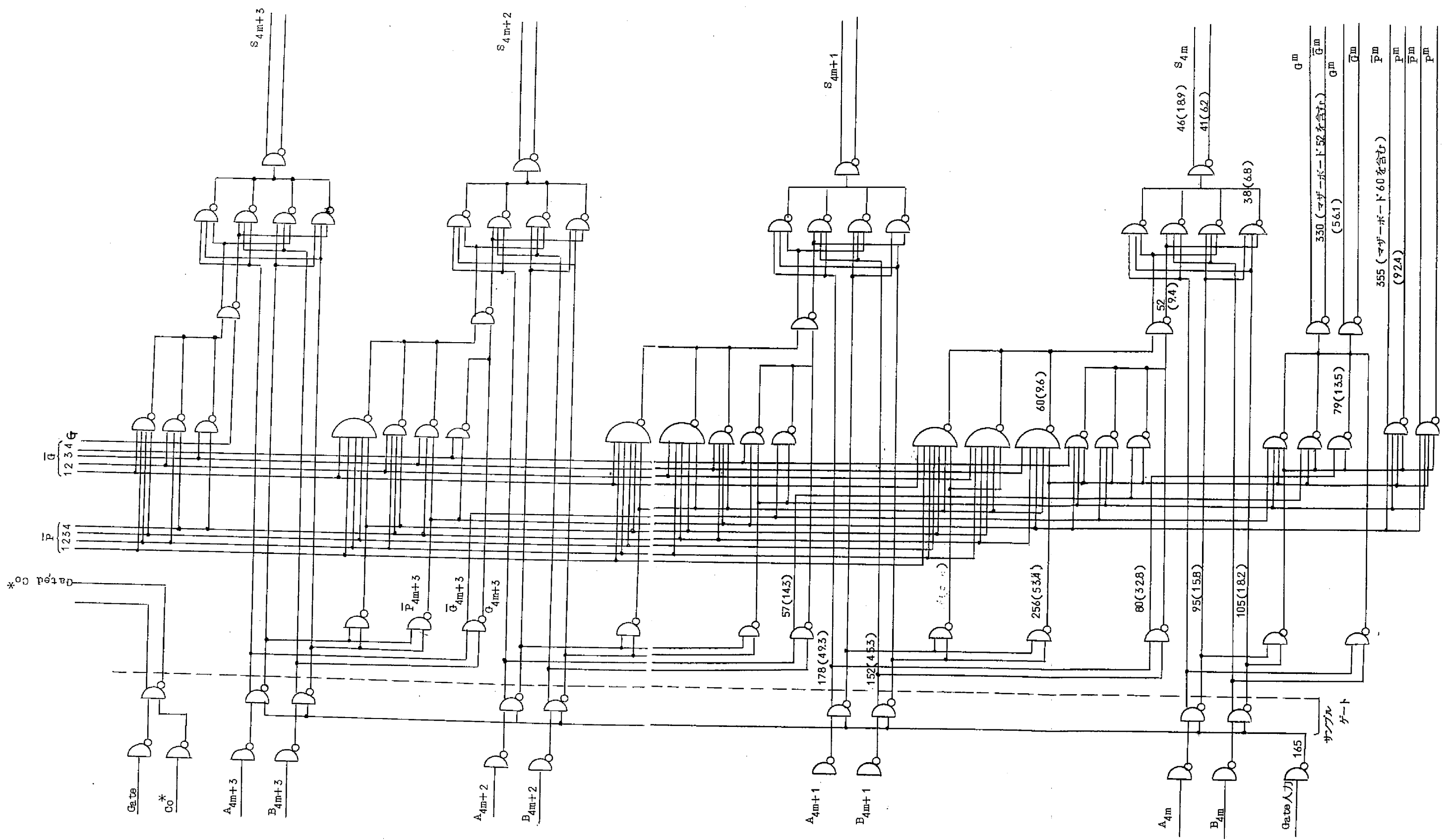
特 性	記号	最小	標準	最大	単位
電 源 電 圧	V_{EE}		~5.2		V
電 源 電 流	I_E		45(35)*	60(50)*	mA
消 費 電 力	P_w		230(180)*		mW
"1" レベル電圧		-0.65		-0.83	V
"0" レベル電圧		-1.53		-1.80	V
伝搬遅れ時間	t_{d0}			4.0**	ns
" "	t_{d1}			5.0	"
立上り時間	t_r			5.0	"
立下り時間	t_f			4.0	"



* () は MC1051F (4 入力ゲート wired OR 可能) の値

** fan in = 1, fanout = 1

論理は (6.10) ~ (6.17) 式に示すように AND/OR の構成であるから、tie OR がとれるならば実質的な伝搬遅れは 1 段ですむことになる。しかし正補両出力が必要な場合や、性質の異なる分岐出力がある場合は正常の論理 OR を使用する。図 6.12 は論理図の一部で一枚のカードの回路を示し、1 ブロック (4 ビット) 分を含んでいる。図の左側の 2 段のゲートは入力信号 A , B をサンプルする回路である。次の 1 段ゲードが各ビットの P_n , G_n をつくる。次のゲート群は各ブロックから出る P^m , G^m 信号よりその桁の和出力をつくるに必要な桁上げ信号をとり出す回路 (上方の 4 群) とそのブロックの P , G 信号をつくる回路 (下の部分) である。この部分では動作をはやくするために tie OR を使用した。またブロックの P , G 出力はファンアウトの関係で全く同じ信号を並列に 2 系統出している。右側の 2 段のゲートは和 S をつくる回路である。他のブロックから入る信号は



数字は線路長 (mm) 又は 内比線路容量 (PF)

図 6.12 Carry Look Ahead Adder 回路図 (4 bits 分を示す)

上方より \bar{P} , G , \bar{G} の形で入り, その組み合わせは表 6.4 のようになる。このカードの回路はブロックレベルの Carry Look Ahead を行うゲートを含んでいるが, もう一段上のグ

表 6.4 \bar{P} , \bar{G} , G 端子入力の組み合わせ

入力端子 ブロック	\bar{P}				\bar{G}				G
	1	2	3	4	1	2	3	4	
4	\bar{P}^7	\bar{P}^6	\bar{P}^5	\bar{P}^5	\bar{G}_0^*	\bar{G}^7	\bar{G}^6	\bar{G}^5	G^5
5		\bar{P}^7		\bar{P}^6		\bar{G}_0^*	\bar{G}^7	\bar{G}^6	G^6
6				\bar{P}^7			\bar{G}_0^*	\bar{G}^7	G^7
7								\bar{G}_0^*	G_0^*

$C_0^* \rightarrow {}^1G$ にする。

ループレベルの Carry Look Ahead 回路は含んでいない。この場合は更にこのプリント板の一部を使用した Look Ahead 用のゲート回路を追加する。このカードパターンは各ブロックに同一であるから最も複雑な場合のパターンに相当し, ブロックの番号によっては使用しない IC の場所が生じる。

実験は 16 ビットで行ったので, ビット番号 16~31 が動作した。同様にブロックも 4~7 が動作している。図 6.13 は桁上げ信号の伝搬を生じないように加算における各ビットの和出力 S の遅れ時間および各ブロックの Propagate Function P の遅れ時間を測定したものである。和 S は 8~12 ns, 平均 10 ns の遅れとなる。各ブロック (カードに相当する) でこの遅れ時間に少しのバラツキがある。 P と \bar{P} を比較すると P はファンアウト 0 に対して \bar{P} は 4~8 がついている。図のブロックのサフィックス a , b は同じ信号を並列の回路で供給する 2 つの出力端子を示す。ブロック 4 ではそれ以上の桁がないのでファンアウトは 0 となり遅れが一番小さい。一方 5a は 8 個のファンアウトをとっているで遅れも大きい。遅れは入力の立ち上りに対するものが大きい。図 6.14 と図 6.15 は各ブロック毎に独立に動作させた時の S と G の遅れ時間である。和の出力ではブロック内の最低位桁は 0 となり不動作状態と区別出来ないで測定していない。ブロック内の和出力には 4 段で出るものと 5 段で出るものがあり, 図に示す様に下から 2 番目と 3 番目のビットの間の 5 ns の遅れの差はこの段数の違いによっている。 Propagate Function P の遅れは図 6.13 と同じである。 Generate Function G の遅れは最大 22 ns で, ファン

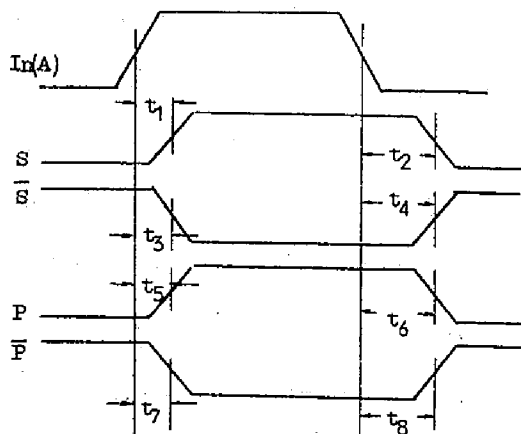
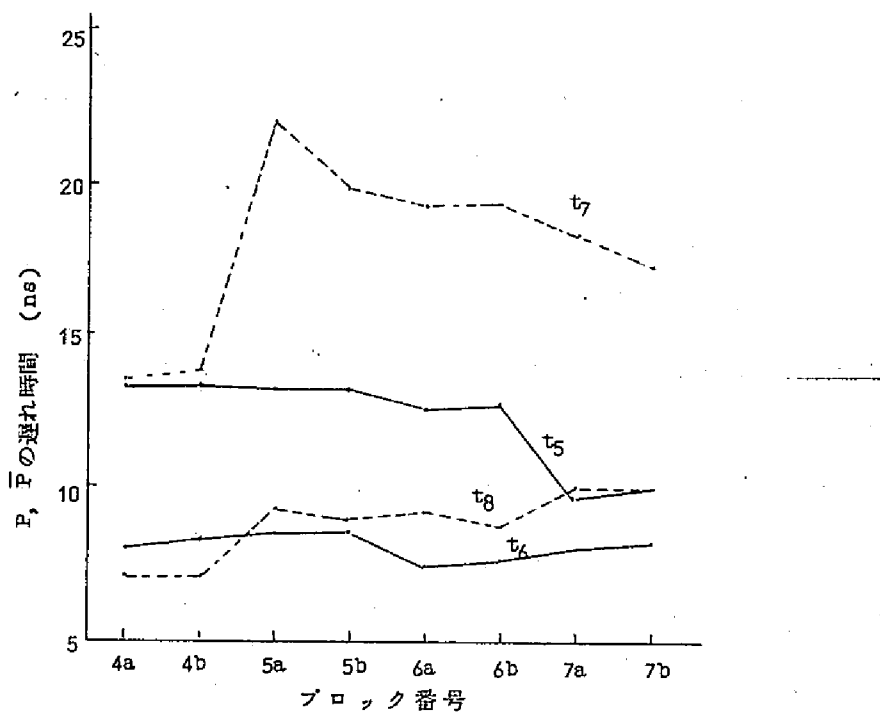
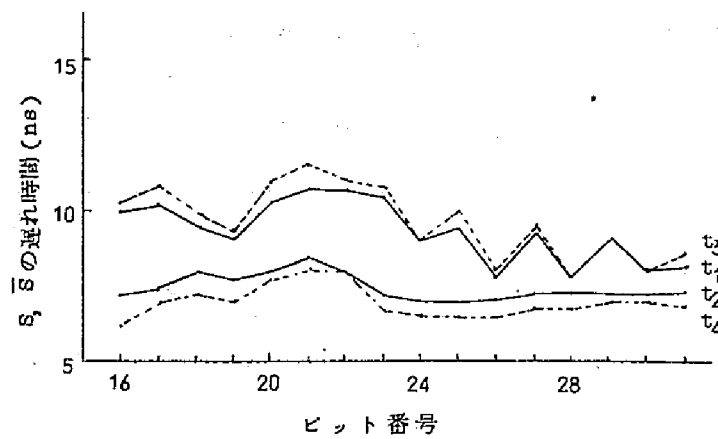


図 6.13 SおよびPの遅れ時間
(桁上げ信号の伝搬しない場合)

演算例

A	1 1 1.....1
B	0 0 0.....0
S	1 1 1.....1

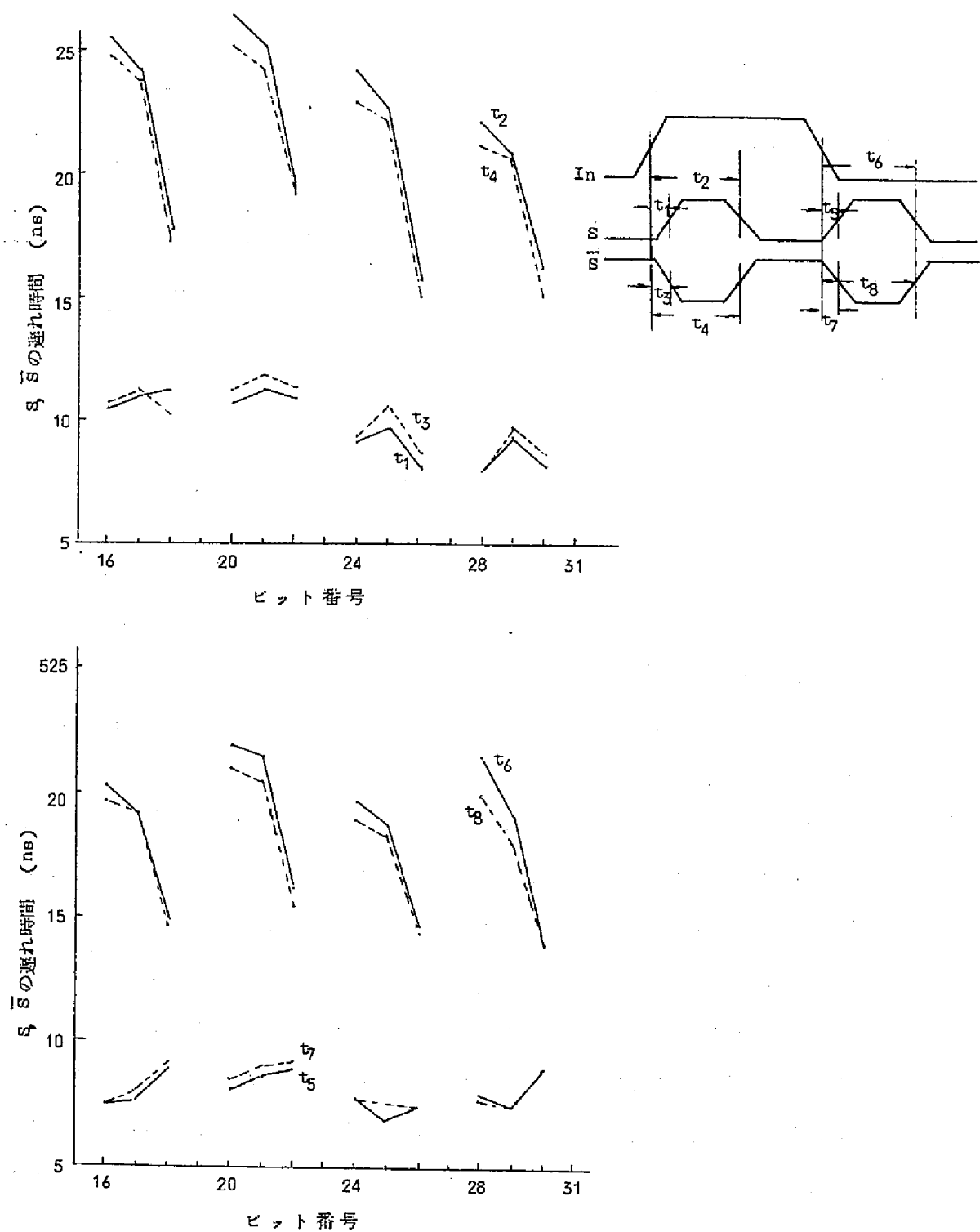


図 6.14 S および \bar{S} の遅れ時間 (各ブロックを独立に動作させた場合)

ブロック									
演算例	A	0	0	...	0	1	1	1	0 0 ... 0
	B	0	0	...	0	0	0	0	1 0 0 ... 0
	S	0	0	...	1	0	0	0	0 0 ... 0
	P		0			1			0
	G		0			1			0

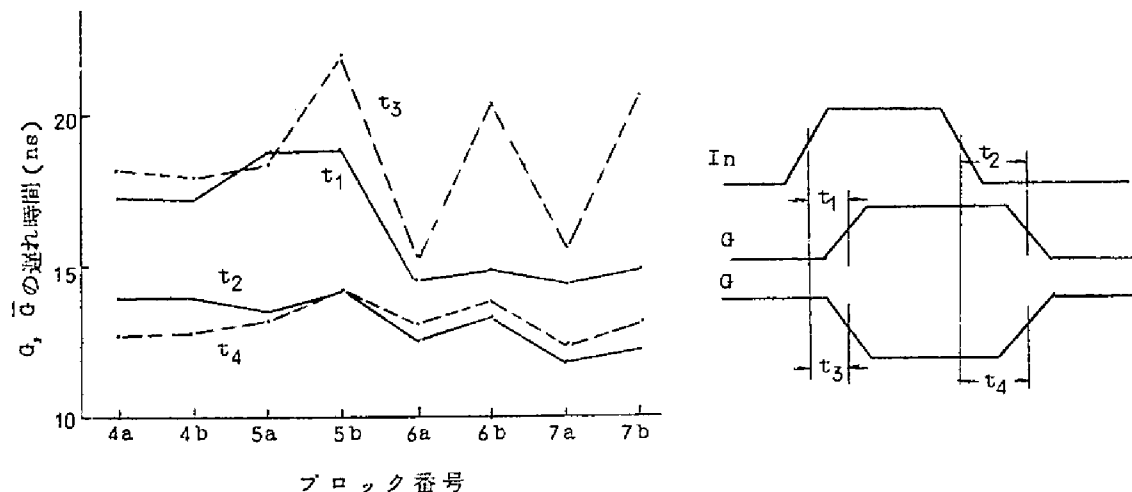


図 6.15 G および \bar{G} の遅れ時間 (各ブロックを独立に動作させた場合)

アウトの大きいものは遅くなる。図の 5b, 6b, 7b 等はこの例である。この出力の遅れ時間は P の遅れ時間とほぼ同じである。次に図 6.16 に桁上げ信号が最低位桁から最高位桁まで伝搬する場合の和出力 S の遅れ時間を示す。S の波形の最初の出力部分は桁上げ信号が到達するまでに出る一時的なもので、この部分の遅れ t_1 は上述の桁上げのない場合と同じになる。桁上げ信号が伝搬した後の真の和出力は t_2 又は t_4 遅れて出る。この遅れは Carry Look Ahead により約 38 ns で各ビットに対して一定となる。この時間は 64 ビットまで拡張すると更にゲート 2 段分が加わるので約 52 ns になる。下位 4 ビットは Look Ahead のレベルが低いので S 出力もその分だけはやく出る。入力が消滅した後 S が零になるまでに同じ様な遅れ時間 t_6 , t_8 があるがこれは最大 28 ns である。19, 23, 27 ビットの出力は他のビットの出力に対して論理一段分遅れが大きいのがこれが正味の遅れになる。これに対して他のビットは論理構成上 1 段少ない道が出来るため見かけ上はやくなっているが動作周期は長い道の遅れで定まるから短縮されない。Propagate Function P の遅れは図 6.13 と同じである。Generate Function G はブロック 7 で発生するが、その遅れは 21 ns である。

図 6.17 に各部の波形を示す。ゲートパルスで入力信号 (加数, 被加数) をサンプルして加算を開始する。LSD の和出力が出るまでにゲートパルス入力からは 20 ns の遅れがあるが、ゲート回路の遅れ時間は加算回路の動作には無関係なので遅れ時間の測定はゲート回路の遅れを差し引いてパルス出力 (図 6.12 の点線部) からの遅れをとっている。この写真より Sum をつくる回路は配線も短く、負荷もついていないので波形がきれいである。

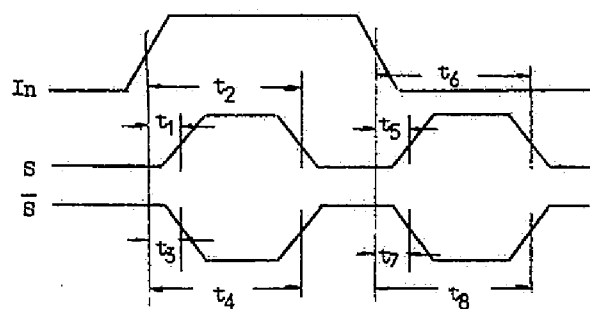
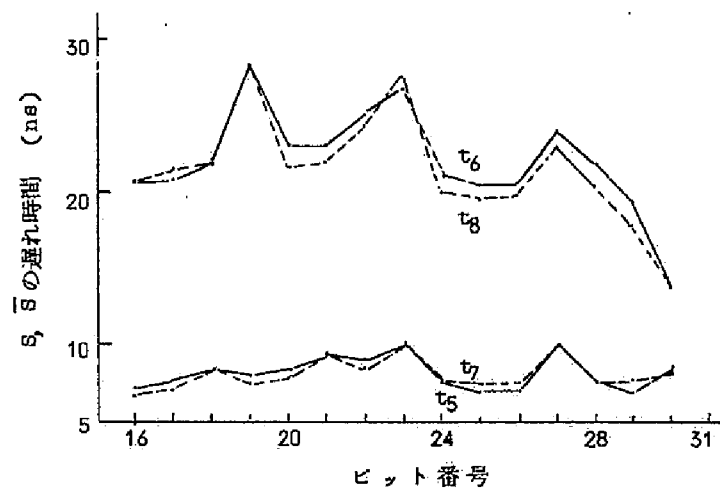
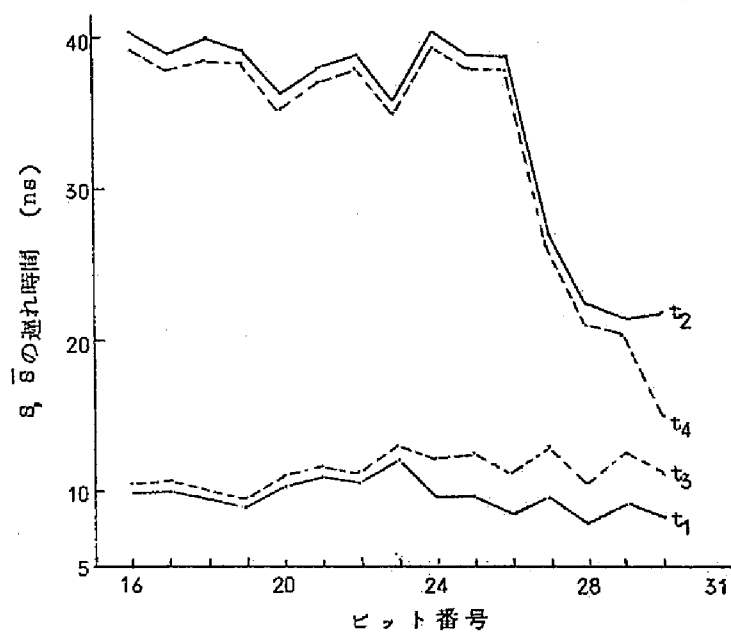
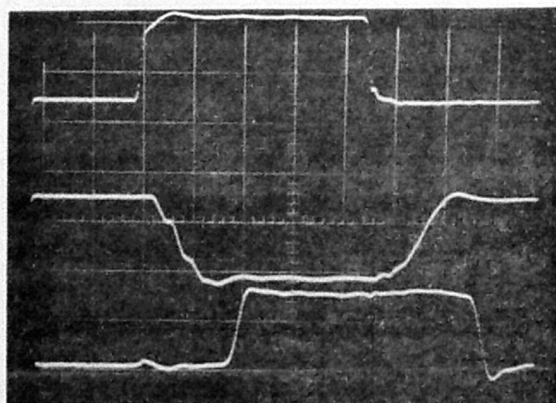


図 6.16 S および \bar{S} の遅れ時間 (桁上げ信号が最低位桁から最高位桁まで伝播する場合)

演算例	A	1	1	1	...	1	1
	B	0	0	0	...	0	1
	S	0	0	0	...	0	0
	P	1	1	1			
	G	0	0	0		1	



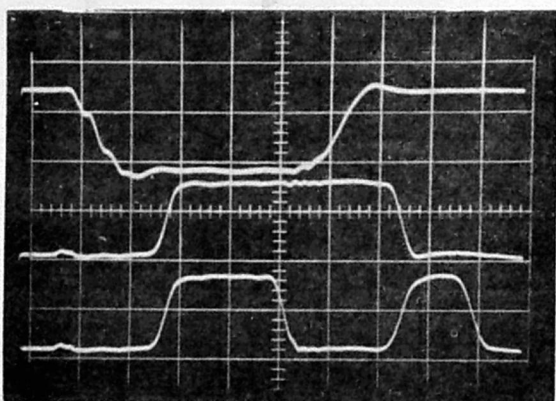
0V

ゲートパルス入力

← 0V

← 0V 加算入力 (ゲート出力)

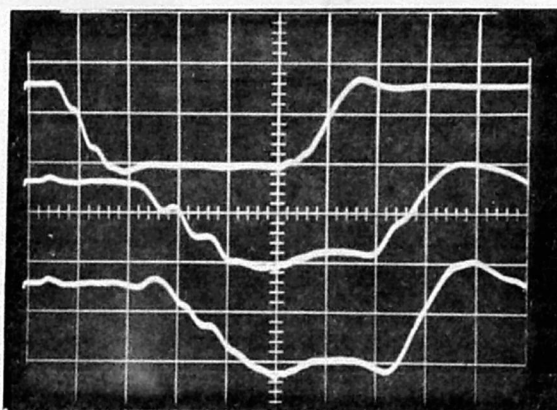
31ビット Sum出力



加算入力

16ビット Sum出力 (桁上げ信号の伝搬のない場合)

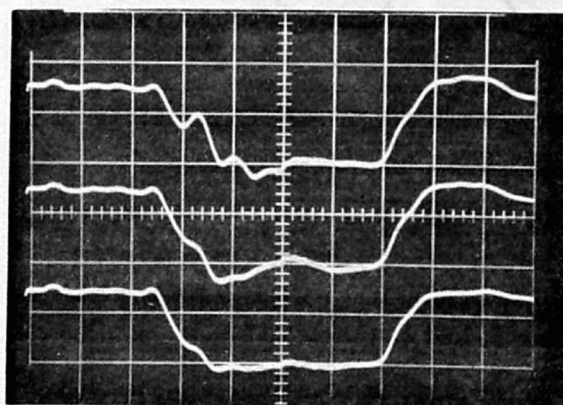
16ビット Sum出力 (桁上げ信号の伝搬する場合)



加算入力

7ブロック \bar{P} 出力 (桁上げ信号の伝搬する場合)

7ブロック \bar{G} 出力 (同上)



5ブロック \bar{P} 出力波形, ただし終端抵抗をつけないとき。

V_{DD} の間に 560Ωを入れたとき。

-1.6V (0レベル) の間に 100Ω入れたとき。

図 6.17 各部の波形

H: 10ns/div

V: 0.5V/div

一方P, Gなどは板間線路(マザーボード)と多数のファンアウトを駆動するため波形がわるい。マザーボードを通る配線では終端整合抵抗をつけると波形がかなり良くなり、遅れも小になる事がわかる。

使用したICの個数は全体でDual 4 Input NOR/ORゲート144個, 8 Input NOR/ORゲート9個で, この中には入力ゲートも含んでいる。これをカード4枚に実装するからカード当りの実装個数は35~45個となる。

図6.18は実験セットの写真である。

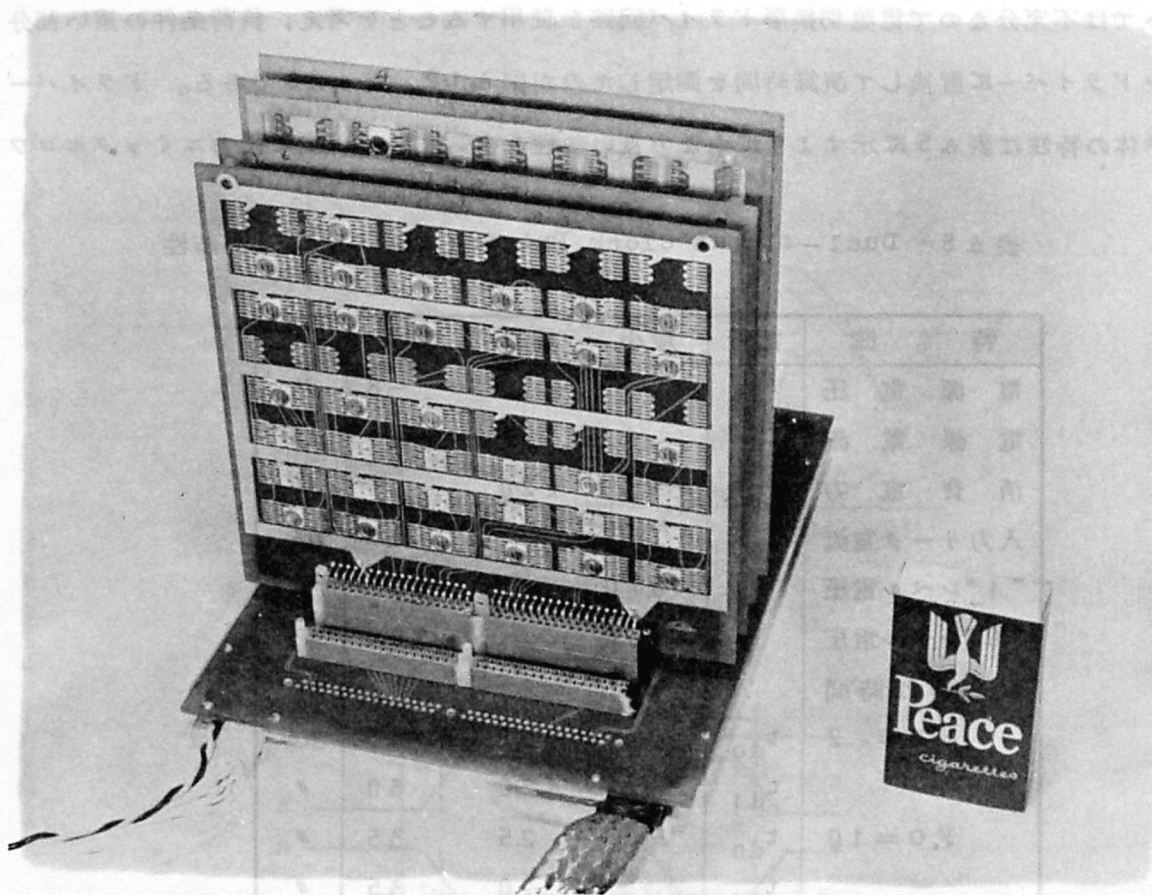


図 6.18 実験セット

この加算回路は加算方式的にもはやく, 使用したIC素子も現在の最高速のものを使用している。得られた結果は動作時間が16ビットで40ns, 60ビットで52nsとなり, ビット数の多いところで1ns/ビットのレベルには達しているが, まだ素子自体の特性より予期した程はやくない。この最大の原因は図6.17の写真でもわかるように

\bar{P} , \bar{G} 等の信号の遅れが大きいことである。これは大きなファンアウト数と線路の長さによる容量を駆動するのがむずかしいからである。ファンアウトは論理構成より定まり、 \bar{P}^5 が12, \bar{P}^6 , P^7 は16, \bar{G}^5 が3, \bar{G}^6 が6, G^7 が11である。これ等のファンアウトを前に述べた様に2個の並列ゲートで分担して駆動している。線路容量については、代表的な場所をしらべると図6.12に書き込んであるような値になる。この数値は書き込まれている線の最大配線長と、その配線がどの層を通るかに従って計算した正味の容量を示している。層により単位長当りの容量が異なるから線路の長さとは比例していない。 \bar{P} , \bar{G} などはカードよりマザーボードを経由して他のカードに入るから最大355mmにもなり、線路容量はほぼ92PFになる。このような負荷を駆動するにはここで使用したCMLゲートでは不充分なので電流切換形ドライバ回路を使用することを考え、負荷条件の重い部分をドライバーに置換して演算時間を測定したのが図6.19, 図6.20である。ドライバー単体の特性は表6.5に示すようにかなり良い特性をもっている。更に出力エミッタホロワ

表 6.5 Dual-4Input Clock Driver (MC1023P) の特性

特 性	記号	最小	標準	最大	単位
電 源 電 圧	V_{EE}		-5.2	-8	V
電 源 電 流	I_e			61	mA
消 費 電 力	P_w		220		mW
入力リーク電流	I_R			1.0	μA
"1"レベル電圧		-0.70		-0.85	V
"0"レベル電圧		-1.50		-2.00	V
伝搬遅れ時間					
F.O = 2	t_{d0}		2.0	3.5	ns
	t_{d1}		2.0	3.0	"
F.O = 10	t_{d0}		2.5	3.5	"
	t_{d1}		2.0	3.5	"
立 上 り 時 間	t_r				
F.O = 2			2.0	4.0	"
F.O = 10			3.0	5.5	"
立 下 り 時 間	t_f				
F.O = 2			2.0	4.5	"
F.O = 10			3.0	4.5	"

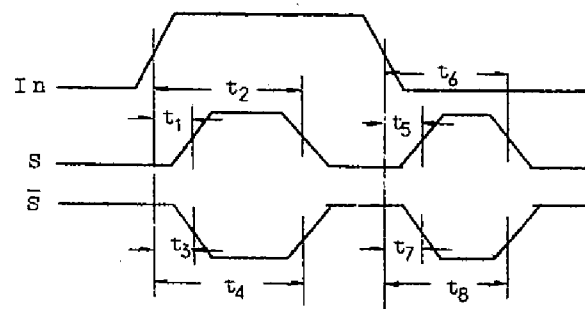
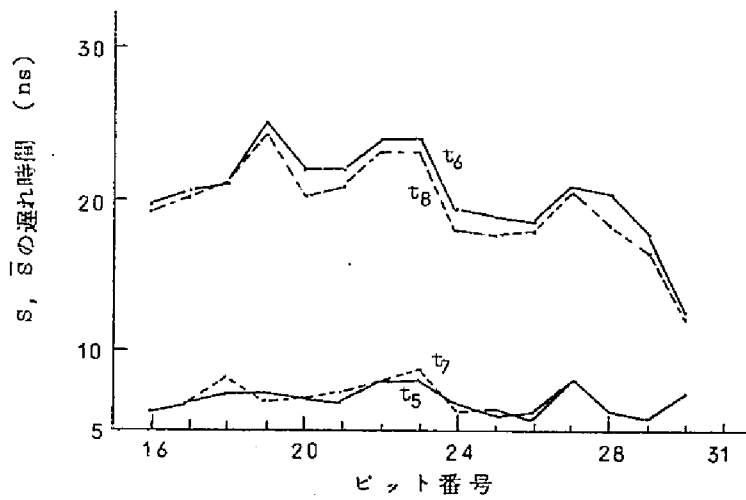
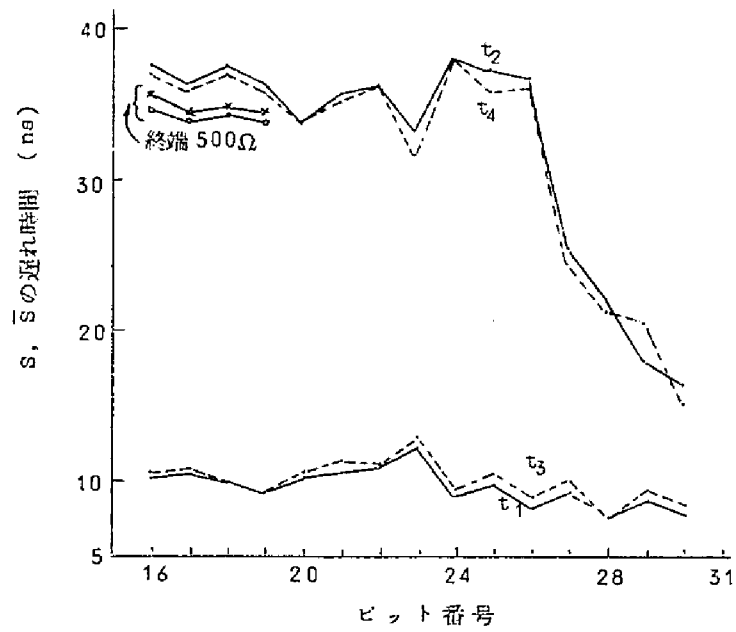


図 6.19: ドライバを使用した場合の S および \bar{S} の遅れ時間 (桁上げ信号が最低位桁から最高位桁まで伝搬する場合)

演算例

A	1 1 1 1 1
B	0 0 0 0 1
S	0 0 0 0 0

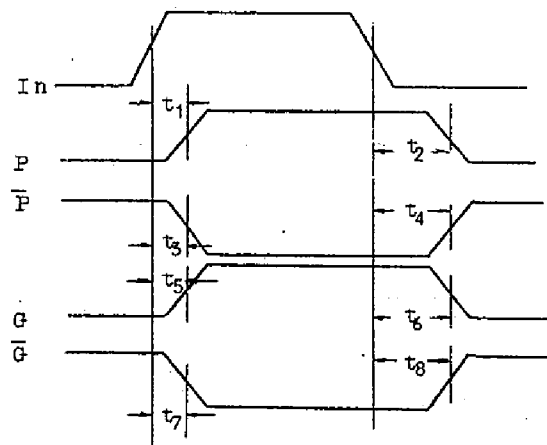
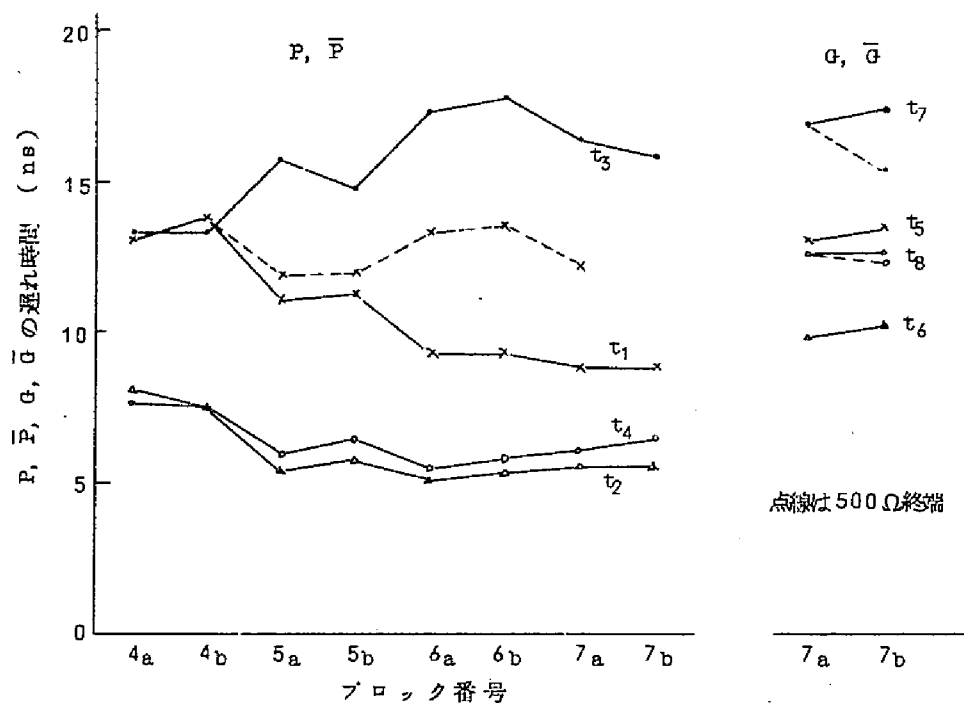


図 6.20 ドライバを使用した場合の P , \bar{P} , G , \bar{G} の遅れ時間
(桁上げ信号が最低位桁から最高位桁まで伝搬する場合)

演算例

A	1	1	1	...	1	1	1
B	0	0	0	...	0	0	1
S	0	0	0	...	0	0	0
P	1				1	1	1
G	0				0	0	1

のエミッタ抵抗が小さい為に、容量性負荷に対しても遅れ時間が小さくなるように考慮されている。図 6.19 を前の図 6.16 と比較してみると t_2 , t_4 で約 3 ns 程度はやくなり、更に線路に終端を入れれば約 5 ns 程はやくなる。また図 6.20 と図 6.13 の P , \bar{P} を比較してもほぼ同程度の遅れ時間が認められる。このドライバーによる改良でもまだ十分でないが、16 ビットで 35 ns, 60 ビットで 45 ns の演算時間を得ることは出来る。この速度は現用の並列加算器としては十分高速であり、当面の実用上の要求を満足できる事が確認された。

6.3 乗算回路の実験

6.3.1 回路構成

前節において加算回路の実験結果をのべ、実用化の目やすを示した。本節ではこれをさらに拡大して実用規模に近いものを組み立て、実装上の問題をしらべ動作の確認を行うために乗算回路の実験を行った結果を述べる。高速乗算方式としては乗数の連続する 0 の数に応じてシフト桁数を変える可変桁数シフト方式 (variable shift), 乗数を 2 ビットずつグループにして一度に処理する 2 ビットシフト方式 (uniform shift of 2), これをさらに複雑にした 3 ビットシフト方式 (uniform shift of 3) などが知られている (39)(123) ここでは乗算方式自身は特に研究の対象とはせず、高速乗算方式として比較的簡単で一般的な 2 ビットシフト方式をとった。しかし単に 2 ビットだけの処理ではかなり時間がかかるので、これを 3 組多重に使用する方式を使用した。回路の構成にあたっては実際の場合と同じ規模を想定して、ビット数、演算方式、使用素子、実装方法共に同一方法をとっている。目標性能としては 36 ビットの乗算時間を 1 μ s 以下にすることである。

図 6.21 にブロック図を示す。入力情報としては外部スイッチにより 36 ビット乗数、18 ビット被乗数および被乗数の 2 の補数が入る。被乗数のビット数が半分なのは実験の簡単化のためである。乗数は A レジスタに入り下位よりデコードされて使用される。乗算の方式は 2 ビットシフト方式を 3 組多重化した形のものを使用したので、見かけ上乘数は 6 ビットが同時にデコードされて処理される。2 ビットシフト方式の基本は乗数を 2 ビットのグループにわけて、各グループに対して 1 回だけ被乗数の加算または減算を行うものである。加算は (減算は負の加算と考える) グループ内の 2 ビットが 00 に対しては被乗数の零倍, 01 および 10 に対しては 2 倍, 11 に対しては 4 倍を加える。したがって結

果は 00, 10 に対しては正しいが, 01, 11 に対しては被乗数の 1 倍だけ大きすぎることになるから, 次の加算サイクルで修正しなければならない。加算が行われると次に部分積が 2 ビット桁移動されるから, 前の加算サイクルでは被乗数の 1 倍だけ大きかったものが, 実際に修正される次の加算サイクルでは 4 倍大きいことになる。実際に減算修正が行われるのは隣接上位のグループの終りのビットが 1 の時である。修正は -4 倍の加算 (前に述べたように減算である) であるから, 本来の加算分と合計すると実際の加算は 00 のとき -4 倍, 01, 10 のとき -2 倍, 11 の時零倍の加算となる。上位グループの終りのビットが 0 の時は正しい結果が出ているので本来の加算のみを行えばよい。これをまとめたものを表 6.6 に示す。被乗数の 2 倍, 4 倍の加算は被乗数の加算桁を移動するのみでよ

表 6.6 2 ビットシフト方式の実行 Operation

Multiplier	Operation	Multiplier	Operation
0-00	0	1-00	-4
0-01	+2	1-01	-2
0-10	+2	1-10	-2
0-11	+4	1-11	0

いから簡単に行うことができる。普通は上に述べたように上位グループの終りのビットをしらべて修正を決定するが, ここで使用した方法は下位グループの最初のビットをしらべる方法である。これは全体を 1 ビット下位へシフトして考えれば各グループ内の動作は前の場合と全く同じである。ただグループの基準となるビットの位置と実際に加算を行う位置が 1 ビットだけずれているので, 2 倍, 4 倍となるところが 1 倍, 2 倍となる。表 6.7 に実際のオペレーションを示す。

表 6.7 使用した Operation

Multiplier	Operation	Multiplier	Operation
00-0	0	00-1	+1
01-0	+1	01-1	+2
10-0	-2	10-1	-1
11-0	-1	11-1	0

乗算の順序は上位桁から行っても下位桁から行っても良いが、ここでは下位から行う方法を採用し部分積は原理的には右シフトするようになっている。下位から乗算を行うと最下位グループに対する修正の問題が簡単になることと、乗算結果の上位桁が自動的にレジスタに残る利点がある。

ブロック図でAレジスタの右端のMRは6ビットシフトしたとき30ビット位置の情報をデコーダに入れるための一時記憶用フリップフロップである。Aレジスタは36ビット乗数と18ビットの乗算結果(Adder出力)の2つの並列入力端子をもち、下位6ビットの並列出力を出す。内部では6ビットをグループにしてシフトする機能をもっている。入力端子の制御信号としてはMRSW, ADSがあり、シフト制御にはSG, API, 出力ゲート制御にはMRDCを使用している。デコーダで2ビット3グループを独立にデコードして3個のシフト回路に信号を送る。シフト回路はゲート回路の組み合わせからなる一種のデコーダで被乗数入力を指定された桁だけシフトした位置に出す働きをする。この3個のシフトされた被乗数出力と前のサイクルでえられたSUM/CRYレジスタの内容を3段の桁上げ信号保存加算回路CSAを通して加算し、乗算の部分積をつくるための部分和と桁上げ信号をつくりSUM/CRYレジスタに記憶する。乗数36ビットについて6回のサイクルを通すと最後に部分和と桁上げ信号を通常のCarry Look Ahead形加算回路に入れて最終の乗算結果をつくりAレジスタに記憶して1回の乗算を終了する。最後の乗算結果は上位18ビットのみをとる。CSA, SUM/CRYレジスタのループを信号が1回まわるとに6ビットずつシフトされることになるので、このループをまわっている間に下位の桁から切り捨てられていくことになる。CSAは6ビット多い24ビットで構成され、上位18ビットへの桁上り信号を検出するCarry decoderと検出した信号をAdderに加えるためのフリップフロップをもっている。Carry Look Ahead Adderは18ビットの構成になっている。

6.3.2 実験結果

この乗算回路を13枚のカードに分割して実装した。使用したカードは4層で、 $150 \times 150 \times 1.6$ の大きさに40個のDIP容器を実装する。配線は線幅0.4, 線間隔最小0.3でコネクタは80ピンを使用した。表6.8にカードの種類の一覧表を示す。集積回路の平均の実装率は85%で90%以上のカードが8枚あるからかなり良い実装率である。ピンの使用率は平均75%であるが100%のパターンもあり、ばらつきが大きいので最適ピン数の選定はむずかしい。80ピンでは特別のパターンを除いて40個の集積回路に対しては多

表 6.8 カードの種類

用 途	数量	IC実装率	最大配線長	使用ピン数と比率
SHIFTおよびCSA	4	38個(95)%	253mm	66ピン(87)%
SUM/CRYレジスタ	2	36 (90)	440	76 (100)
加 算 回 路	3	27 (68)	323	34 (45)
A - レジスタ	2	38 (95)	230	68 (89)
デ コ ー ダ	1	29 (73)	316	53 (70)
制 御 回 路	1	35 (88)	205	31 (41)
計	13	445 (85)		738 (75)

い感じがする。各カードの最大配線長を表 6.8 に示す。また図 6.22 に ADDER および SUM/CRY REG の 2 種のカード内の線路長分布を示す。440mm を例外とすれば最大線路長でも 300mm 前後であり、同一カード内の分布を見ても大部分は 150mm 以下に入っている。配線の基準としては各種の実験データを参考にして 300mm 以下の線路は無終端で使用しても良いことにした。そこでカード内相互配線は終端不要になる。バックパネル(マザーボード)を経由してカード間にまたがる配線は 300mm をこえるので終端抵抗を入れて整合をとるようにした。線路の特性インピーダンスは 75Ω 、容量は 0.86PF/cm である。カードの平均線長は回路パターンによって異なるが、ほぼ 100mm 程度になるので、線路当りの平均容量は約 9PF である。マザーボードは 6 層のプリント板を使用した。外面信号線路の構成はカードと同じにしたので、特性インピーダンスは 75Ω 、容量は $0.89 \sim 1.0\text{PF/cm}$ であるが、内面信号線路は特性インピーダンスが 62Ω 、容量 1.36PF/cm になるので、短距離配線のみを使用した。これらの考え方は前節の加算回路の場合と同じである。

使用した集積回路は 445 個でその種類を表 6.9 に示した。論理構成が AND-OR の形を基本にしているため 2 入力ゲートの数が非常に多い。Full Adder は CSA と ADDER に使用したものである。集積回路は MECL II シリーズ を使用した。図 6.23 の写真は乗算回路全体の動作状況を示す。写真ではレジスタの MSD より 18 ビット目の 内容と、各コントロールパルスおよびデコーダから加算回路までの 18 ビット目の内容を追跡して、A レジスタがキイ入力によって書きこまれてから、乗算結果が A レジスタに入るまでを示している。この場合に行った演算は図中に示した様なものである。写真にしたがって動作を説

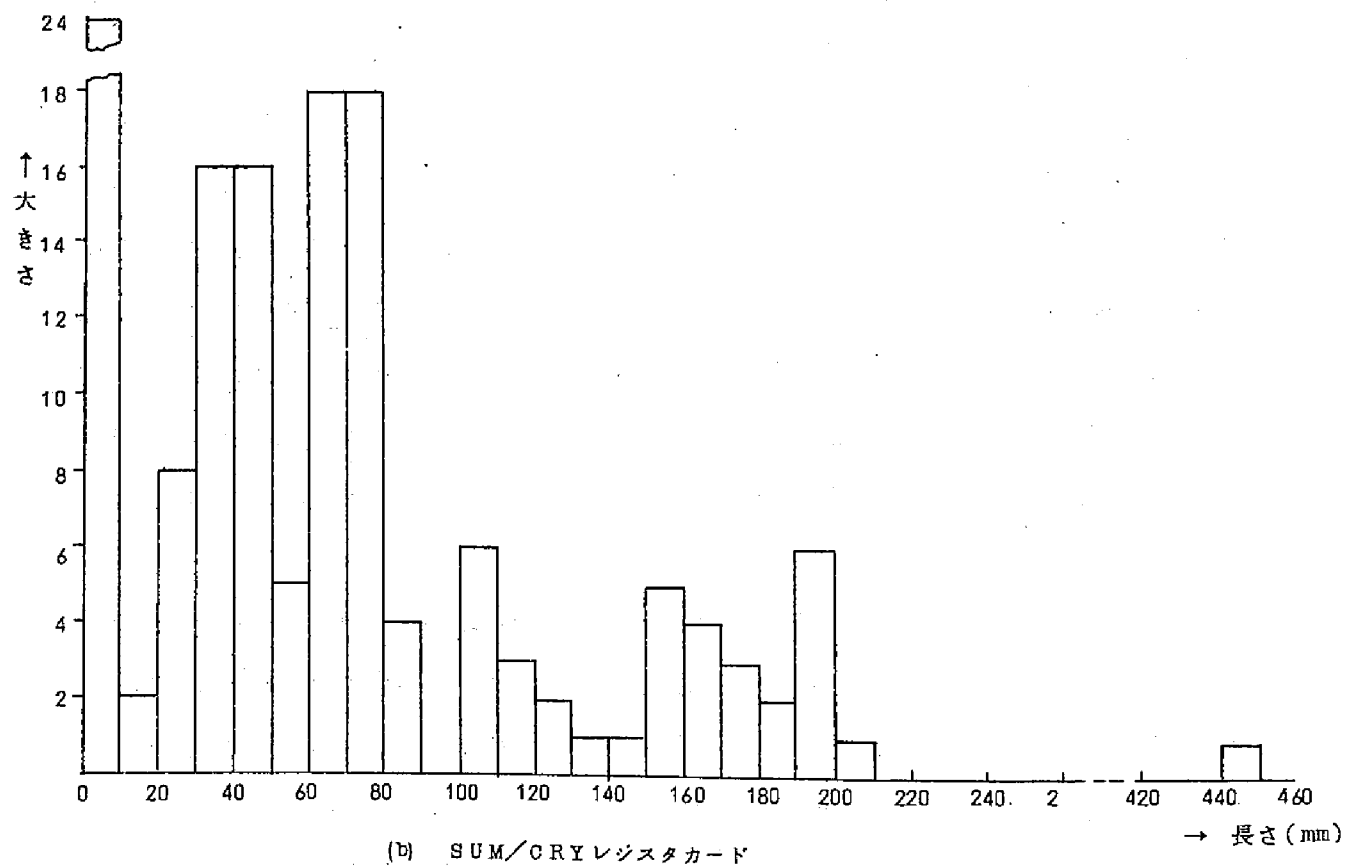
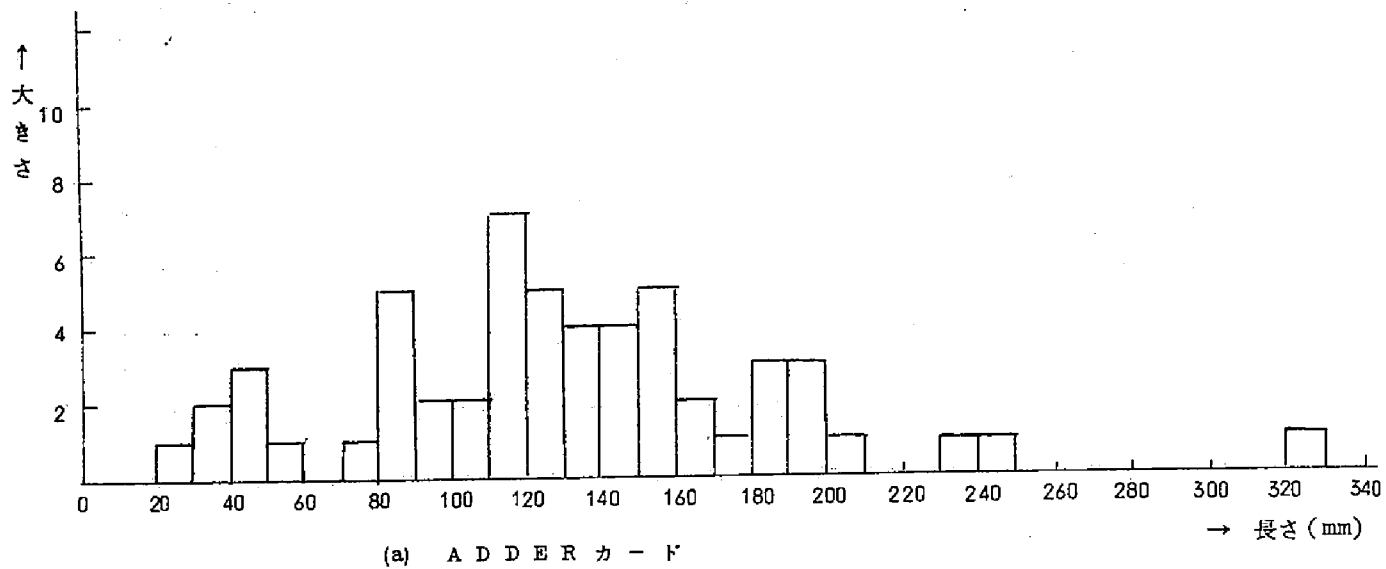
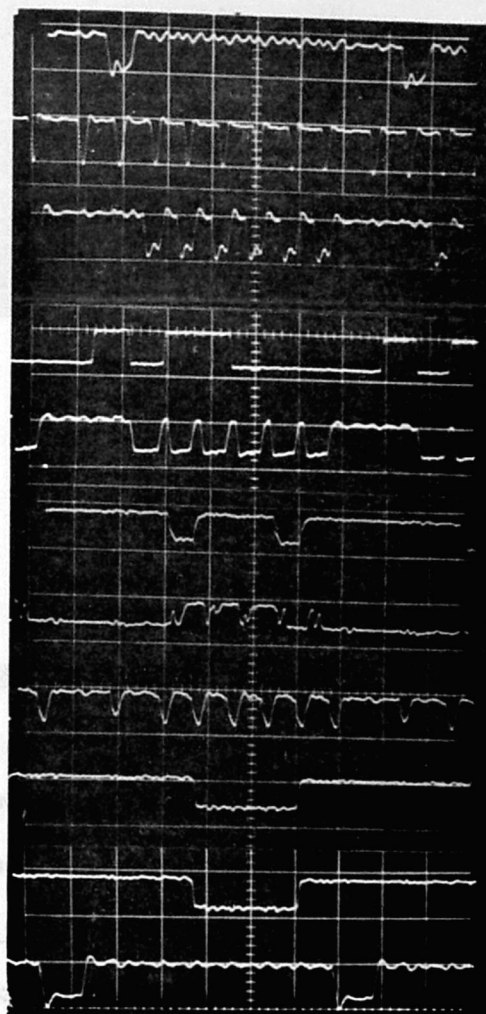


図 6.22 カード内の線路長分布の例



(1) MRSWS (N)

(2) ARI (N)

(3) SG (N)

(4) A17 (P)

(5) MRDC (N)

(6) MRDCIA (N)

(7) SUME17 (P)

(8) SUMI (N)

(9) SUM17 (N)

(10) ADD17 (N)

(11) ADS (N)

H: 100ns/div

V: 1V/div

Multiplicand = 011010110010110101

Multiplier = 011011111001000100001101101100111110

* * *

*はA17に出るビット位置

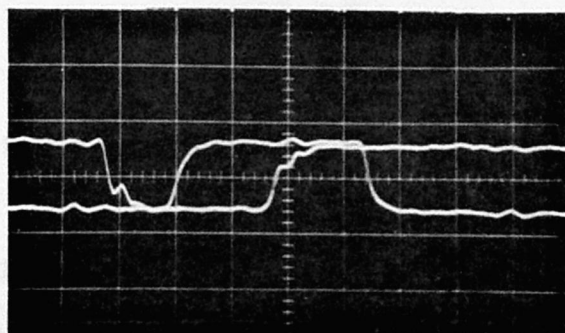
図 6.23 乗算回路の各部の波形

表 6.9 集積回路の種類

Quad 2 Input NOR/OR Gate	200 個
Dual 4 Input NOR/OR Gate	37
Tripple 3 Input NOR/OR Gate	18
Single 6 Input NOR/OR Gate	16
Dual 2 Input Expandable Gate	3
Dual 4 Expander	3
J - K Flip Flop	66
R S Flip Flop	12
Full Adder	90

明し、各部の遅れ時間をしらべてみる。この場合には 660 ns で同じ演算がくり返されている。MRSWSは乗数キイ入力をサンプルするゲートコントロールパルスである。この周期がくり返し演算の周期を示している。MRSWSが“0”でレジスタシフトパルスARIが入るとAレジスタに入力“0”が書きこまれる。この時にはシフトコントロールパルスSGが出ていないのでAレジスタは単に入力が書きこまれるだけで内容はシフトしない。次いでSGに6個のパルスが出てAレジスタの内容が6回シフトされる。6回のシフトが終るまでには 440 ns 程度かかる。SGの6個のパルスと同期してMRDCに6個のパルスが出て、AレジスタのLSD 6ビットの内容をデコーダに入れるゲートを6回ひらく。Aレジスタの内容は6ビットをグループにしてシフトするから、写真にみるAレジスタの内容は図中に説明されているように6ビットおきの内容が順次表示されているわけである。デコーダ回路はゲート2段で3ビットの内容をデコードしてシフト桁数を決定する。遅れ時間は $9 \sim 12\text{ ns}$ である。3段のCSAはゲート1段とFull Adder 3段で構成されている。CSAの遅れはパターンにより通過する道が異なるので写真のように1ヶ所のみを見ても良くわからない。図6.24の写真はこの道すじのうちsum出力のみが出る最もはやい場合の遅れを示したもので、遅れは立上り部で $24 \sim 28\text{ ns}$ 、立下り部で $32 \sim 35\text{ ns}$ である。

CSAの出力はゲートコントロール信号SUMI/CRYIでSUM/CRYレジスタに書き込まれる。書きこみ遅れ時間はJKフリップフロップの書きこみ遅れ時間になり $9 \sim 10\text{ ns}$ である。SUMレジスタの出力はADDERに加えられて加算される。ADDERは6ビット



CSA入力

CSA出力

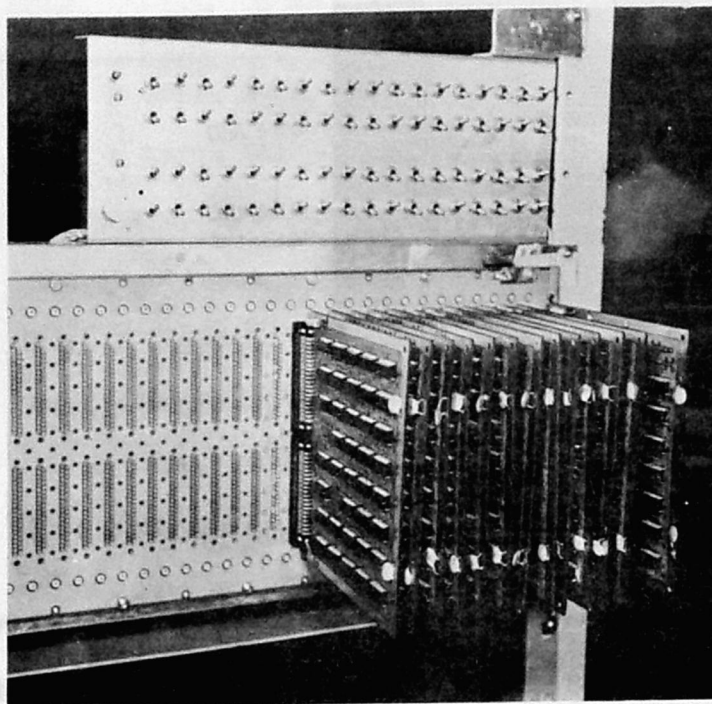
H: 20ns/div

V: 0.5V/div

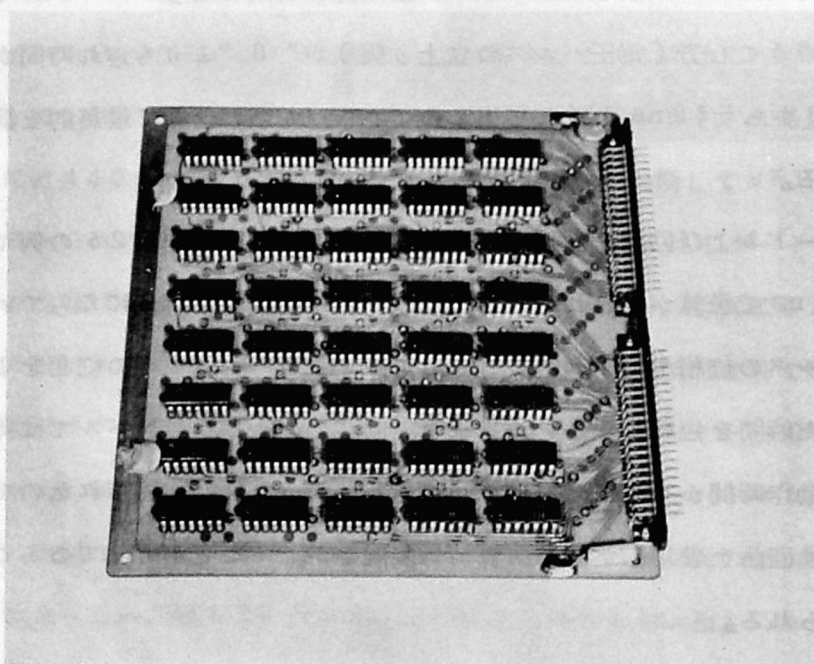
図 6.24 CSA の遅れ時間 (桁上りのない場合)

の Carry Look Ahead を行いゲート 2 段と Full Adder 1 段で構成され、加算遅れは、桁上げ信号の伝播のない最も早い場合は 11~16 ns、桁上げ信号の伝播のある最も遅い場合で 45 ns~60 ns となる。最終の結果はコントロールパルス ADS の終端で A レジスタに書きこまれる。これは入力がセットされてから約 580 ns 後になっている。A レジスタの書きこみ時間は JK フリップフロップの動作遅れ時間になり 9~10 ns である。いずれも“1”を書きこむ方 (電圧パルスの立上り側) が“0”よりも遅れ時間が小さい。ADS は MRSWS から 530 ns おくれて出るのでこのパルスの位相に最終的な演算時間が定まることになる。

図 6.25 はカードおよび回路の写真である。全体としてみると図 6.23 の例で示した場合でも最大 630 ns で乗算が行われている。この回路は同期回路構成になっていて、全てコントロールパルスの位相で時間が定まるから、コントロールパルスの位相をよくしらべて調整すればまだ時間を短縮することが出来る。回路の配線、信号レベルでは特に問題は生じなかった。動作時間からみて高速乗算回路として十分な性能が得られたので、この種のような電流切換回路を使用した高速演算制御装置をつくることが可能であることを明確にし得たと考えられる。



(a) カード実装状態



(b) カ ー ド

図 6.25 実験回路の写真

第7章 直列電流路論理回路

7.1 回路の一般形と論理

本章で述べる論理回路は第5章のLSI化で述べたトランジスタの直列構成による枝状の電流路切換AND機能を生かした回路である。この論理回路を直列電流路論理回路 (Serial Current Routine Logic) と呼ぶことにする。この枝状回路の本来の機能は入力全ての組合せを出力として出すことのできるデコーダ回路である。たとえば図5.3の回路において3入力の組合せに対して8個のコレクタ回路のいずれかに電流が流れることにより、2進3ビット入力のデコードを行なうことができる。この動作より直ちに加算回路を構成することができることは前に述べたとおりである。ここではこのデコード回路を変形してできる一番複雑な論理回路の一般形について考える。

実現できる論理の形はOR-NAND/AND-OR論理である。図7.1, 図7.2に2つの形の構成を示す。最初のORは図7.1(a)のn入力の電流切換部の並列トランジスタによるものである。これを同図(b)のようにM段積み上げてNAND/ANDを行なう。枝状回路であるからコレクタ出力は 2^M 個存在しうる。これらをコレクタ端子でOR tieすることによりM入力の任意の論理が構成できる。この論理をさらに複雑化するためには第3のORとして同図(c)に示すように出力のエミッタホロワでOR tieをとる方法がある。したがって回路構成から論理式は

$$\begin{aligned} & \overline{[(A_1 + A_2 + \cdots + A_n)(B_1 + B_2 + \cdots + B_n) \cdots (C_1 + C_2 + \cdots + C_n)]} \\ & + \overline{[(X_1 + X_2 + \cdots + X_n)(Y_1 + Y_2 + \cdots + Y_n) \cdots (Z_1 + Z_2 + \cdots + Z_n)]} \\ & + \cdots \cdots \\ & + \overline{[(U_1 + U_2 + \cdots + U_n)(V_1 + V_2 + \cdots + V_n) \cdots (W_1 + W_2 + \cdots + W_n)]} \quad (7.1) \end{aligned}$$

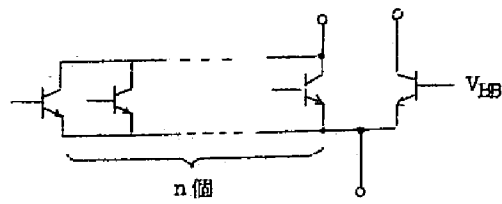
なる3段論理になっている。簡単な例として2OR-3NAND-2ORの例を図7.3に示す。

出力の論理は

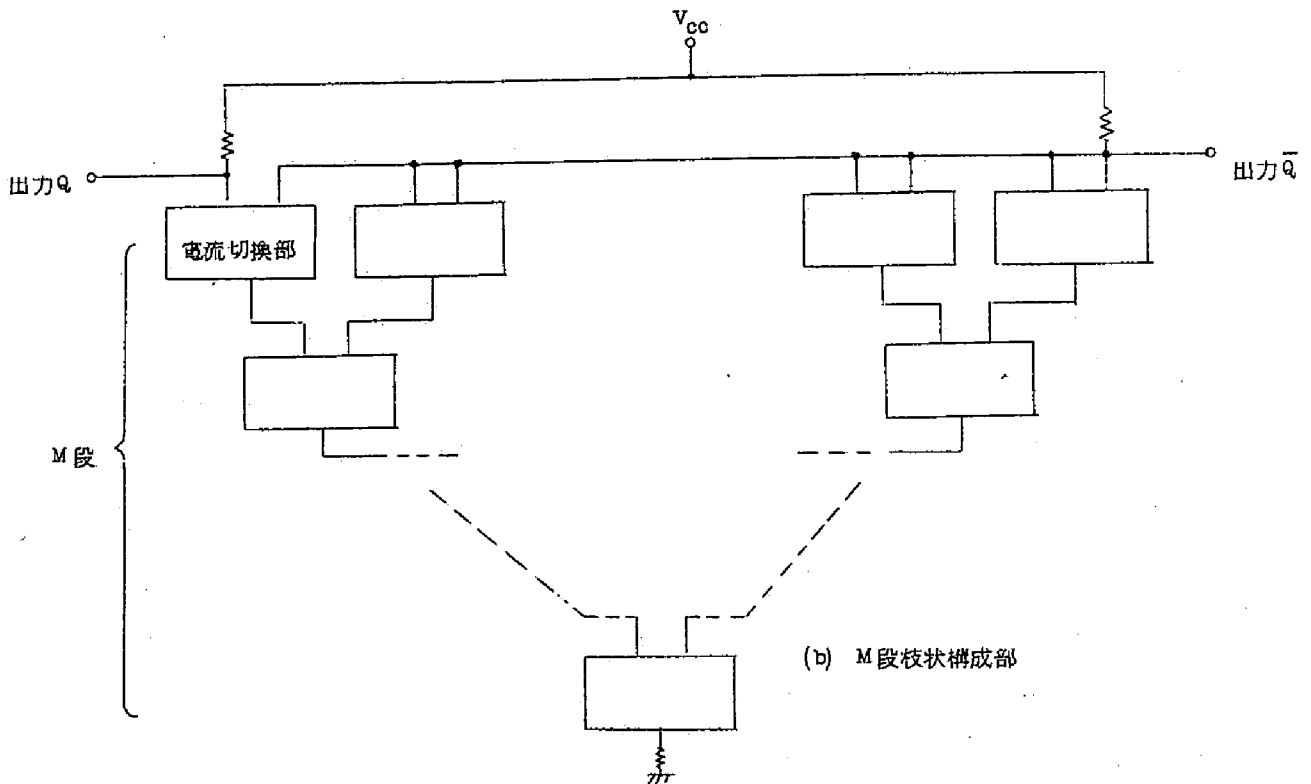
$$Q = \overline{(A_1 + A_2)(B_1 + B_2)(C_1 + C_2)} + \overline{(X_1 + X_2)(Y_1 + Y_2)(Z_1 + Z_2)} \quad (7.2)$$

である。通常使用される論理記号で表現すると図示のように3段になるから高速化が可能であることがわかる。

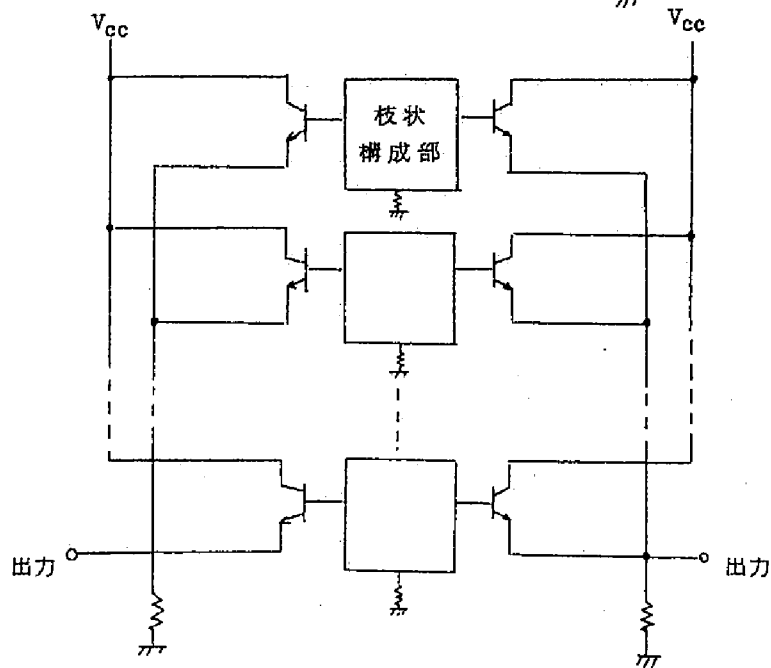
別の形としては図7.2に示すマルチエミッタトランジスタによるものがある。この形の構成では図7.1(b)のM段枝状構成部によって上述のOR-NAND/ANDが行なわれる。次いでマルチエミッタによってOR-ANDが行なわれると同時に両者のORがとられる。



(a) n 入力電流切換部



(b) M 段枝状構成部



(c) OR tie を使用する
論理構成

図 7.1 直流電流路切換回路の一般形 (OR tie 形)

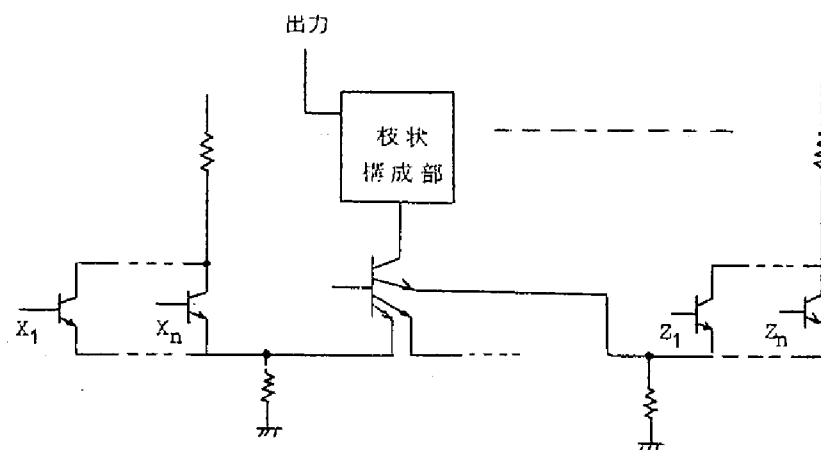


図 7.2 マルチエミッタを使用する直列電流路切換回路の一般形

したがって論理出力は

$$\begin{aligned} & \overline{[(A_1 + A_2 \cdots + A_n)(B_1 + B_2 + \cdots + B_n) \cdots (C_1 + C_2 + \cdots + C_n)]} \\ & + [(X_1 + X_2 + \cdots + X_n)(Y_1 + Y_2 + \cdots + Y_n) \cdots (Z_1 + Z_2 + \cdots + Z_n)] \end{aligned} \quad (7.3)$$

となり、かつこの出力はとり出せる場所がマルチエミッタトランジスタにつながる枝の先に限定されるので、補出力を同時にとり出すことができない。また第3段目のORは上式のごとく2入力ORにかぎられる。図7.4は例として2OR-2AND-2ORの例である。このときの出力は

$$S_1 = \overline{(A_1 + A_2)(B_1 + B_2)} + [(X_1 + X_2)(Y_1 + Y_2)] \quad (7.4)$$

$$S_2 = \overline{(A_1 + A_2)(B_1 + B_2)} + [(X_1 + X_2)(Y_1 + Y_2)] \quad (7.5)$$

なる2種類が得られる。

ここで各入出力に対する信号の直流レベルについて述べる。出力は一番上段のコレクタ電位をエミッタホロワを通して取り出す。次に入力が一番上段のトランジスタに対してはエミッタホロワ出力から直結する。これは通常の電流切換回路と同じである。その他については上より1段ずつのレベルシフト回路を通して入力を供給する。このレベルシフト回路を入力側につけるか出力側につけるかにより若干段間結合の方法が異なってくる。今入力側につくものとすればこれを含めて入力と考えると、入力は全てエミッタホロワ出力に結合できることになる。しかし入力端子ごとに全てレベルシフト回路をつけなければならぬから回路素子数は増加する。これに対して出力側にレベルシフト回路をつけると出力エミッタホロワから各入力レベルに対応する出力端子を出すことになる。したがって入力端子の結合できる出力端子が限定される。この場合は素子数は比較的少なくてすむが、結

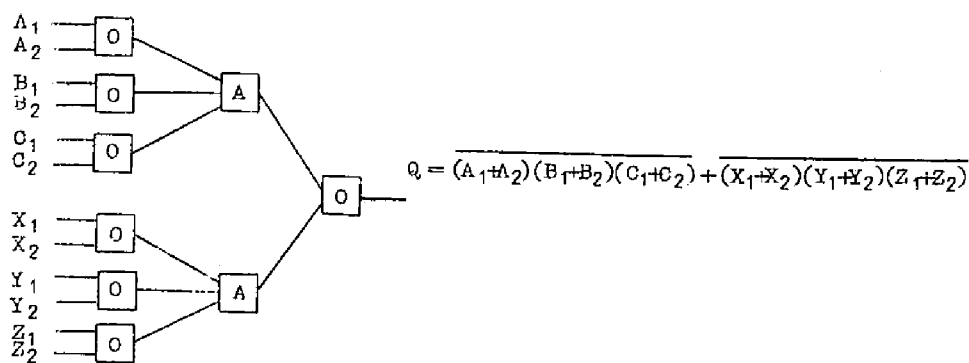
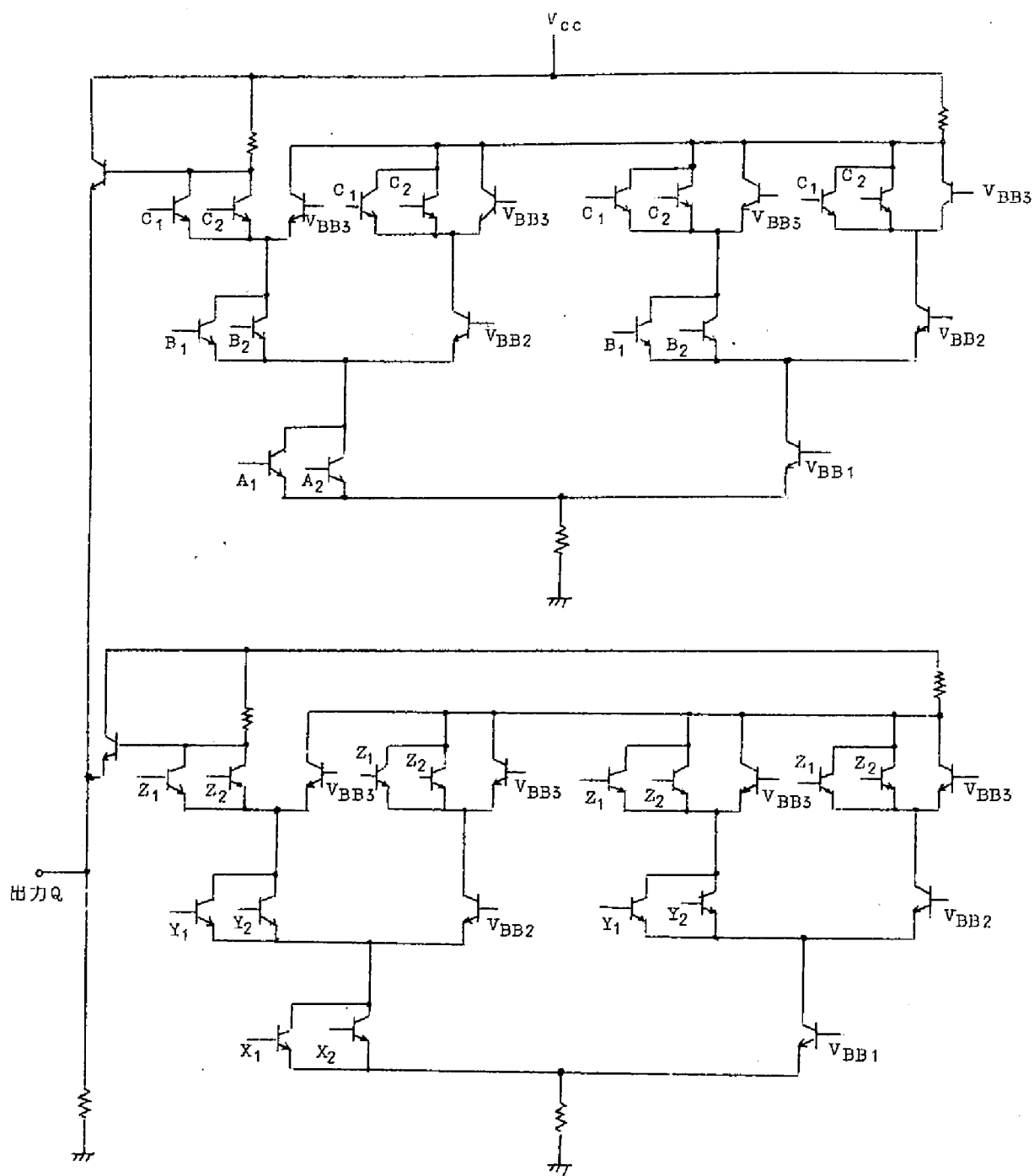
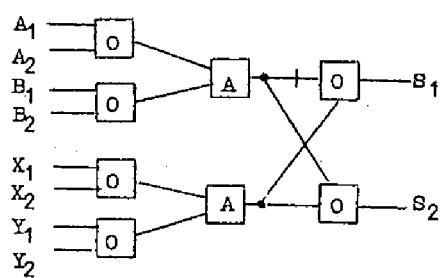


図 7.3 2OR-3NAND-2OR の例



- 289 -

合の制限が実用上かなり複雑になる。両者の優劣は一概には言えないが、集積回路で素子数を問題にしない場合には前者の方法がよいと思われる。

この枝状電流路切換回路の目的は回路の遅れ時間を小にするため、縦続接続をさせて電流切換1段のスイッチ時間でできるだけ多くの論理を行なうことにある。そのためには論理の複雑さすなわち論理段数を要求することになるが、これは上述の回路に見るように自由さの少ないもので、回路動作から限定されてしまい、それ以上論理段数を大にするためには縦続接続をするより方法がないことになる。論理の大きさすなわち1段の論理の変数の数は、電流路の枝状分岐の段数、トランジスタの並列個数、マルチエミッタ数などで定まり、論理段数よりは拡張性があるがやはり制限をうけるのは明らかである。したがって1つの枝状電流路によって構成されるこの論理回路方式固有の部分は、あまり大規模な回路や任意の論理を効率よく構成することはできず、それ以上は通常と同様にこれらの論理回路の縦続接続を使用することになる。この点で将来のLSIに対してなお問題があることは前の章に述べたとおりである。

一方この回路方式を一般的論理回路に使用することを考えると、回路はできるだけ素子数が少なく簡単であることが必要である。本来の枝状回路はデコード回路の機能を持ち、全ての枝を構成する必要から非常に多数の素子を必要としている。しかしデコード回路として使用しない一般論理ではこのように多数素子を使用するのは不経済で消費電力の点でも望ましくない。そこで不必要な素子を省略した一般論理用回路を考案した。第2節では枝状のデコード回路の直流および交流解析について述べ、第3節では特性の実験結果を示す。第4節では応用例としてこの一般論理用回路を使用して加算回路を高速化する実験結果について述べる。また第5節ではカットポイントセルとして使用する応用例について述べる。

7.2 回路の解析

7.2.1 非直線モデルによるトランジスタの電流式

直列電流路切換回路の直流レベル解析をするため

トランジスタの非直線モデルの考え方を使用する。⁽¹⁰²⁾

今図7.5に示すように電流電圧の向きをとったとき

次式が成立する。

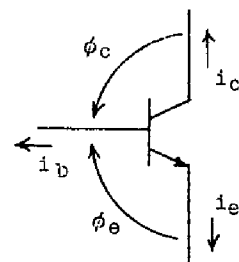


図 7.5 非直線モデルによる
電流電圧の極性

$$i_e = a_{11} \left(e^{\frac{q\phi_e}{kT}} - 1 \right) - a_{12} \left(e^{\frac{q\phi_c}{kT}} - 1 \right) \quad (7.6)$$

$$i_c = -a_{21} \left(e^{\frac{q\phi_e}{kT}} - 1 \right) + a_{22} \left(e^{\frac{q\phi_c}{kT}} - 1 \right) \quad (7.7)$$

ここに a_{11} , a_{12} , a_{21} , a_{22} は構造によって定まる常数である。これらの間には

$$\frac{a_{21}}{a_{11}} = \alpha_N$$

$$\frac{a_{12}}{a_{22}} = \alpha_I$$

なる関係がある。今 (7.6) (7.7) 式を書きかえると

$$i_e = -\alpha_I i_c + I_{e0} \left(e^{\frac{q\phi_e}{kT}} - 1 \right) \quad (7.8)$$

$$i_c = -\alpha_N i_e + I_{c0} \left(e^{\frac{q\phi_c}{kT}} - 1 \right) \quad (7.9)$$

$$\text{ここに } I_{e0} = a_{11} (1 - \alpha_I \alpha_N)$$

$$I_{c0} = a_{22} (1 - \alpha_I \alpha_N)$$

となりよく知られた関係式となる。したがって

$$\phi_e = \frac{kT}{q} \ln \left(\frac{i_e + \alpha_I i_c + I_{e0}}{I_{e0}} \right) \quad (7.10)$$

$$\phi_c = \frac{kT}{q} \ln \left(\frac{\alpha_N i_e + i_c + I_{c0}}{I_{c0}} \right) \quad (7.11)$$

となる。この両式よりエミッタコレクタ間電位は次式のようになる。

$$\begin{aligned} V_{ec} = \phi_e - \phi_c &= \frac{kT}{q} \ln \frac{\alpha_N}{\alpha_I} \cdot \frac{1 + \alpha_I \frac{i_c}{i_e} + \frac{I_{e0}}{i_e}}{\alpha_N + \frac{i_c}{i_e} + \frac{I_{c0}}{i_e}} \\ &\doteq \frac{kT}{q} \ln \frac{\alpha_N}{\alpha_I} \cdot \frac{1 + \alpha_I \frac{i_c}{i_e}}{\alpha_N + \frac{i_c}{i_e} + \frac{I_{c0}}{i_e}} \end{aligned} \quad (7.12)$$

また (7.9) 式より容易にわかるようにエミッタ電流の流れているトランジスタに対しては

$$\frac{i_c}{i_e} = -\alpha_N + \frac{I_{c0}}{i_e} \left(e^{\frac{q\phi_c}{kT}} - 1 \right) \doteq -\alpha_N \quad (7.13)$$

となるから

$$V_{ec} = \frac{kT}{q} \ln \frac{\alpha_N}{\alpha_I} \cdot \frac{1 - \alpha_I \alpha_N}{\frac{I_{c0}}{i_e}} \quad (7.14)$$

となる。

7.2.2 直流レベル解析

次に図7.6に示すトランジスタ枝状回路の直流解析を行なう。⁽¹³⁰⁾ ここで各トランジスタは同一の特性をもつと仮定する。したがって全てのトランジスタについて α_N , α_I , I_{e0} , I_{c0} は同一値であるとする。今トランジスタに下から順に番号をつける。番号のつけ方は下より第1段, 第2段とし, 同一段では左側の枝より1番, 2番とする。また基準電圧 V_{BB} の加わるトランジスタにはRをつける。したがって T_{11} と T_{R11} は互いにエミッタを共通結合する2個のトランジスタを示す。同様に T_{jm} と T_{Rjm} は1組のトランジスタを示している。また入力トランジスタが n 個並列の場合は, これらが同一特性であるという仮定からこれらをひとまとめにして表示しておくが, 区分する必要があるときは T_{jmn} と記すことにする。また各部の電流電圧を図7.7に示すごとく定める。まず抵抗Rに流れる i_1 は次のようになる。

$$i_1 = I_0 + \frac{e_{b1} - V_{BB1}}{R \left[1 + \frac{1}{n_1} e^{\frac{q}{kT} (V_{BB1} - e_{b1})} \right]}$$

ここに I_0 は $I_0 = a_{11} \left(e^{\frac{q}{kT} (V_{BB1} - E_{e1})} - 1 \right) = \frac{E_{e1}}{R}$ なる関係より求められる直

流電流である。 n_1 は並列の入力トランジスタの数である。ここで入力には全て e_{b1} の電圧が加わっていると仮定している。この式は最下段のエミッタ回路が有限の抵抗値の場合には, エミッタ電流は定電流にならないことを示している。これに対して実際にはエミッタ回路にトランジスタを入れて強く定電流化する方法がとられている。このような場合には計算を簡単にするためにエミッタ電流は完全に定電流と考えて

$$i_1 = I_0, \quad E_{e1} = e_{e1}$$

と仮定できる。したがって i_1 が与えられれば V_{BB1} も計算できる。次にトランジスタ T_{11} の n_1 個のうち1個のエミッタに流れる電流は

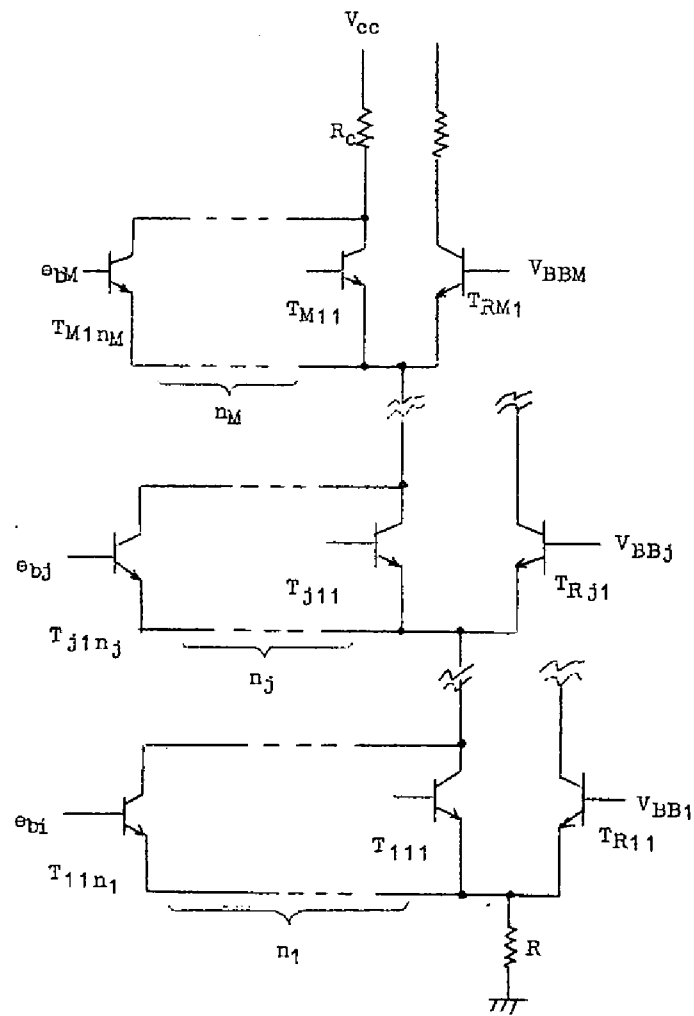


図 7.6 解析する回路の構成

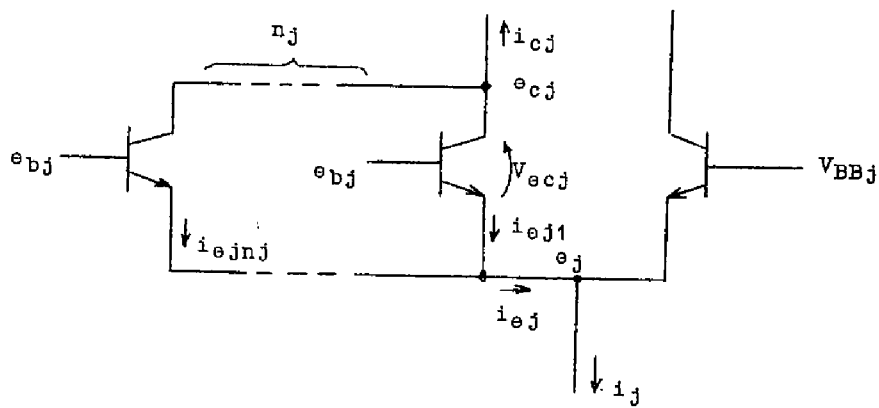


図 7.7 各部の電圧電流

$$i_{e11n_1} = \frac{1}{n_1} \left(\frac{i_1}{1 + \frac{1}{n_1} e^{\frac{q}{kT} (V_{BB1} - e_{b1})}} \right) \quad (7.16)$$

となりコレクタ電流は

$$i_{c11n_1} = -\alpha_N i_{e11n_1} \quad (7.17)$$

となる。並列トランジスタの全コレクタ電流は再び加え合わされるので、エミッタ電流とコレクタ電流は n_1 個をまとめてそれぞれ次のように考えてよい。

$$i_{e11} = \frac{i_1}{1 + \frac{1}{n_1} e^{\frac{q}{kT} (V_{BB1} - e_{b1})}} \quad (7.18)$$

$$i_{c11} = -\alpha_N i_{e11} \quad (7.19)$$

一方基準電圧を与える反対側のトランジスタの電流は次式のようになる。

$$i_{e12} = i_1 - i_{e11} = \frac{i_1}{1 + n_1 e^{\frac{q}{kT} (e_{b1} - V_{BB1})}} \quad (7.20)$$

$$i_{c12} = -\alpha_N i_{e12} \quad (7.21)$$

次に第1段のトランジスタ各部の電位について考えると導通しているトランジスタに対して

$$e_{e1} = i_1 \cdot R \quad (7.22)$$

$$e_{c11} = e_{e1} + V_{ec1} \quad (7.23)$$

$$V_{ec1} = \frac{kT}{q} \ln \frac{\alpha_N}{\alpha_I} \cdot \frac{1 - \alpha_I \alpha_N}{\frac{I_{co}}{i_{e11}}} \quad (7.24)$$

となる。またベース電位 V_{BB1} は後に述べるように出力信号レベルが与えられると計算により求められるから、 e_{b1} は信号振幅を e_s としたとき

$$V_{BB1} - \frac{1}{2} e_s \leq e_{b1} \leq V_{BB1} + \frac{1}{2} e_s$$

なる関係をとる。第2段目のトランジスタを考えると全エミッタ電流は

$$i_2 = -i_{c1} \quad (7.25)$$

となる。第1段目と同様にして n_2 個の並列トランジスタをまとめて考えるとエミッタ電流、コレクタ電流は次のようになる。

$$i_{e2} = \frac{i_2}{1 + \frac{1}{n_2} e^{\frac{q}{kT} (V_{BB2} - e_{b2})}} \quad (7.26)$$

$$i_{c2} = -\alpha_N i_{e2} \quad (7.27)$$

また各トランジスタのエミッタ電流は

$$i_{e21} = \frac{1}{n_2} i_{e2} = \frac{1}{n_2} \left(\frac{i_2}{1 + \frac{1}{n_2} e^{\frac{q}{kT} (V_{BB2} - e_{b2})}} \right) \quad (7.28)$$

となる。反対側のトランジスタに対しては前と同様な考え方により

$$i_{e22} = \frac{i_2}{n_2 + e^{\frac{q}{kT} (e_{b2} - V_{BB2})}} \quad (7.29)$$

となる。エミッタおよびコレクタ電位は

$$e_{e2} = e_{c1} \quad (7.30)$$

$$e_{c2} = e_{e2} + V_{ec2} \quad (7.31)$$

$$V_{ec2} = \frac{kT}{q} \ln \frac{\alpha_N}{\alpha_I} \cdot \frac{1 - \alpha_I \alpha_N}{\frac{I_{CO}}{i_{e21}}} \quad (7.32)$$

となる。ベース電位はエミッタ電流が定電流であるという仮定より第1段の場合と同様に

$$i_{e22} = a_{11} \left[e^{\frac{q}{kT} (V_{BB2} - e_{e2})} - 1 \right] \quad (7.33)$$

または

$$V_{BB2} = e_{e2} + \frac{kT}{q} \ln \left(\frac{i_{e22}}{a_{11}} + 1 \right) \quad (7.34)$$

となる。このとき

$$V_{BB2} \geq V_{ec1} + V_{BB1} \quad (7.35)$$

が成立すればトランジスタは飽和していない。また信号入力は

$$V_{BB2} - \frac{e_s}{2} \leq e_{b2} \leq V_{BB2} + \frac{e_s}{2}$$

となる。

以上を一般的に書きあらわせば、今図示のように第j段目の導通トランジスタを考えると

$$i_j = i_{cj-1} \quad (7.36)$$

$$i_{ej1} = \frac{i_j}{1 + \frac{1}{n_j} e^{\frac{q}{kT}(V_{BBj} - e_{bj})}} \quad (7.37)$$

$$i_{ej11} = \frac{1}{n_j} \left(\frac{i_j}{1 + \frac{1}{n_j} e^{\frac{q}{kT}(V_{BBj} - e_{bj})}} \right) \quad (7.38)$$

$$i_{cj1} = -\alpha_N i_{ej1} \quad (7.39)$$

$$e_{ej} = e_{cj-1} \quad (7.40)$$

$$e_{cj} = e_{ej} + V_{ecj} \quad (7.41)$$

$$V_{ecj1} = \frac{kT}{q} \ln \frac{\alpha_N}{\alpha_I} \cdot \frac{1 - \alpha_I \alpha_N}{\frac{I_{co}}{i_{ej1}}} \quad (7.42)$$

$$V_{BBj} = e_{ej} + \frac{kT}{q} \ln \left(\frac{i_{ej1}'}{a_{11}} + 1 \right) \quad (7.43)$$

$$V_{BBj} - \frac{e_s}{2} \leq e_{bj} \leq V_{BBj} + \frac{e_s}{2} \quad (7.44)$$

が成立する。ここに1は奇数とする。また反射側のトランジスタに対しては

$$i_{ej1'} = \frac{i_j}{n_j + e^{\frac{q}{kT}(e_{bj} - V_{BBj})}} \quad (7.45)$$

$$i_{cj1'} = -\alpha_N i_{ej1'} \quad (7.46)$$

が成立する1'は偶数を示す。今M段で全回路が構成されているとして簡単のために

$$n_j = n = \text{const}$$

$$V_{BBj} - e_{bj} = \text{const}$$

$$g_j = e^{\frac{q}{kT}(V_{BBj} - e_{bj})} = g = \text{const} \quad j=1, 2, \dots, M$$

と仮定すると電流の流れている道すじに対して

$$V_{cc} = -R_c i_{cM} + R i_1 + \sum_{j=1}^M V_{ecj} \quad (7.47)$$

ここに

$$i_{CM} = \left(\frac{\alpha_N}{1 + \frac{g}{n}} \right)^{M-1} i_{C1} = - \left(\frac{\alpha_N}{1 + \frac{g}{n}} \right)^M i_1$$

$$\sum_{j=1}^M V_{ecj} = \frac{kT}{q} \ln \left[\frac{\alpha_N (1 - \alpha_I \alpha_N) \cdot i_1}{\alpha_I \cdot I_{CO} (n+g)} \right]^M \cdot \left[\frac{\alpha_N}{1 + \frac{g}{n}} \right]^{\frac{M(M-1)}{2}}$$

が成立する。書きかえると

$$\begin{aligned} V_{CC} = & \left\{ R_C \left(\frac{\alpha_N}{1 + \frac{g}{n}} \right)^M + R \right\} i_1 + \frac{kTM}{q} \ln \frac{\alpha_N (1 - \alpha_I \alpha_N) i_1}{\alpha_I \cdot I_{CO} (n+g)} \\ & + \frac{kT(M-1)M}{2q} \ln \frac{\alpha_N}{1 + \frac{g}{n}} \end{aligned} \quad (7.48)$$

となる。この式は M 段の回路が構成できるための条件を与える基本式である。NOR 側の出力電圧レベルは

$$e_{out} = V_{CC} + R_C i_{CM} = V_{CC} - R_C \left(\frac{\alpha_N}{1 + \frac{g}{n}} \right)^M i_1 \quad (7.49)$$

となり出力信号振幅は

$$e_{CM} = -R_C i_{CM} = R_C \left(\frac{\alpha_N}{1 + \frac{g}{n}} \right)^M i_1 \quad (7.50)$$

となる。ここで入力信号振幅が保存されねばならないことから

$$e_{CM} = e_s = 2 |V_{BBj} - e_{bj}|$$

でなければならない。したがって e_s すなわち $|V_{BBj} - e_{bj}|$ が定まれば i_1 が決定できる。先には V_{BB1} は与えられるものと仮定して説明したが、 i_1 が定まれば V_{BB1} が決定する。一方不導通のトランジスタにつながる枝は漏洩電流しか流れないから、 i_{CM} はほぼ零になり出力レベルは V_{CC} となる。

これらの関係式より与えられる条件として電源電圧 V_{CC} と抵抗値 R , R_C , 信号振幅 e_s , 段数 M のうち 2 つを与えることによって、回路の設計が行なえる。前述の説明の考え方は信号振幅と段数を与えて電源電圧を求める方法に近い。

7.2.3 遅れ時間の解析

直列電流路切換回路は通常の電流切換回路よりも回路構成が複雑であるから、スイッチング時間の解析には近似解を求めるか、数値計算を行なうかの2方法しか実用できない。ここでは第5章第1節で述べた考え方を拡張して遅れ時間の近似解析を求める。まず次のような仮定をおく。入力側に入るレベルシフト回路はエミッタホロワであるから(5.15)式で遅れを表わすことができる。したがってここでは電流切換を行なうトランジスタのベース入力から、そのトランジスタにつながるコレクタ出力までの遅れ時間を考える。またトランジスタは全て同じ特性とし、かつ回路条件も同じとする。すなわち各段における動作のばらつきは考えない。

第5章第1節で扱ったようにスイッチ時間はベース応答とコレクタ応答にわけて考える。ベース応答は通常の電流切換回路と全く同じであるから(5.9)式がそのまま成立する。したがってベース応答の時定数は

$$\tau_{b1} \doteq r_{bb'} [1.4 C_{e0} + 1.6 C_{c0}] \quad (7.51)$$

$r_{bb'}$ はベース抵抗, C_{e0} C_{c0} は零電位のエミッタ, コレクタ障壁容量

となる。コレクタ応答はスイッチしているトランジスタから出力を取り出すトランジスタまで何段の回路が直列になっているかにより異なる。今全体が M 段で構成され、 j 段目に入力が増えられる場合を考える。コレクタ電流に対して次式が成立する。

$$-i_{cj} = \frac{-(i_{cM})}{\left(\frac{\alpha_N}{1 + \frac{g}{n}}\right)^{M-j}} \quad (7.52)$$

簡単のために $n = 1$ とし、また $j+1$ 段から M 段までは全てベース電位は "1" レベルになっているとする。したがって $g \doteq 0$ と考える。このとき負荷抵抗 R_c に生ずるコレクタ電圧の変化は

$$e_{cM} = -i_{cM} \cdot R_c = -i_{cj} R_c \cdot \alpha_N^{M-j} \quad (7.53)$$

となる。一方 $e_{cj} = e_{ej+1}$ であるから

$$\begin{aligned} e_{cM} &= e_{ej+1} + V_{ecj+1} + \dots + V_{ecM-1} \\ &= e_{cj} + \frac{kT}{q} \ln \left[\frac{\alpha_N (1 - \alpha_I \alpha_N)}{\alpha_I I_{c0}} \right]^{M-j-2} (i_{ej+1} \dots i_{eM-1}) \\ &= e_{cj} + \frac{kT}{q} \ln \left[\frac{\alpha_N (1 - \alpha_I \alpha_N)}{\alpha_I I_{c0}} \right]^{M-j-2} + \frac{kT}{q} \ln [\alpha_N^{1+2+\dots+(M-j-2)} j_{ej}^{(M-j-2)}] \end{aligned}$$

$$= e_{cj} + \frac{kT}{q} \ln \left[\frac{\alpha_N (1 - \alpha_I \alpha_N)}{\alpha_I I_{CO}} \right]^{M-j-2} + \frac{kT}{q} \left[\alpha_N \frac{(M-j-1)(M-j-2)}{2} \right] \\ + \frac{kT}{q} \ln \left[i_{ej}^{M-j-2} \right] \quad (7.54)$$

とあらわされる。j 段目のトランジスタのコレクタにつながる全容量を C_{Lj} とする。 C_{Lj} は j 段目のトランジスタのコレクタ容量、j + 1 段目の 2 個のトランジスタのエミッタ容量とコレクタおよび負荷容量の影響分、サブストレートの容量などで構成される。ただし一番上のコレクタはそれ以上積み上げるトランジスタが無いから 2 個のエミッタ容量のかわりに、出力回路のトランジスタとして 1 個分のエミッタ容量を考慮する。簡単のために各トランジスタの容量は全て同じと仮定する。またベースが低インピーダンスであるから、j 段目のコレクタに対して j + 2 段目より上のトランジスタの容量の影響は無視できるものとする。このような条件のもとでは j 段目のコレクタ電流に対して次式が成り立つ。

$$C_{Lj} \frac{d e_{cj}}{dt} - i_{cj} = \alpha_N i_{ej} \quad (7.55)$$

ここに

$$C_{LM} = C_{b'c} + C_{te}(1) + C_s$$

$$C_{Lj} = C_{b'c} + C_s + C_{te}(1) + C_{te}(0) + 2(M-j)C' \quad j = 1, 2, \dots, M-1$$

$C_{te}(1)$, $C_{te}(0)$ は導通およびカットオフのトランジスタのエミッタ容量,

C_s はサブストレート容量

$$C' = C_{te}(1) C_{b'c} C_{LM} / (C_{te}(1) C_{b'c} + C_{te}(1) C_{LM} + C_{b'c} C_{LM})$$

(7.52) (7.53) 式を代入して

$$C_{Lj} \frac{d e_{cM}}{dt} + \frac{e_{cM}}{R_c \alpha_N^{M-j}} = \alpha_N i_{ej} + \frac{kT}{q} (M-j-2) \frac{d \ln(i_{ej})}{dt} \quad (7.56)$$

となる。今 α_N を

$$\alpha_N = \frac{\alpha_0}{(1 + s\tau_{11})(1 + s\tau_{21})}$$

なる 2 次形で近似すると、(7.56) 式をラプラス関数に変換したとき、 $\tau_{11} \tau_{21}$ の積は非常に小さいとして s の 2 次項を省略し 1 次項のみをとると、 e_{cM} に対する時定数は

$$\tau = C_{Lj} R_c \alpha_0^{M-j} + (M-j)(\tau_{11} + \tau_{21}) \quad (7.57)$$

となる。ここで $C_{Lj} R_c$ は第 5 章第 1 節で述べたコレクタ時定数に等しい。また τ_{11} , τ_{21}

はそれぞれ $1/\omega_\alpha$, m/ω_α と書けるから

$$\tau_{11} + \tau_{21} = (1+m) \frac{1}{\omega_\alpha} \doteq \frac{1}{\omega_T} \quad (7.58)$$

となる。ここに ω_α は α カットオフ周波数である。(7.57)式からコレクタ応答は C_{Lj} R_c によるコレクタ時定数と、各段の電流増幅率の位相遅れによる信号伝搬遅れの和になることがわかる。第5章第1節では電流切換回路が1段しかないので後者を無視したが、 $(M-j)$ 段直列に結合された本回路の場合にはこの項を無視することができない。以上よりレベルシフト回路および出力エミッタホロワ回路を除外した電流切換部の遅れ時間は

$$T_{Dcs} = 0.7(\tau_{b1} + \tau) \quad (7.59)$$

となる。入力端子から出力端子までの全遅れ時間は(7.59)式にレベルシフトおよび出力エミッタホロワの遅れ時間を加えればよいが、この値はほぼ $2T_D^F$ と考えてよい。ここに T_D^F は(5.15)式で与えられるエミッタホロワの遅れ時間で次式になる。

$$T_D^F = 0.35(1-\alpha_o)\tau_f + \frac{0.25R_e C_{Lf} e_1}{V_{BB}} \quad (7.60)$$

ここに

$$\tau_f = (\tau_{bf} + R_{c1}) C_{Lf}$$

τ_{bf} : エミッタホロワトランジスタのベース抵抗

C_{Lf} : エミッタホロワの負荷容量

入出力間の遅れ時間は

$$\begin{aligned} T_D &= 0.7(\tau_{b1} + \tau) + 2T_D^F \\ &= 0.7[\tau_{b1} + \tau + (1-\alpha_o)\tau_f] + \frac{0.5R_e C_{Lf} e_o}{V_{BB}} \end{aligned} \quad (7.61)$$

となる。

7.2.4 数 値 例

1入力3段構成 ($n=1$, $M=3$) の回路を例にして数値計算を行なう。回路常数としては $R_c = 100\Omega$, $R = 400\Omega$, 信号振幅 $0.8V$, トランジスタ常数は $\alpha_N = 0.98$, $\alpha_I = 0.1$, $a_{11} = 0.7 \times 10^{-14}$, $a_{22} = 0.15 \times 10^{-12}$ とする。これより $I_{c0} = 0.13 \times 10^{-12} A$, $I_{e0} = 0.63 \times 10^{-14} A$ となる。また信号振幅より導通トランジスタのコレクタ電流は $8.00mA$ となるから(7.50)式より $i_1 = 8.50mA$ となり、(7.15)式より $I_o = 7.50mA$, $E_{o1} = 3.0V$, $V_{BB1} = 3.72V$ が求められる。また(7.48)式より $V_{cc} = 6.31V$ が

計算される。各部の電位は(7.16)式以下により順次計算できて表7.1のように求められる。この値よりトランジスタは飽和していないことが確かめられる。次に抵抗値、トランジスタ常数を同一とし、段数 M と電源電圧 V_{CC} の関係を求めたものが図7.8である。論理振幅を変えることは電流値を変えていることに相当している。そして電源電圧の差は結局この電流差によって生じる抵抗の電圧降下の差に等しい。したがって電流に比例している。

表 7. 1 $M=3$, $e_s=0.8\text{ V}$ のとき電流の流れている枝の各点の電圧電流値 (計算値)

$e_{c3} = 5.5\text{ V}$	$e_{e3} = e_{c2} = 4.8\text{ V}$	$e_{e2} = e_{c1} = 4.1\text{ V}$
$e_{b3} = 5.5 \sim 4.7\text{ V}$	$e_{b2} = 4.8 \sim 4.0\text{ V}$	$e_{b1} = 4.1 \sim 3.3\text{ V}$
$V_{BB3} = 5.1\text{ V}$	$V_{BB2} = 4.4\text{ V}$	$V_{BB1} = 3.7\text{ V}$
$i_{c3} = 8.0\text{ mA}$		$e_{e1} = 3.4\text{ V}$
$i_3 = 8.16\text{ mA}$	$i_2 = 8.33\text{ mA}$	$i_1 = 8.50\text{ mA}$
$V_{CC} = 6.3\text{ V},$	$V_{EE} = 0$	

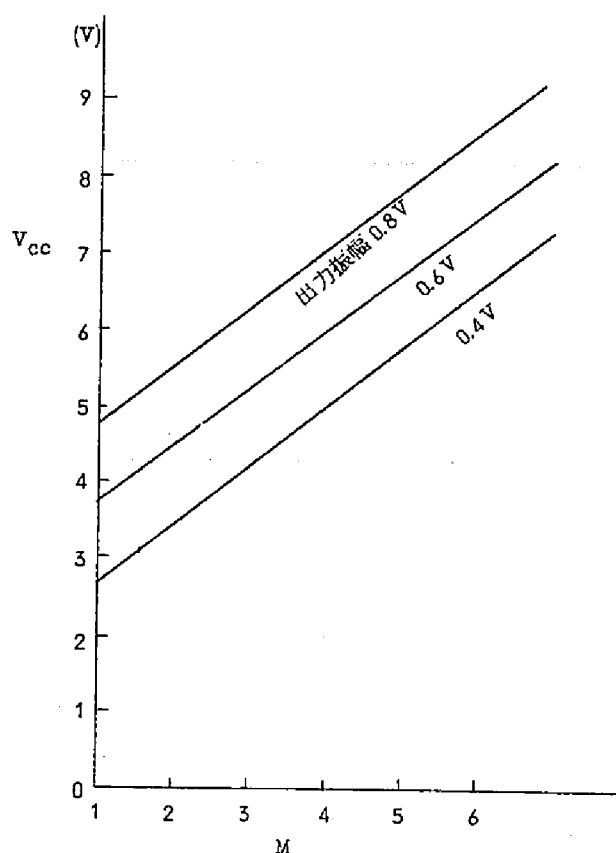


図 7. 8 段数 M と電源電圧 V_{CC} の関係

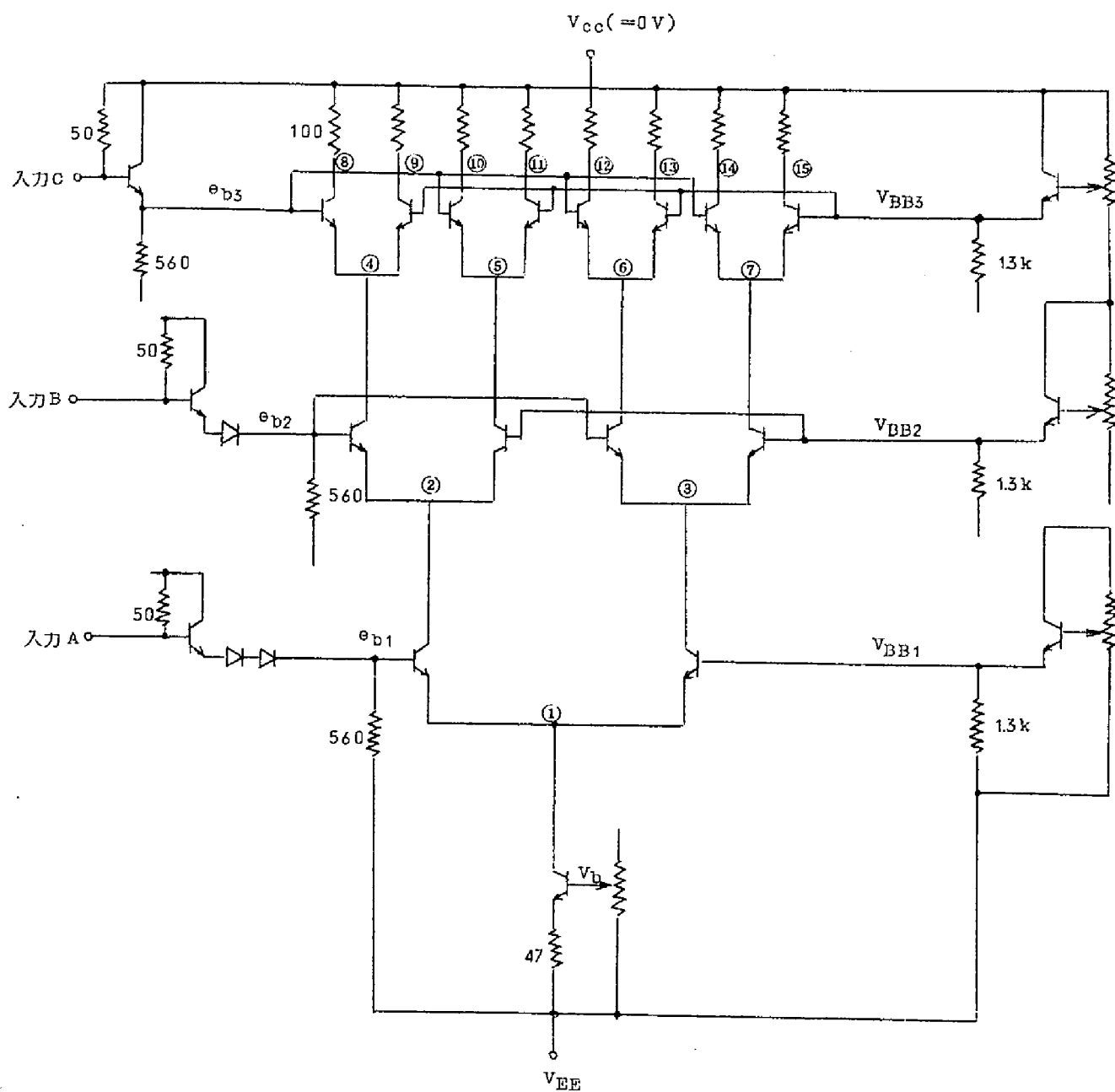
スイッチング時間の例を2SC395トランジスタの常数を参考にして計算してみる。まず容量の測定よりエミッタ容量に対しては $C_{te}(0) \div C_{eo} = 4.4 \text{ PF}$, $C_{te}(1) = 6.5 \text{ PF}$, コレクタ容量に対しては $C_{bc} \div C_{co} = 4.5 \text{ PF}$ となる。したがって $r_{bb'} = 48 \Omega$ より (7.51) 式から $\tau_{b1} = 0.64 \text{ ns}$ が得られる。次に $C_s = 5.8 \text{ PF}$ ととると直ちに $C_{LM} = C_{L3} = 16.8 \text{ PF}$ が求められる。これより $C' = 2.3 \text{ PF}$ となるから (7.55) 式によって $C_{L2} = 25.8 \text{ PF}$, $C_{L1} = 30.4 \text{ PF}$ が求められる。測定より $1/\omega_T = 265 \text{ PS}$ であるから (7.57) (7.58) 式より $j = 1, 2, 3$ に対応する τ はそれぞれ 3.45 ns , 2.79 ns , 1.68 ns と求められる。次にエミッタホロワの負荷として2個分のトランジスタのエミッタ容量を考えると $C_{Lf} = 2C_{te}(1) = 13 \text{ PF}$, $R_e = 600 \Omega$, $e_s = 0.8 \text{ V}$ で V_{BBj} は表7.1の計算値のレベルを使用すると, (7.60) 式より エミッタホロワの遅れ T_D^F は $j = 1, 2, 3$ に対してそれぞれ 0.44 ns , 0.37 ns , 0.32 ns となる。以上を表7.2にまとめて示す。全体の遅れ時間 T_D は (7.61) 式より計算したものである。この表によると各段間の遅れ時間の差は1段と2段の間が約 0.6 ns , 2段と3段の間が 0.9 ns である。上段に入力が入るほど出力までの遅れが小さい。

表 7.2 各段の時定数と遅れ時間の計算
(使用した数値は本文参照)

	$j = 1$	$j = 2$	$j = 3$
τ_{b1}	0.64	0.64	0.64
τ	3.45	2.79	1.68
T_D^F	0.44	0.37	0.32
T_D	3.73	3.14	2.26

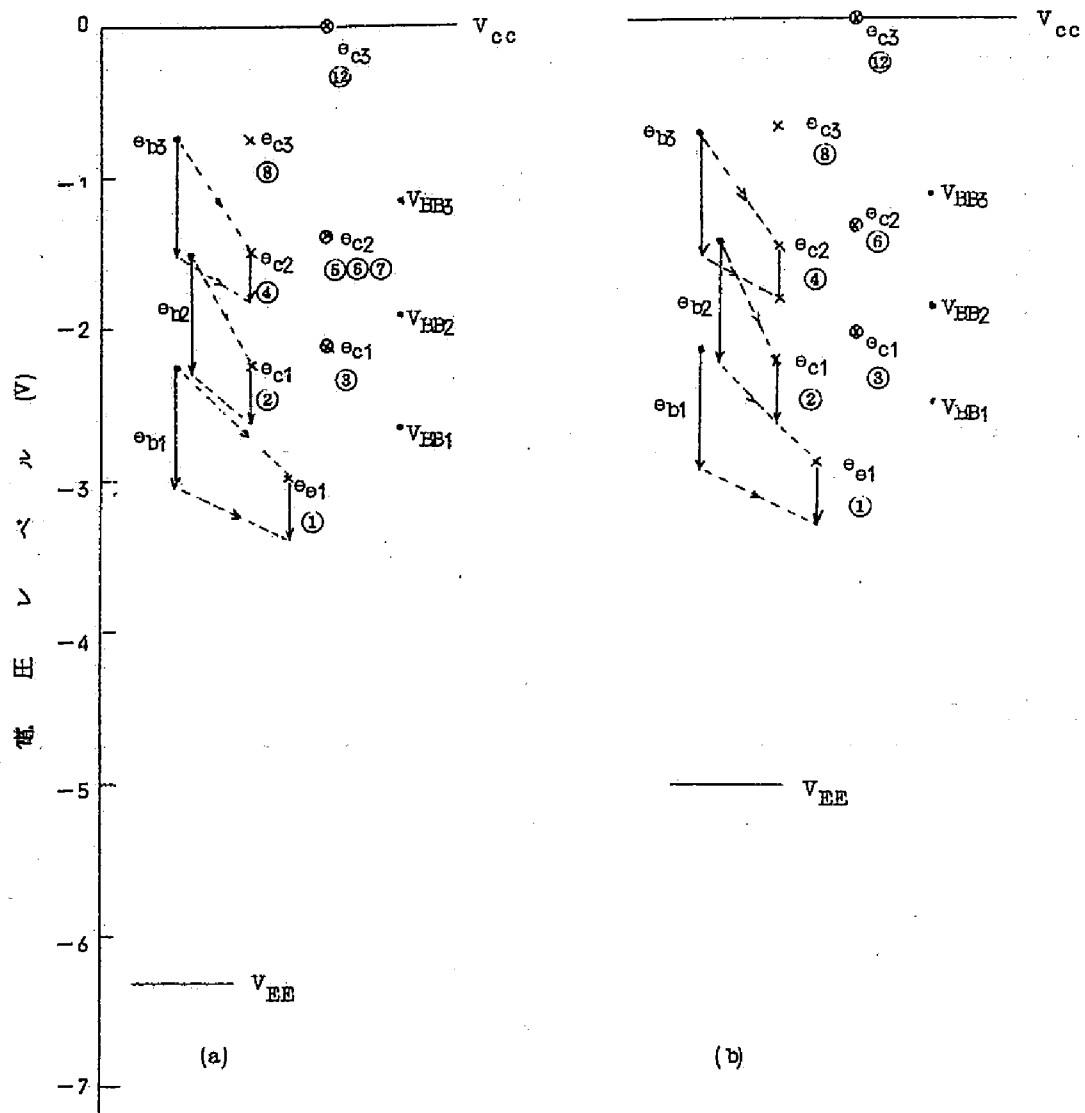
7.3 実験結果

枝状の電流路切換回路 (SCRL) の特性の測定結果を示す。測定回路は図7.9に示す1入力3段SCRLで, 下段のエミッタ回路にさらに1個のトランジスタを入れて強く定電流化している。この動作によりエミッタ抵抗値が小になり, したがってこの抵抗による電圧降下が小になるので電源電圧を引き下げることができる。図7.10に各点の直流レベルを示す。ここで電源電圧は計算値と同じ -6.3 V (コレクタ電圧 V_{cc} を接地電位にとっているから直流的にシフトしている) と通常の電流切換回路と同じレベルの -5 V の2種類を



トランジスタ 2SC395
ダイオード 1S1516

図 7.9 1 入力 3 段 SCRL

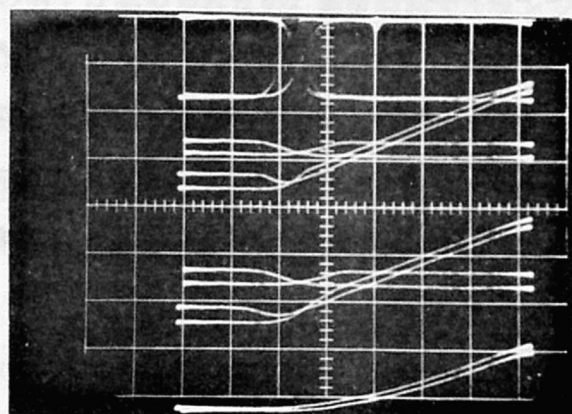


- ベース電位
- × 導通の枝コレクタ電位
- ⊗ 不導通の枝のコレクタ電位 (100 k Ω を負荷としている)

図 7.10 直流レベル測定

(a) $V_{EE} = -6.3\text{ V}$, (b) $V_{EE} = -5\text{ V}$

とった。抵抗値は前節の計算値と同じ値としトランジスタも同じ2SC395を使用した。前節表7.1の計算値とこの測定値はよく合致し、電源電圧を小にとると第1段目のレベルが少し変化するが、全体としてはほとんど電源による差はない。これより定電流化トランジスタの効果で電源電圧を下げる事が可能で、消費電力の点でも有利になることがわかる。入出力伝達特性を図7.11に示す。



第3段コレクタ ⑧⑫または⑧⑮
第3段エミッタ (bの場合) ④, ⑦
同 (aの場合) ④, ⑥
第2段エミッタ (bの場合) ②, ③
同 (aの場合) ②, ③
第1段エミッタ ①

横軸はベース入力電圧 H: 0.2 V/div

V: 0.5 V/div

aの場合: F, I = 1でA入力の場合

bの場合: F, I = 5でA, B, C入力の場合

図7.11 入出力特性

回路は図7.9を若干変更しレベルシフト回路でダイオードをそれぞれ2個、4個にして2個分のダイオード順方向電圧降下を使用し各段のレベル差が明確になるようにした。図7.11中の(a)の場合はA, B, C 3入力のうちB, C 2個を直流的に"1"レベルにして残りのA入力と出力の間の特性を示すものである。同様にBおよびC入力の関係を調べるとスイッチするのがどの段であってもコレクタ出力特性には差が見られない。ベースに入力が加わっているトランジスタのエミッタ電位はトランジスタの導通領域で入力に追いついて変化するが、その1段下のトランジスタのエミッタ電位は無関係である。次に(b)の場合はファンインを変化させかつ同時に同じ入力を各段のベースに加えた場合の入出力特性を示している。スレッシュホールドレベルにヒステリシスが出ているのは並列に入っている入力トランジスタの性能のバラツキのためである。同時に加えた入力の影響はエ

ミッタ電位の合成された形となる。測定において不導通になった枝の途中段にあるエミッタは大きなインピーダンスを示すので、プローブをつけると不安定になる。そこで常に $100\text{ k}\Omega$ を並列に入れて測定した。したがって写真中のエミッタレベルはトランジスタが導通の場合と、トランジスタが不導通で $100\text{ k}\Omega$ 負荷の場合に相当している。

ベース電位よりコレクタ電位の方が低くなるとトランジスタが飽和するので、各ベース間のレベル差はトランジスタが飽和しないように十分大でなければならない。一方このレベル差と段数は電源電圧の大きさを定めることになるので、勝手な値にとることもできない。ここでは図 7.12 に示す 4 種類の回路につき考える。同図(a)はレベルシフトにダイオード 2 個を直列に使用したもので電源は -6.6 V である。この場合レベルシフト量は十分大きいので必ずコレクタ電位の方がベース電位より高い。(b)はレベルシフトダイオードを 1 個にして電源を -6.6 V としたもの、(c)は同じ回路で電源のみ -5 V にしたものである。

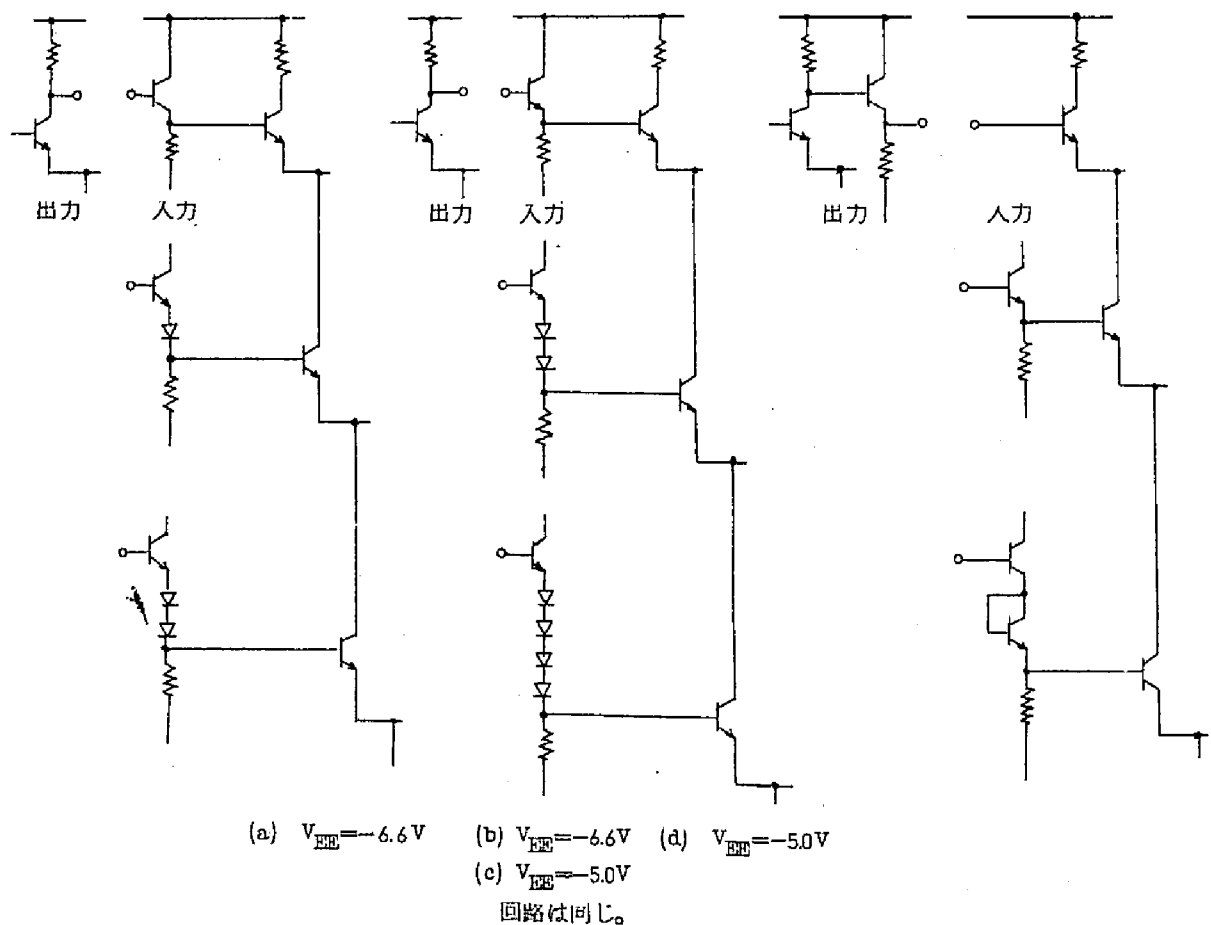


図 7.12 入力レベルシフト回路

レベルシフト量が小さいので電源電圧の大きい(b)は不利である。信号振幅 0.8 V に対してはレベルシフトはダイオード 1 個で ほぼ満足できるのであるが、(c)の場合には最悪条件でやや飽和気味のトランジスタが存在するようになる。(d)はダイオード 1 個以上 2 個以下の中間レベルシフト量を得るためにトランジスタのエミッタコレクタ間電圧降下を使用したものである。電源 -5 V として 1 V 程度のレベルシフトを得ている。実測をしたところでは(c)の方が実際的であることがわかる。飽和気味のトランジスタが存在してもそのための動作の劣下は認められない。集積回路でトランジスタが自由に使用できる場合には(d)の方法がよい。

枝状構成においては実際に電流の流れる道は 1 つであるから内部素子数に比して消費電力の増加は小さい。したがって電流切換のごとき消費電力の比較的大きい回路の集積化にも有利である。論理の枝に流れる電流は 8 mA が標準であるから、スイッチ部の消費電力は約 40 mW 程度である。図 7.12 (d)回路につき実測すると消費電力は約 177 mW となる。この電力の大部分は入力および比較電位を与えるエミッタホロワの消費電力と考えられる。したがってエミッタホロワで無駄に消費される電力をいかにして小さくするかが回路設計の一つの着眼点である。

次に入出力間の遅れ時間を測定する。遅れ時間は入力レベルシフト用回路の遅れ、電流スイッチ部の遅れ、基準電圧のずれによる付加的な遅れ、出力コレクタ回路の遅れによって構成される。表 7.3 は入力の加わる段のベースからコレクタ出力までの遅れ時間で其中的 2 項に対応している。この測定の入力パルスは振幅 0.8 V、パルス幅 30 ns で 1 個の入力端子に加え他の端子は直流的に "1" レベルにしておく。基準電圧 V_{BB} はベース入力振幅の中心に合わせてある。入力端子 C と A との遅れ時間の差はスイッチ点と出力端子までの間のトランジスタの段数による。1 段当たりの遅れ時間の差は約 0.7 ~ 0.8 ns で C 端子が小さい。図 7.13 は論理振幅と遅れ時間の関係を示す。図 7.14 は基準電圧 V_{BB} の変化と遅れ時間の関係を示す。入力振幅による遅れ時間の変化はほとんどないが V_{BB} の変化に対

表 7.3 ベースコレクタ間遅れ時間

入 力 端 子	N O R		O R	
	t_{d1}	t_{d0}	t_{d1}	t_{d0}
C	2.5	2.8	2.7	3.0
B	3.2	4.4	3.5	3.8
A	3.5	5.2	4.0	4.5

トランジスタ 2SC395 (ns)

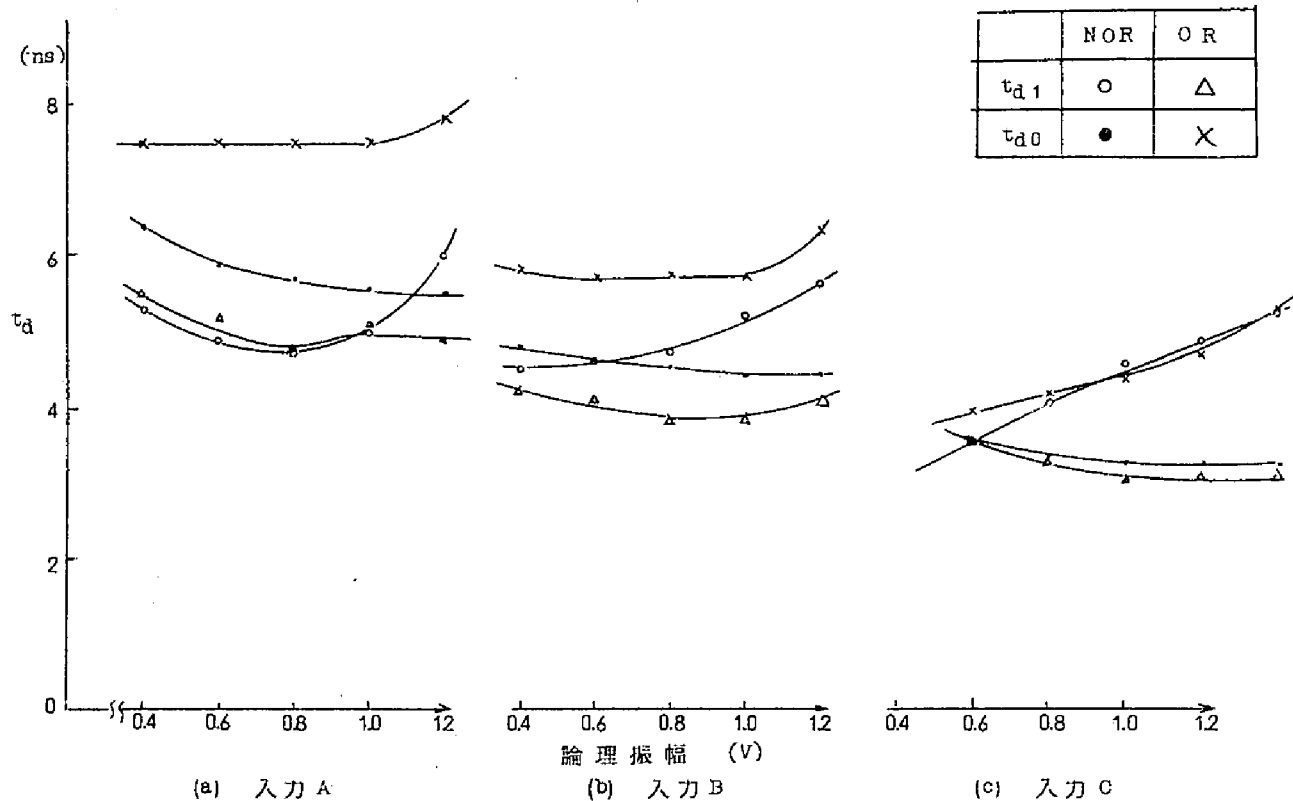


図 7.13 論理振幅と遅れ時間の関係

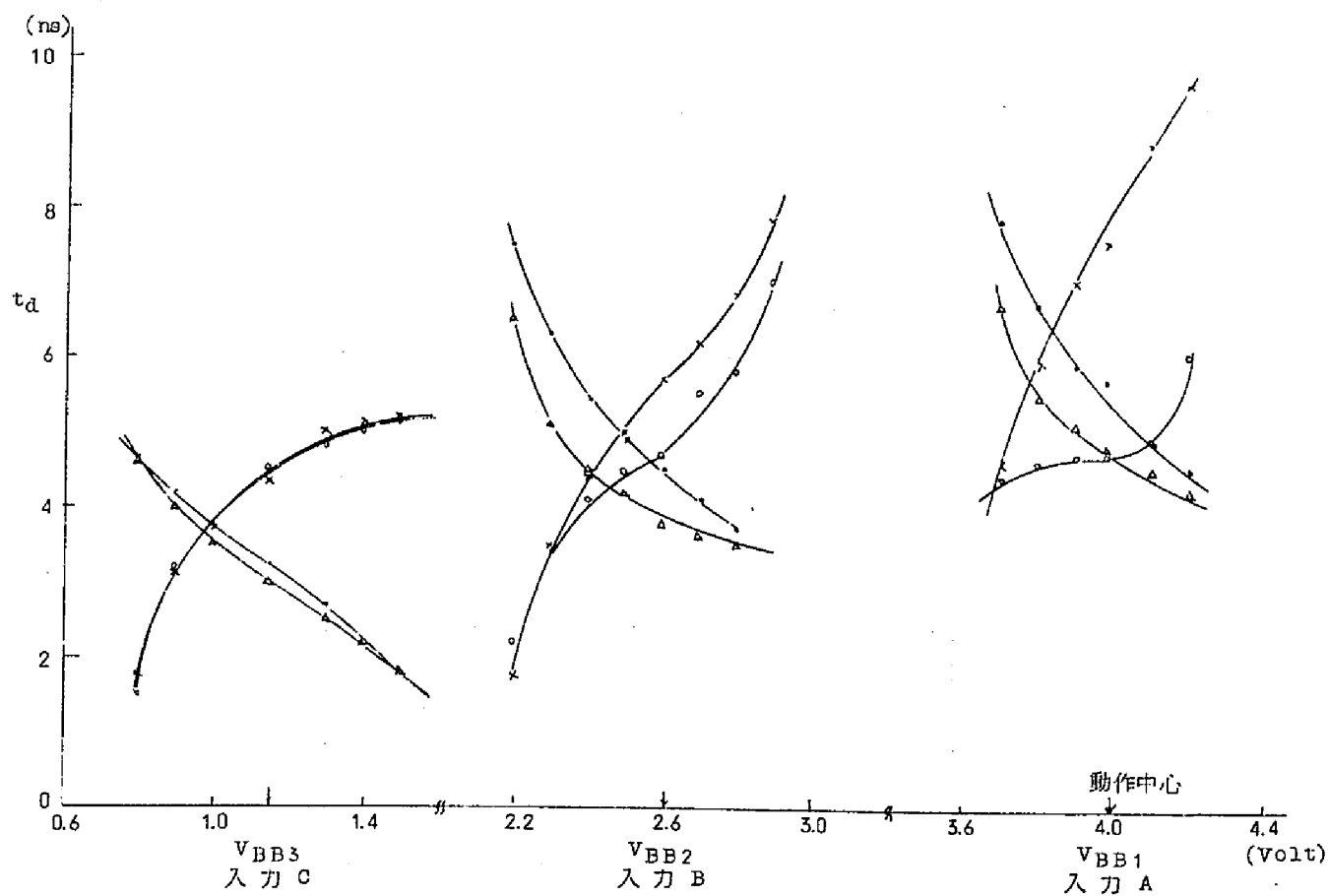


図 7.14 基準電圧 V_{BB} と遅れ時間の関係

してはスレッシュホールドが移動するため遅れが大幅に変わることがわかる。したがって信号振幅は電源電圧，雑音余裕，トランジスタの飽和等の問題を検討して決めればよい。また V_{BB} は論理振幅の中心値に安定していることが要求される。入力として double rail 形式を使用するとスイッチ時間を短縮できることがこの図より明らかである。上図の遅れ時間は入力レベルシフト回路も含んだもので、この遅れ時間は約 1.9~2.1 ns である。スイッチ時間の傾向は計算と合うが具体的な遅れ時間はあまりよく合わない。これは計算に使用した数値にも問題があるが、実際の測定結果も計算では考慮していない各種の浮遊容量等の影響を受けて真のスイッチ時間よりは大きく出ていることが考えられる。

また図 7.14 に示したように基準電圧の変化があると遅れ時間が変わり見かけ上計算と合わなくなる。

表 7.4 は図 7.12 に示した各入力レベルシフトの回路形に対する遅れ時間の測定である。この値も入力から出力までの全体の遅れ時間を示すもので、各部の遅れのバラツキ，特に各段における基準電圧のずれによる遅れのバラツキの影響で、各段の入力に対する遅れの差は明確でない。したがって各レベルシフト回路による差は大きくないから、電源電圧が低く、スイッチ速度がはやい図 7.12 (c) の回路を使用すればよい。

表 7.4 入力レベルシフト回路を含む入出力の遅れ時間

	電 源	入力端子	N O R		O R	
			t_{d1}	t_{d0}	t_{d1}	t_{d0}
回 路 a	-6.6 V	C	4.5	3.2	3.0	4.3
		B	4.7	4.5	3.8	5.7
		A	4.7	5.7	4.8	7.5
回 路 b	-6.6 V	C	4.3	3.2	3.2	4.5
		B	4.8	4.4	3.8	5.4
		A	4.5	5.8	4.8	6.6
回 路 c	-5.0 V	C	4.7	3.2	3.1	5.0
		B	5.1	4.6	3.8	6.0
		A	4.8	5.3	4.5	7.6
回 路 d	-5.0 V	C	5.3	3.0	3.2	5.2
		B	6.3	5.4	4.6	6.8
		A	7.5	5.3	5.2	9.0

上に述べた回路は全ての枝をもっているから、入力全ての組み合わせを出力として出すことのできるデコーダである。今一般の論理回路素子を考えると特定の論理出力を出せばよい場合が多く、むしろ構成の簡単なものの方が消費電力等の点で望ましい。このような考えより以下ではデコーダ回路の不要部分を省略した簡単でかつ一般的な論理回路について述べる。最も代表的な回路として図 7.15 に示す 4 入力 3 段構成回路をとり上げる。この回路は構成よりわかるように各段の電流切換の右半分の枝を省略して共通コレクタ抵抗に接続したもので、論理を構成する基本のトランジスタ数（1 入力の場合に相当する）は 6 個で、完全枝状構成の場合の 14 個に比べると半分以下になっている。

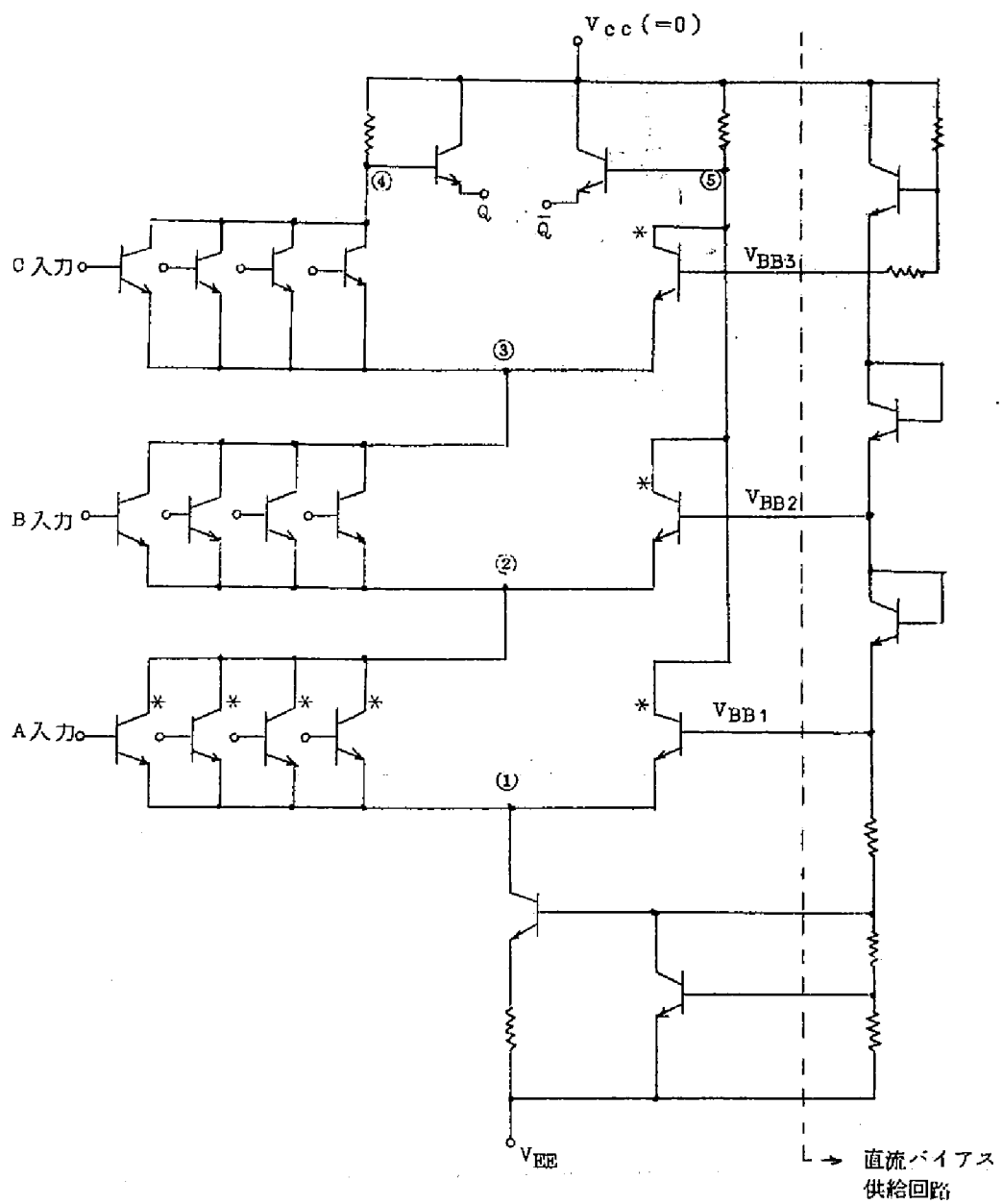
図 7.16 は A 入力に鋸歯状波状の入力を加えたときの各点の電圧レベルを示す入出力特性である。この回路は全ての入力が "1" のときの左側の①②③④の経路と、いずれかの入力が "0" になったときの右側の経路とは本来不平衡であるから電流の大きさは異なるはずであるが、エミッタ回路のトランジスタが定電流性を保つように働くためどのような経路を電流が流れても全て同じ電流となる。したがってコレクタに表われる信号振幅は常に一定である。また各部の電圧や入力に対する応答は前述の完全枝状構成の場合と同じである。

表 7.5 は各段の入力に対するコレクタ出力の遅れ時間である。A 入力が遅いことは前の場合と同じである。遅れ時間もほぼ同じ程度の値になっている。表 7.6 はやや特殊な場合として図 7.15 の回路で*印のついている一部のトランジスタを特性のよいトランジスタに置きかえた場合のスイッチ時間である。この場合本来遅いはずの A 入力に対する遅れ時間が B 入力に対するものより小になっている。また OR 側の出力の t_{d1} が非常に小さいのが特徴的である。特別の使用法に対してはこの方法が有効の場合もある。

以上よりこの単純化した回路は本来の枝状回路と動作において劣るところはなく、通常の論理ではこの回路で十分であることがわかる。次節ではこの回路の応用例について述べる。

7.4 加算回路への応用

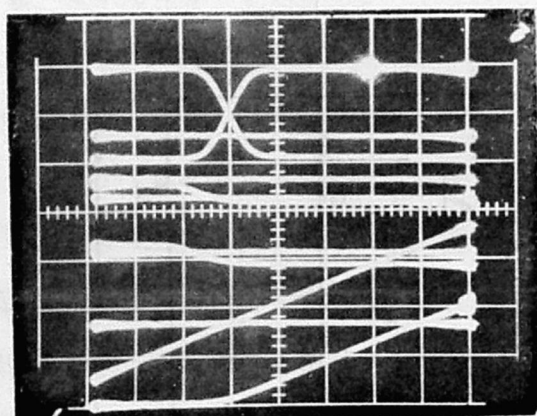
4 入力 3 段電流切換回路 (SCRL) の応用例として前章で述べた並列加算回路の高速化について述べる。加算回路では AND/OR 2 段の論理が 1 つの関数をつくる形になっている。これは図 6.12 において Carry Look Ahead 部や Sum 部の形にあたる。これを SCRL で構成すると理想的には 1 段の遅れ時間で動作するからそれだけ高速化ができることになる。また SCRL が IC 化されればさらに空間的な利点や工作上的利点なども生じるが、この件についてはここで取り上げない。今図 7.15 の回路を図 7.17 のように書き



トランジスタ, 2SC400

*印は表6において2N709に変更

図 7.15 4 入力 3 段一般論理用電流路切換回路
(レベルシフト回路は省略)



H : 500mV/div

V : 200mV/div

輝点 : 0V

零点において上より :

Q 出力コレクタ⑤点

C 入力(直流1レベル)

\bar{Q} 出力コレクタ④点

V_{BB3}

B入力(直流1レベル)

中段コレクタ③点

V_{BB2}

下段コレクタ②点

A入力(直線状に増加)

V_{BB1}

カレントリミットランジスタのコレクタの点

図 7.16 入出力特性

表 7.5 4入力3段回路の遅れ時間

パルス 入力端子	ベース遅れ時間		N O R		O R	
	t_{d1}	t_{d0}	t_{d1}	t_{d0}	t_{d1}	t_{d0}
C	0.4 ^{ns}	1.7 ^{ns}	3.5 ^{ns}	2.4 ^{ns}	3.3 ^{ns}	4.7 ^{ns}
B	0.4	1.8	4.7	4.5	3.7	5.2
A	0.8	2.2	5.4	5.7	4.3	5.6
	入力, ベース間 遅れ時間		入力, コレクタ間遅れ時間 (ベース遅れ時間を含む)			

ただし t_{d1} , t_{c0} は図示のごとし。

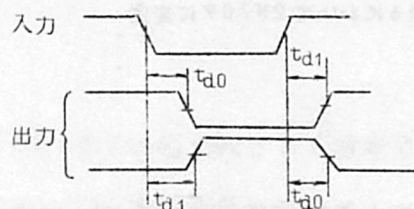


表 7. 6 トランジスタを変更した場合の遅れ時間

パルス 入力端子	N O R		O R	
	t_{d1}	t_{d0}	t_{d1}	t_{d0}
C	3.7 ^{ns}	2.3 ^{ns}	1.6 ^{ns}	5.5 ^{ns}
B	6.8	5.2	1.6	5.0
A	4.8	6.8	1.8	2.8

条件等は表 7. 5 と同じ。

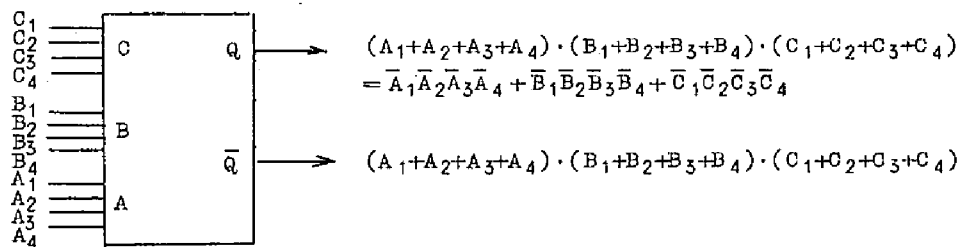


図 7. 17 4 入力 3 段 SCRL 表記法

表わす。入力上よりそれぞれ C, B, A の端子に相当し、出力 Q, \bar{Q} は互いに逆相関係にある。これを使用して図 6.12 の 1 ブロック加算回路を書きかえると図 7.18 のようになる。使用する SCRL は 4 入力 3 段に限定したから 5 入力～8 入力 NOR ゲートはそのままだけである。また多くのファンアウトを駆動するための並列駆動回路等も残してある。この変換の基本的な考えは次のようになる。まず G^m に例をとると

$$G^m = G_{m+3} P_{m+2} P_{m+1} P_m + G_{m+2} P_{m+1} P_m + G_{m+1} P_m + G_m$$

$$= (\bar{G}_{m+3} + \bar{P}_{m+2} + \bar{P}_{m+1} + \bar{P}_m) (\bar{G}_{m+2} + \bar{P}_{m+1} + \bar{P}_m) (\bar{G}_{m+1} + \bar{P}_m) + G_m \quad (7.62)$$

となり否定入力 \bar{G} , \bar{P} 等を使用して 4 入力 3 段 SCRL の出力 Q と G_m の OR tie をとると G^m が求められる。この形は Sum 回路の Carry 入力のところに表われ、この場合には OR tie は G_m のほかに多入力 NOR ゲートの出力とも同時に行なわれる。この形では Carry 入力 C_n のみしか得られないので、Sum 回路は C_n に対して Single rail でなければならない。この点で図 7.1 に示す枝状回路を使用することは有効である。次に \bar{G}^m を必要とする場合を考える。 \bar{G}^m では OR tie が使用できないので次式のように少し複雑になる。

$$\begin{aligned} \bar{G}^m &= (\bar{G}_{m+3} + \bar{P}_{m+2} + \bar{P}_{m+1} + \bar{P}_m) \cdot (\bar{G}_{m+2} + \bar{P}_{m+1} + \bar{P}_m) \cdot (\bar{G}_{m+1} + \bar{P}_m) \cdot \bar{G}_m \\ &= (\bar{G}_{m+3} + \bar{P}_{m+2} + \bar{P}_{m+1} + \bar{P}_m) \cdot (\bar{G}_{m+2} + \bar{P}_{m+1} + \bar{P}_m) \cdot \{ (\bar{G}_{m+1} + G_m) + (P_m + G_m) \} \\ &= (\bar{G}_{m+3} + \bar{P}_{m+2} + \bar{P}_{m+1} + \bar{P}_m) \cdot (\bar{G}_{m+2} + \bar{P}_{m+1} + \bar{P}_m) \cdot \{ (\bar{A}_{m+1} B_{m+1} + A_m B_m + \bar{P}_m) \} \\ &= (\bar{G}_{m+3} + \bar{P}_{m+2} + \bar{P}_{m+1} + \bar{P}_m) \cdot (\bar{G}_{m+2} + \bar{P}_{m+1} + \bar{P}_m) \cdot \{ (\bar{A}_{m+1} + \bar{B}_{m+1}) \cdot (\bar{A}_m + \bar{B}_m) \\ &\quad + \bar{P}_m \} \end{aligned} \quad (7.63)$$

したがって \bar{G}^m をつくるためにはあらかじめ 2 入力 2 段の SCRL により上式中 $(\bar{A}_{m+1} + \bar{B}_{m+1}) \cdot (\bar{A}_m + \bar{B}_m)$ をつくらなければならない。図 7.19 はこの構成を示す。 G^m と \bar{G}^m を必要とするときには (7.63) 式の正補出力を利用する。このようにして Carry Look Ahead 回路で 1 段～2 段、Sum 回路で 1 段だけ段数を節約できる。全体の論理段数が 7～9 段であるから遅れ時間の約 30% の減少が得られることになる。

この事から実験的に確認するため図 7.18 の回路の中からカードとマザーボードを経由する線路を含み隣接ブロックにまたがって和出力を出すような場合をとり上げて調べてみる。これらは前章の実験結果によって Propagate Function \bar{P} および Generate Function \bar{G} の遅れが大きいことがわかったのでこの経路の信号の伝搬を速くすることを目的としている。図 7.20 はその実験回路で図中の IC の番号は図 7.18 で斜線をほど

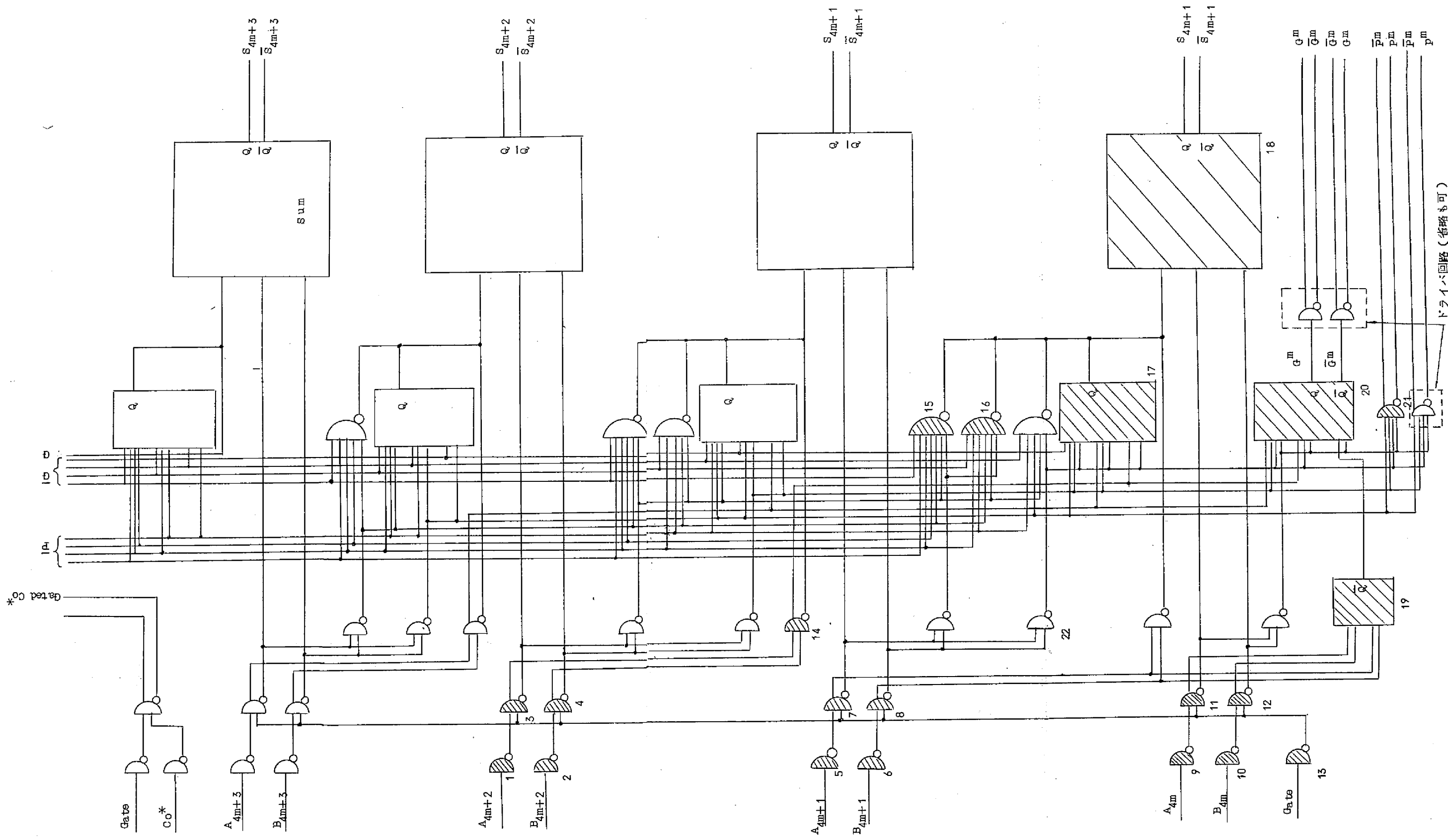


図 7.18 1 ブロック加算回路の変形 (ドライバ回路 (省略可))

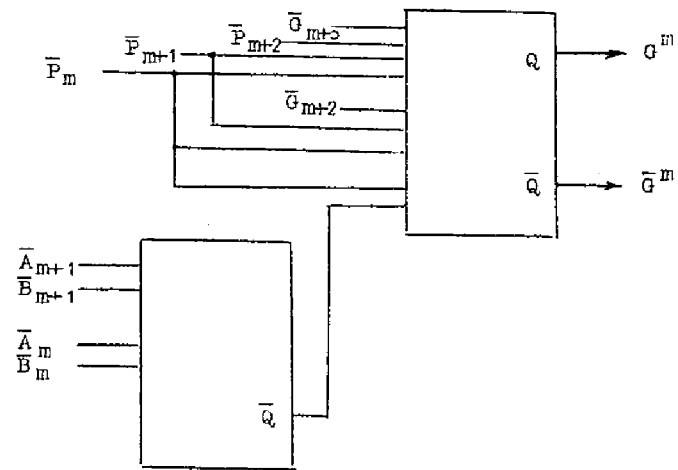


図 7. 19 \bar{G}^m と G^m の両出力を得る機成法

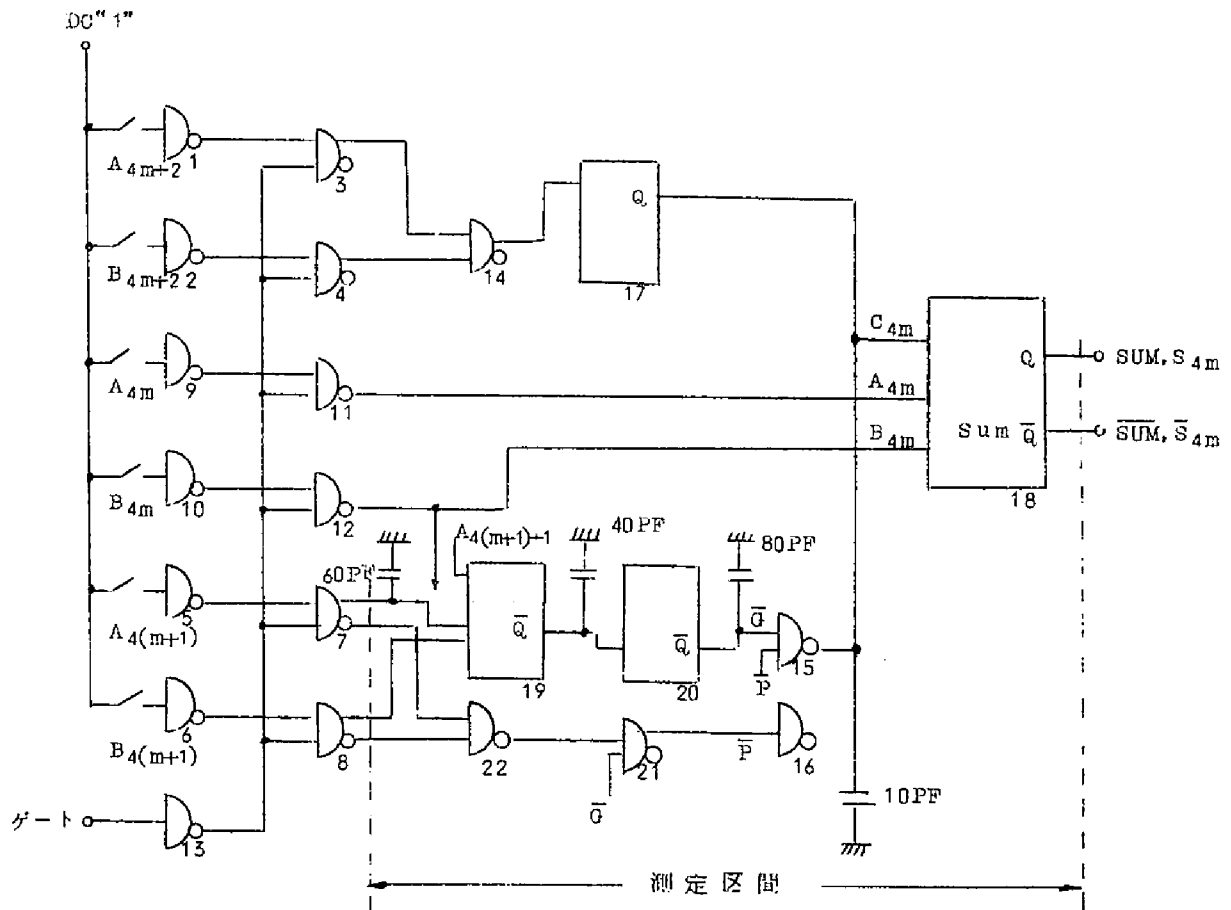


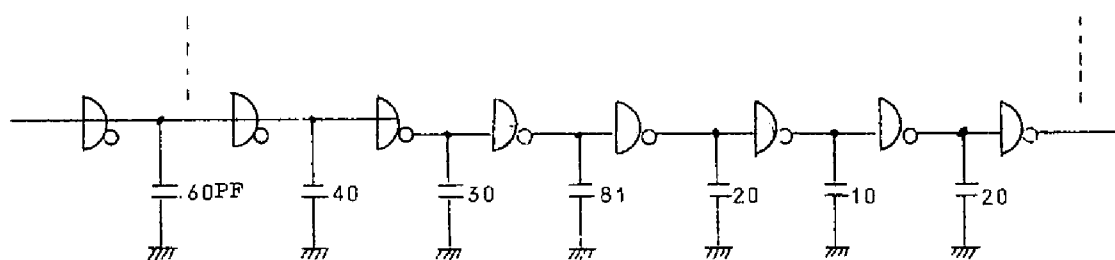
図 7. 20 実験回路

とした IC の番号に相当する。この回路では入力ゲートパルスによってサンプルゲートを開いて加数および被加数信号を入れ、 \bar{P} および \bar{G} 信号を隣接ブロックに伝えて和出力 S をうる経路を等価する。回路の基本は入力 A_{4m} と B_{4m} より和 S_{4m} を求める経路である。下位の桁からの桁上げ信号としては、一つは $(4m+2)$ 桁からくる同じブロック内の Carry である。これは #14, #17 の回路が等価している。また下位のブロックからくる \bar{G} 信号によって生ずる Carry は $A_{4(m+1)}$, $B_{4(m+1)}$ から #19, #20, #15 を通る経路で模擬した。また #22, #21, #16 の経路は \bar{P} をつくる道である。しかし \bar{P} は \bar{G} より 1 段分だけ遅延時間が短いので Carry は \bar{G} の遅れ時間で定まるから、下位のブロックからの桁上は実際には \bar{G} のみで等価した。#15 の \bar{P} 入力に模擬の入力である。回路を構成する上のファイン、ファンアウトおよび線路長は、全て前章の構成を等価するような擬似負荷をつけた。擬似負荷としては、IC のファンイン、ファンアウト、OR tie 等は論理回路図より数を求め、これを等価容量に換算してそれぞれ IC の入出力につけた。また線路容量は線路長を実測して求めた図 6.12 の値を使用し、IC の出力側につけた。この他に長い線路に対しては伝搬時間を計算して、測定した遅れ時間に加えている。表 7.7 はダミー負荷としての容量を求める換算表である。たとえばファンアウト 1 個は出力側に 4.3 PF の容量をつけることになる。このような計算によって求めたダミー負荷が実際の負荷条件と合致しているか否かを調べるために、実際の並列加算回路に使用したのと同じ IC の 7 段直列回路にダミー負荷をつけて遅れ時間を測定した。

表 7.7 負荷とその等価容量の間の換算表
(CML IC CD2150 の場合)

入出力負荷	単位当りの遅れ	等価容量 (PF)	
		C'_{in}	C'_{out}
C_{IN}	0.006 ns/PF	1	
C_{out}	0.035 ns/PF		1
ファンイン数	0.03 ns	5.0	
ファンアウト数	0.15 ns		4.3
オアタイ数	0.10 ns		2.9

図 7.21 に負荷容量とその構成内容を示す。負荷容量はその大部分が出力線路の容量による場合が多い。平均遅延時間を測定すると、加算回路においては 34 ns、7 段模擬回路の無負荷では 29.3 ns、負荷をつけたときは 35.4 ns となる。7 段模擬回路に負荷をつけた方が 1.4 ns 遅くなっているが、遅れ時間に対する割合から考えて、この程度の差は許されない範囲に入るから、このダミー負荷は実際の負荷条件によく一致すると言える。負荷がついたための遅れ時間の増加は約 6 ns である。



出力線路 C	49 PF	33	14	56	10	9	7	6
ファンイン	8	3	3	2	7	1	2	1
ファンアウト	3	3	2	7	1	2	1	0
オアタイ	0	0	3	0	2	0	3	0
出力線路長	17.8 cm	8.0	7.9	33.0	6.0	5.2	3.8	4.1

図 7.21 ECL 7 段模擬回路と等価負荷容量

実験は図 7.20 に示すダミー負荷容量をつけて、サンプルゲート出力と Sum 出力の間の遅れ時間を測定した。回路はトランジスタ 2SC400 で構成した。表 7.8 は測定結果と前章図 6.16 の結果を比較したものである。この測定結果は図 7.20 の回路上の遅れ時間

表 7.8 SCRL を使用した加算回路と NOR ゲートを使用した加算回路の比較

		Sum		Sum		tav.
		t_{d1}	t_{d0}	t_{d1}	t_{d0}	
SCRL	測定	28.5 ns	26.0	26.5	29.0	27.5
加算回路	補正	32.6	30.1	30.6	33.1	31.6
ゲート加算回路		39.5	28.5	28.5	38.5	33.8

$$tav. = \frac{\text{Sum} (t_{d1} + t_{d0}) + \overline{\text{Sum}} (t_{d1} + t_{d0})}{4}$$

を示すもので、前章の結果と比較すればはるかに小さい。これに理想的な線路伝搬遅れ時間 4.1 ns を加えたものが補正結果である。この場合は線路の容量と伝搬時間が独立に考慮されているから厳しい条件になるが、この場合でも SCRL を使用した方がはやいことがわかる。図 7.22 は SCRL の比較基準電圧の変化に対する Sum 出力の遅れ時間の変動を示す。各基準レベルは互いに独立に変化させた。結線からみて、 V_{BB3} の変化に対する遅れ時間の変化は Sum 回路の桁上げ入力による。また V_{BB2} は #19 の回路、 V_{BB1} は #20 の回路の遅れの変化によっている。結局各レベルともに 1 つの回路の遅れの変化とみることができる。現在使用しているレベルは平均遅れ時間の小さい範囲に来ている。図 7.23 は SCRL の負荷容量特性を示すもので、図示のようにそれぞれ #20 回路および #19 回路の負荷容量を変化したときの Sum 出力および #20 回路の出力遅れ時間である。この特性は出力段のエミッタホロウで定まる。 t_{d1} はほとんど変化しないで t_{d0} が容量とともに増大する。現在ダミー負荷としてつけている容量値は最大 80 pF であるから、この程度ならばまだ遅れ時間の小さいところに入る。しかし 100 pF 以上の負荷になるのは好ましくない。

図 7.24 の写真は各部の波形と位相関係を示す。実験回路であるから単純化された波形が出ている。(a) はゲートパルス、#19 の出力、#20 の出力 (\bar{G}^m になる)、#21 の出力 (\bar{P} にあたる) および和出力 S 、 \bar{S} を示している。入力は A 入力 that 全桁 "1", B 入力が LSD のみ "1" になっているので、 S はまず A によって "1" 出力を出し、桁上り信号が到着すると "0" に修正される。桁上り信号は \bar{G} 信号によって伝達されるので、図よりゲートパルスを基準にして \bar{G} 信号の遅れが約 25 ns かかるから、加算時間は 36 ns になる。この値はサンプルゲートの遅れを 1 段分含んでいるからこれを差し引くと表 7.8 の結果と一致する。図 7.24 (b) はブロック内の桁上げ信号で和 S が修正される場合を示している。ブロック内であるから桁上信号の遅れが小さいので最初の出力は小さい。

以上の結果をまとめると、4 入力 3 段 SCRL を使用すると Carry Look Ahead 加算回路を高速にすることが可能である。SCRL は理想的には 1 段の遅れ時間で動作するはずであるが、実際には前節の特性測定でもわかるように 1.5 段程度の遅れになるので、ここで行なった実験では、その加算時間の改善はそれほど大きくはなかった。しかしここで従前の加算回路が IC で構成されているのに対して、SCRL は離散素子で構成して実験を行なったこと、使用しているトランジスタの特性が同一でないこと等を考慮すれば、両者を同じ程度の特性をもつ IC の場で比較したときにはかなりの改良が可能になると思わ

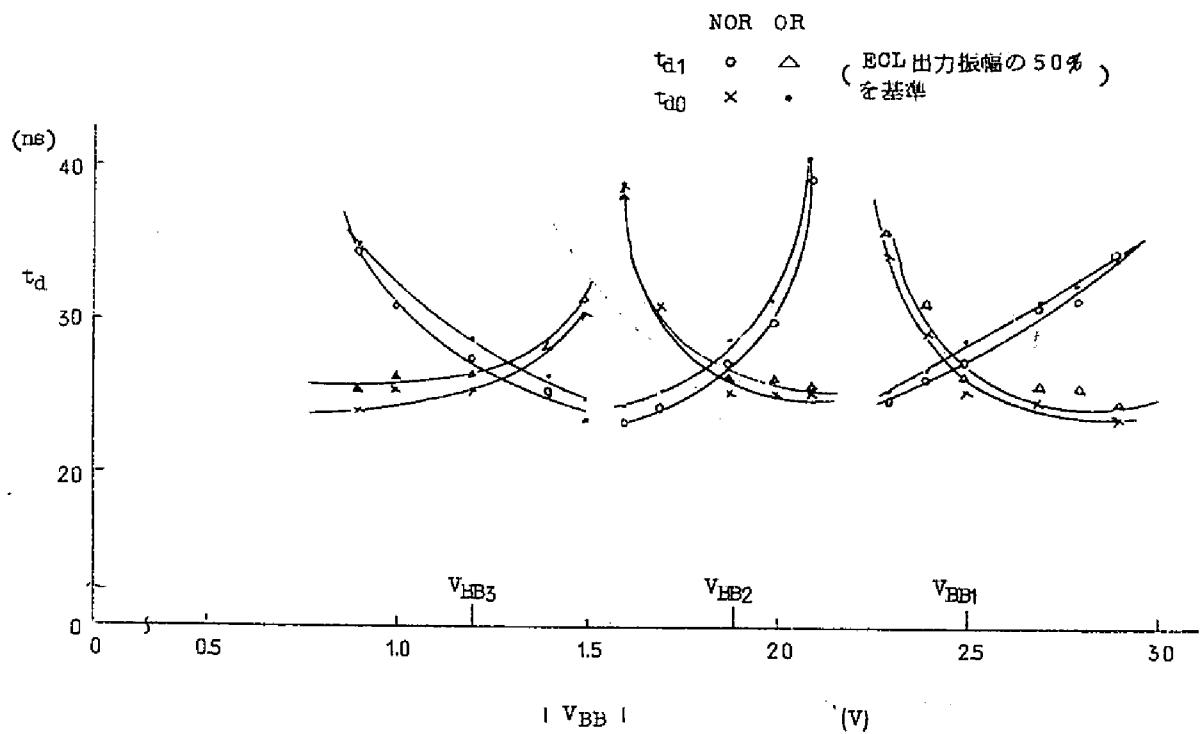


図 7.22 基準電圧と Sum, Sum 出力の遅れ時間の関係

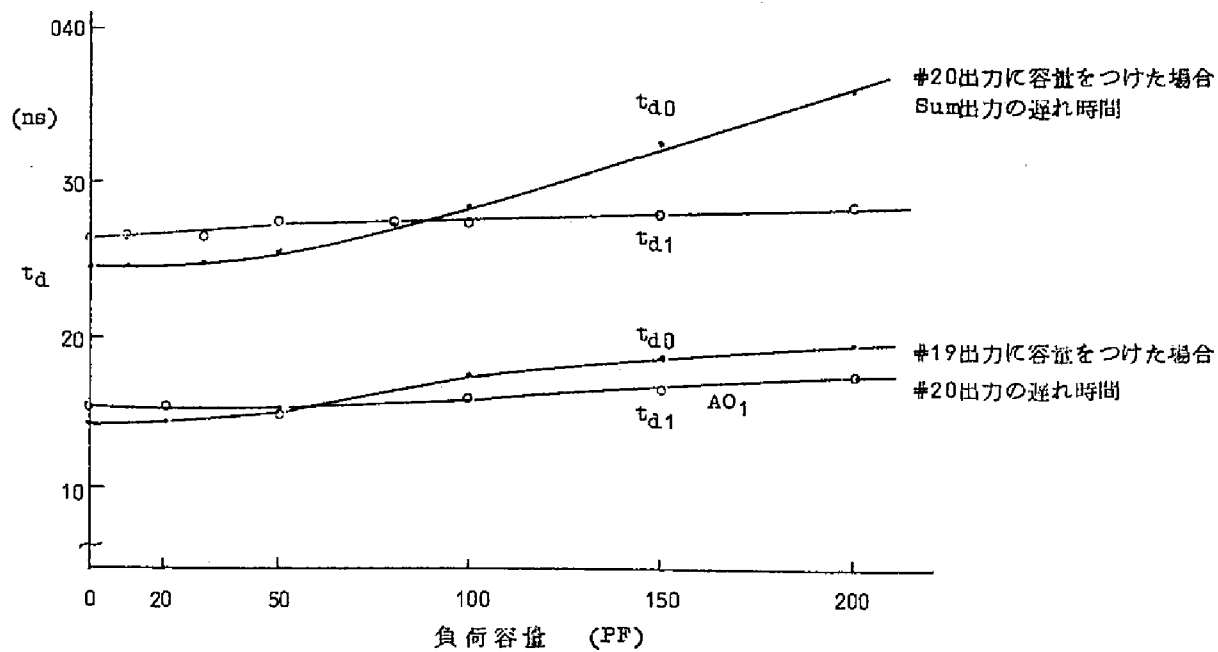
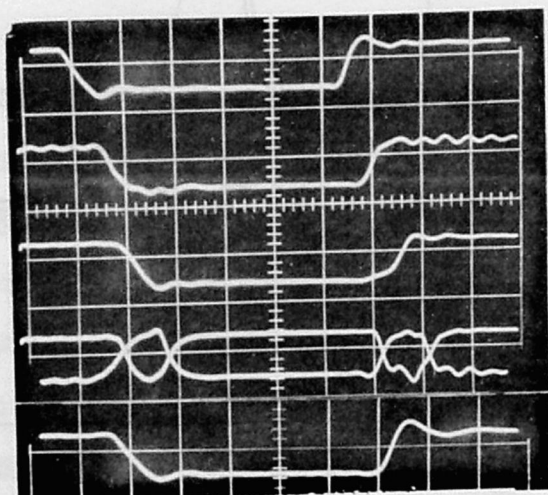
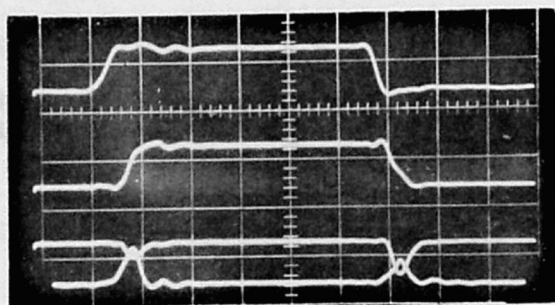


図 7.23 負荷容量特性



(a) ブロック間の桁上げ信号の場合



(b) ブロック内桁上げ信号の場合

V: 1V/div
H: 20ns/div

図 7.24 各点の波形と遅れ時間

ゲートパルス (Complement)

#19 出力

#20 出力 (\bar{Q}^m になる)

Sum

Sum

#21 出力 (\bar{P}^m になる)

入力パルス A

桁上げ (ブロック内)

Sum

Sum

れる。またこの場合には IC の個数も減少するから配線距離が短縮されるという利点もある。したがって SCRL を使用することは高速化を考える上で効果が大きい。

7.5 セル論理回路への応用

7.5.1 Minnick 形のカットポイントセル

別の例としてセル論理回路に対する応用について述べる。2 入力 1 出力のセルを従続に接続する最も簡単な構成は Maitra Cascade と呼ばれ、その性質がよく調べられている。⁽¹³¹⁾⁽¹³²⁾

セルは 2 入力の間の 16 種類の関数の任意の一つが実現できる。Maitra Cascade ではこのようなセルを n 個接続したときに実現できる n 変数関数の数は

$$R_n = 0.8(3 \times 6^{n-1} + 2) \quad (7.64)$$

となることが証明されている。⁽¹³¹⁾ これより $n=1$, $n=2$ に対しては入力に対する全ての関数可以实现できるが、 $n \geq 3$ に対してはこれが不可能である。これに対して Minnick の示したカットポイントセル (Cutpoint Cell) ⁽¹³³⁾ では Maitra Cascade を拡張して図 7.25 に示すように横方向の出力として x 入力自身をつけ加え、このセルで二次元のセル格子を構成すると $(n+1) \times 2^{n-2}$ 個の格子で全ての n 変数関数可以实现できる。2 変数の間の 16 の関数を実現することは、これを整理すると次の 6 種の関数を実現できればよいことがわかる。

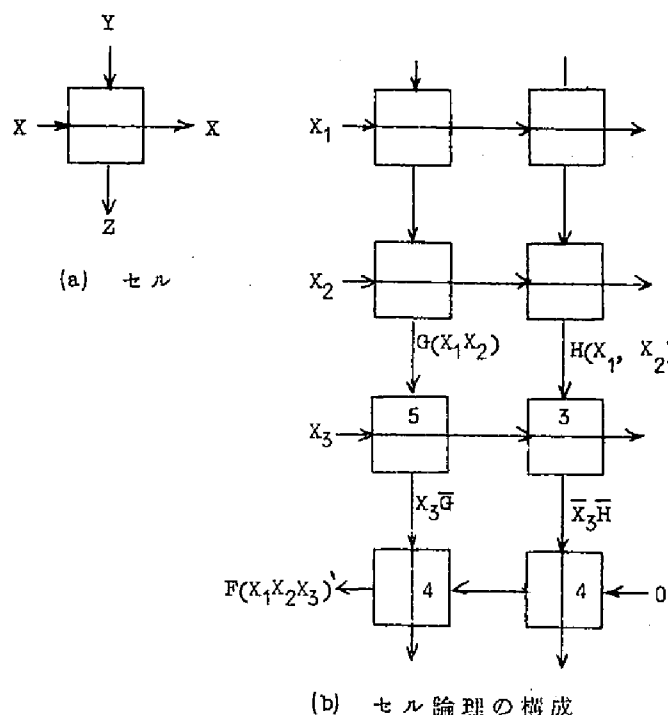


図 7.25 Minnick のカットポイントセル論理回路

$$\left. \begin{array}{l}
 \bar{x} \bar{y} \quad \text{or} \quad \bar{x} y \\
 x \bar{y} \quad \text{or} \quad x y \\
 \bar{y} \quad \text{or} \quad y \\
 x \oplus y \quad \text{or} \quad x \oplus \bar{y} \\
 \bar{x} + \bar{y} \quad \text{or} \quad \bar{x} + y \\
 x + \bar{y} \quad \text{or} \quad x + y
 \end{array} \right\} \quad (7.65)$$

ここに変数 x , y は図 7.25 の入力に対応し, \oplus は exclusive OR を示す。

したがってセルに要求される機能は SR フリップフロップ機能と 1 および 0 の常数機能を付け加えて表 7.9 に示す 9 種類あればよい。ここでインデックスはそのセルがどの機能をもつか表示するための番号で、この番号は Minnick の番号と同一にしてある。そして

表 7.9 カットポイントセルの機能

インデックス	a	b	c	d	z
0	0	0	0	0	1
1	0	0	0	1	\bar{Y}
2	0	0	1	0	$\bar{X} + \bar{Y}$
3	0	0	1	1	$\bar{X} \bar{Y}$
4	0	1	0	0	$X + Y$
5	0	1	0	1	$X \bar{Y}$
6	0	1	1	0	$X \oplus Y$
7	0	1	1	1	0
13	1	1	0	1	$X = S, Y = R$

このような 9 種類の機能を同一回路の一部の結合を断続することにより実現しようとするものがカットポイントセルで切断点は 4 箇所 (4 ビット) になる。Minnick の示した回路自体は RTL および DTL 回路で、表 7.9 の切断点 $a \sim d$ はたとえば図 7.26 の DTL 回路の各切断点に対応している。このようなセル回路を実現する有力な土台の一つは集積回路技術の発達である。本来少種多量生産に適している集積回路において、集積規模が大になるに従って各回路の用途が限定され多種少量の傾向になりがちである。この相反する要求を合致させる方法として、同一回路構成の回路の一部の結線の断続のみで任意の関数の実現できるセル回路は興味のあるものである。

セル論理回路では各セルの機能が規定されていてこれらのセルを組み合わせて所要の論

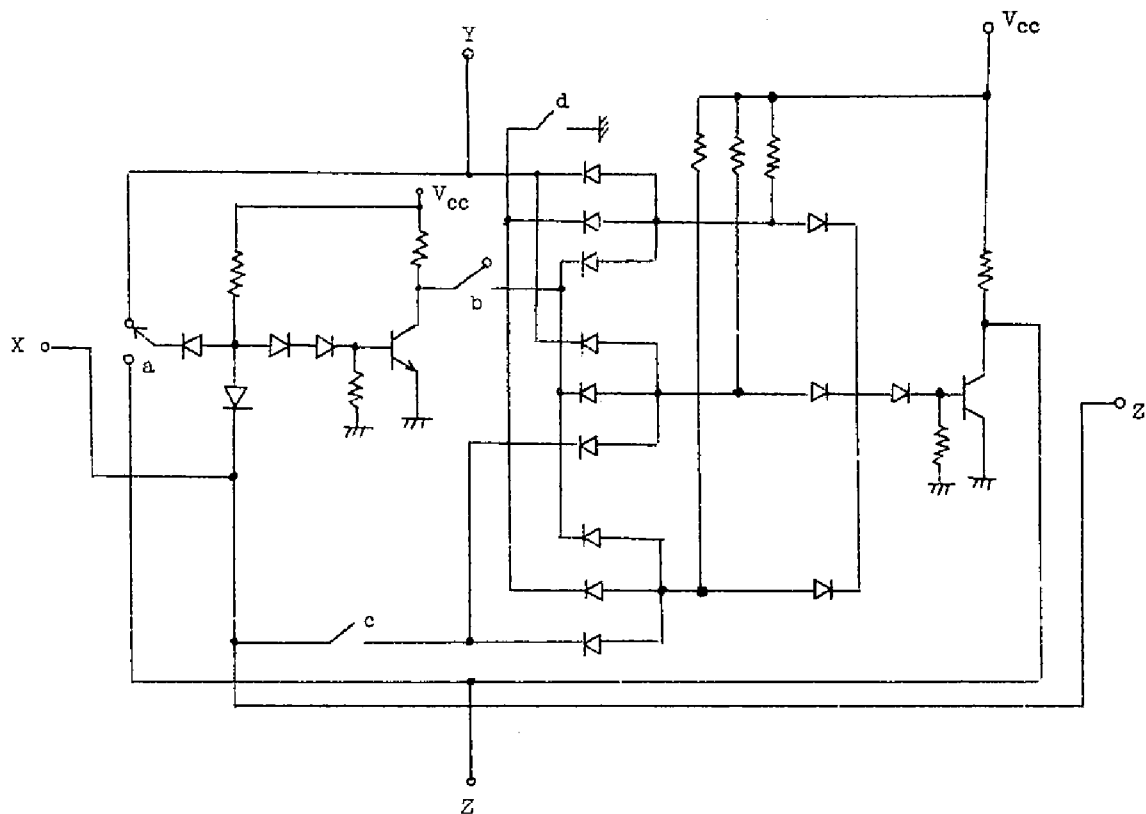


図 7.26 DTLによるカットポイントセル回路

理を行なう。したがってセルの組み合わせ方が重要になり、最少セルによる論理が問題になる。しかしセル論理の構成が二次元や三次元と複雑になるに従って全体の統一を保つために冗長なセルの使用も増加し、信号の遅延も通過するセル数に比例して増加する。一般にセル論理では論理段数が多くなり動作速度は低くなりがちである。したがって各セルの動作を高速にして全体の演算動作を向上させることが必要である。

従来回路ではセル機能の実現の方法が考察され、たとえば図 7.26 の回路等が示されているが、セルの動作の高速性について未だ検討されず、したがって高速セルも未だ見あたらない。ここではセル論理自体についての議論は特に行なわないで、前節から述べてきた直列電流路切換回路 (SCRL) の応用として、2 段の電流路切換回路がカットポイントセルを構成することができ、このセルは従来セルに比べて非常に高速で集積回路にも適していることを示し実験結果について述べるものである。

2 段の電流路切換回路 (SCRL) で構成した Minnick 形のカットポイントセルの回路を図 7.27 に示す。図中 1 ~ 12 の点がカットポイントである。これは 1 と 5, 2 と 6, 3 と 7, 4 と 8, 9 と 11, 10 と 12 の点がそれぞれ対応して真と補の関係にあるから

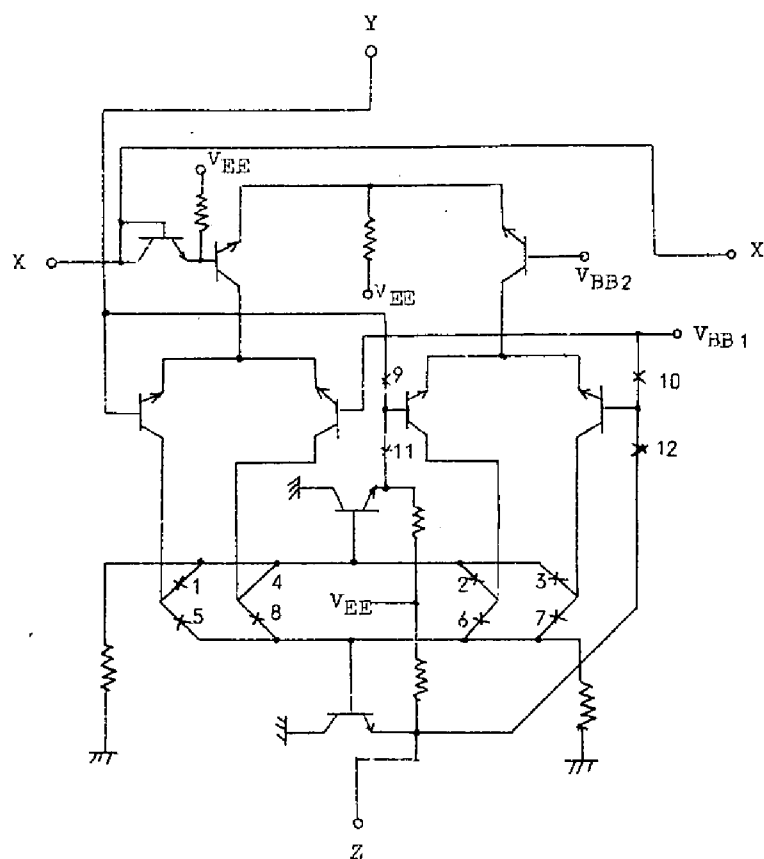


図 7.27 2 段の SCRL による Minnick 形のカットポイントセル

実際は 6 ビットで表示されることになる。9, 10, 11, 12 はフリップフロップを構成するときのみ使用する特殊なものであるから、組み合わせ論理出力のみを考えれば 4 ビットで表記できる。カットポイントを選定するときの原則としてはまずカットポイントはできるだけ出力側で行なうことにした。これは集積回路にしたとき回路の内部にカットポイントをおくと製造のときはやい時期にカットポイントの選定を行なわなければならないので不利となる。できるだけ使用時に近い時点でカットするようにしたためである。

実際のカットポイントはコレクタとコレクタ抵抗の間にとることにした。またカットポイントの数は少ないほどよく、各関数においてカットの数はほぼ同数にバランスするのが望ましい。このような点を考慮して図 7.27 のカットポイントを選定した。この場合にはカット数は組み合わせ論理で常に 4 でカットポイント数は 8 である。他の方法ではカット数がばらつくかカットポイント数が増加する。

本来ある点がカットポイントであることは、逆にその点をタイポイントと考えてもよい。すなわちあらかじめ結線されている点を切断すること、必要なところのみを結線すること

は真補の関係にあり、製造上の容易さによりいずれかにすればよい。たとえば集積回路において絶縁層をはさんで2層のアルミ配線を行なりことを考えると図7.28に示すようなパターンにより縦方向配線と横方向配線とを別の層に分離し、結線すべきところを選択的スルーホールをつくる方法がある。この場合は明らかにタイポイントである。このようなタイポイントを考えてときの結線表を表7.10に示す。インデックス番号は表7.9と合わせてあるので、タイポイントのコードとは一致していない。表中1と表記される点が結線されるべき場所である。タイポイントは常に6個である。

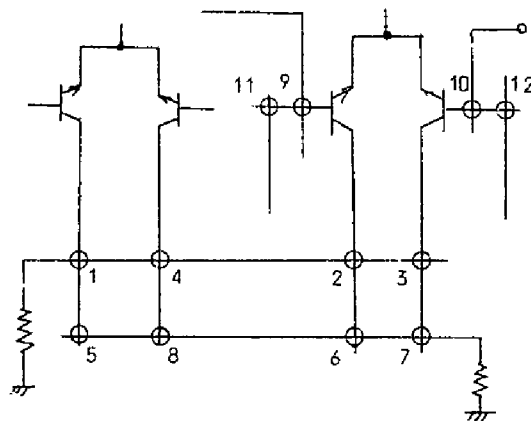


図 7.28 タイポイントのつなぎ方

表 7.10 タイポイントの結線表

インデスク	1	2	3	4	5	6	7	8	9	10	11	12	z
0	1	1	1	1	0	0	0	0	1	1	0	0	1
1	0	0	1	1	1	1	0	0	1	1	0	0	\bar{Y}
2	0	1	1	1	1	0	0	0	1	1	0	0	$\bar{X} + \bar{Y}$
3	0	0	1	0	1	1	0	1	1	1	0	0	$\bar{X} \bar{Y}$
4	1	1	0	1	0	0	1	0	1	1	0	0	$X + Y$
5	0	0	0	1	1	1	1	0	1	1	0	0	$X \bar{Y}$
6	0	1	0	1	1	0	1	0	1	1	0	0	$X \oplus Y$
7	0	0	0	0	1	1	1	1	1	1	0	0	0
13	1	1	0	0	0	0	1	1	0	0	1	1	$X = \text{Signal}$ $Y = \text{Clock}$

1 はつながることを示す。

回路的には1入力2段SCLであるから特に述べることはない。ただX入力は遅れなく各列に加えられるのに対してY入力は上から順に各行を通ってくるから遅れが大きくなる。求める結果は最後の行の出力であるからY方向の信号を早く伝えることが高速動作を得ることになる。その点でX入力を下側のトランジスタに加えY入力を上側のトランジスタに加えて少しでも伝達遅れ時間を小にするようにしている。フリップフロップはクロックD RS フリップフロップの動作をする。このときX入力がクロックになる。

7.5.2 Double rail 形セルへの拡張

Minnick のセルの9種のfunctionを実際に使用してみると次のような不便がある。

1. Y方向にセルを通過する信号に対して $z = \bar{Y}$ の機能しかないため、出力が反転し、2段通さないともとに戻らない。極性反転だけのためのむだなセルが必要となる。

2. 出力信号はY方向しか進まないで、論理が複雑になると終段付近で困難が生じる。

Minnickの場合はこれを90°だけセルの方向を回転したコレクタセルを定義して逃けているが、終端のみセルの方向が反転するのは一般性をそこなうと思われるので出力信号の方向を変えるような機能が必要である。

3. 1および0の常数機能は使用する機会も少ないし、反転機能があるから両方おく必要はない。

以上の諸点を改良するためにセルの機能を次のように拡張することを考える。

1. 従来のもは出力で \bar{Y} をとるものが多い。このためY方向についてみると1段ごとに極性が反転する。たとえばY方向に信号が通過する場合は $z = \bar{Y}$ を使用するから1段ごとに反転する。横では $X\bar{Y}$, $\bar{X}\bar{Y}$ いずれにしてもY信号は極性反転する。Y方向が反転機能をもつと、所要の信号を得るためにさらにもう一段の反転が必要になることがあるから、冗長セルが増加する。またこの冗長セルを少にするためには、論理の全段数を考慮して終りの方から反転の有無を調べて適当な極性の信号を順次つくるようにしなければならないので、設計手続きが複雑になる。いずれにしても理論的にセル論理が構成できないという性質のものではないが、能率のよい回路設計という点では問題がある。

そこで2つの対策が考えられる。1つは $z = Y$, $z = XY$ 等の機能を追加することである。しかしこの方法は機能の追加自身セルを複雑にして不利であること、追加すべき機能の選択がむずかしく、あらゆる場合を満足するようにしようとするれば全ての関数すなわち16種の機能が必要になる点で矛盾をもっている。第2の方法はY方向にdouble railの信号を使用することである。こうするとY方向入力端で、真補いずれ

を入力として使用するかを決定する機能が必要になる。しかしいずれも使用できることは、上記のY方向の反転の問題はなくなり、またセル機能自体は同じでも行なり関数が2倍になるから論理構成の自由度は非常に大になり、設計は容易になる。double rail 出力をとることは一般的には問題もあるが、ここで考えている SCRL では本来 double rail 出力をもつから何ら問題はない。

Y 入力端で真補の選択を行なうのはカットポイントで行なう。実際にはこれを前段の出力端子で行ない、所要の出力を次段に伝えればよい。そこでセルには真補いずれの出力を使用したかを記入することにする。したがってセルの表記は図 7.29 (a) のようになり、インデックスとして機能番号と出力の性質 T または C をかく。そこで考え方は double rail であるが、出力線が2本来てるわけではなく、セル間の結線については Minnick の場合と全く同じである。

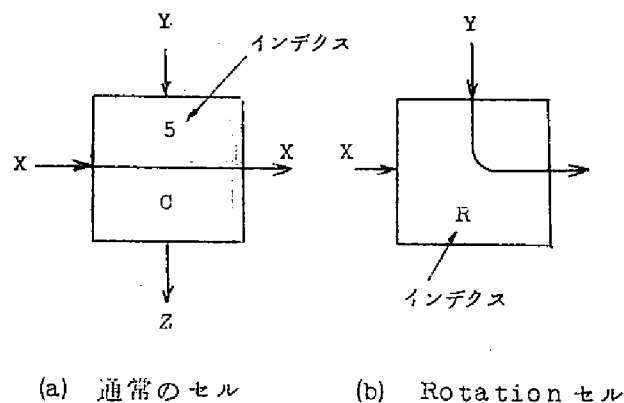
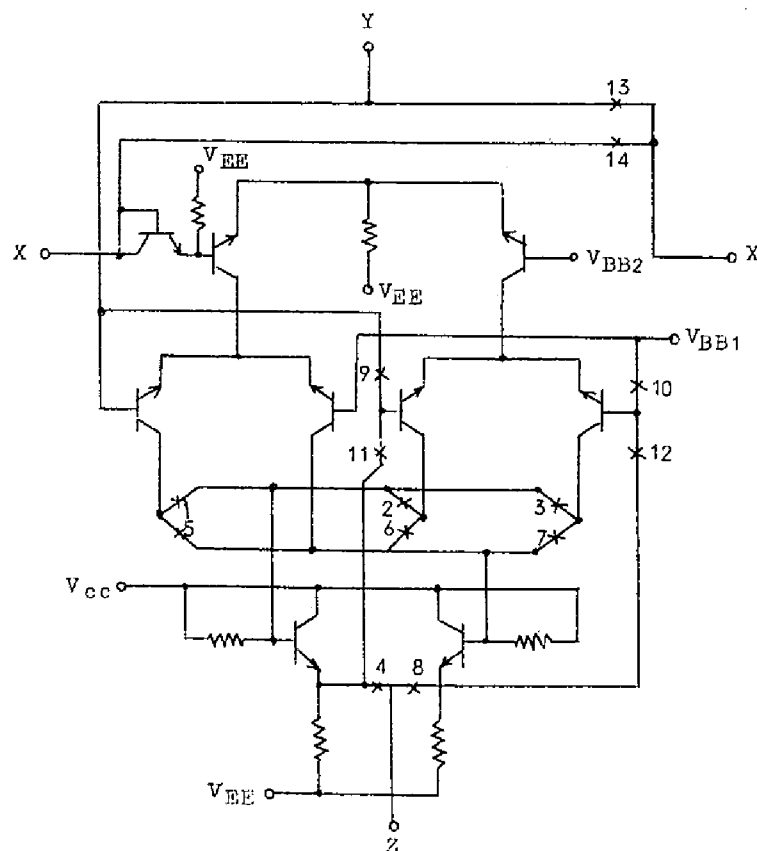


図 7.29 拡張したセルの表記法

double rail 信号を使用すると、関数の数が2倍になるので冗長なものが生じる。そこでセルの機能を減らすことができ、それだけセル自体の動作は考えやすくなる。たとえば Minnick の場合には表 7.9 に示すように、常数2種、組み合わせ関数6種、フリップフロップ1種の機能をもっている。これに対して double rail では常数1種、組み合わせ関数4種、フリップフロップ1種あれば全く同じ関数を実現することができる。そこで否定または信号反転の問題がなくなり、セルの機能の種類も簡単になるから、double rail 信号方式は有利な方式であると言える。

2. Y 入力自身を右方向出力としてとり出す機能を追加する。信号の方向を回転する意味で Rotation と名づけて、図 7.29 (b) のように表記する。このとき本来の X 入力は一切

以上よりセルの構造は図 7.30 に、また機能は表 7.11 のようになる。この場合の特徴をあげてみる。タイポイントは 14 個であるがこのうち Rotation のみに使用するもの 2 個、フリップフロップのときに使用するもの 4 個を除くと 8 個が組み合わせ論理に使用されている。インデックスの種類は 11 種であるから従来の場合と大差ない。組み合わせ論理のみについて考えるとタイポイントは 4 ビットで示され、うち 1 ビットは出力の T, C の選択にあてている。したがって残り 3 ビットで $Z=Y$, XY , $X+Y$, $X \oplus Y$ の 4 種の機能を実現していることになる。反転（否定）は double rail 固有の性質の中に含まれる。したがって機能は最も基本の AND, OR, NOT, exclusive OR に帰着する。このセルは一見タイポイントが多いように見えるが、特別用のものを除くと実際はかなり効率のよいセルになっている。



- 330 -

表 7.11 拡張したセルの結線表

セル	インデックス	1	2	3	4	5	6	7	8	9	10	11	12	13	14	Z
1	0 T	0	0	0	1	1	1	1	0	1	1	0	0	0	1	1
2	0 C	0	0	0	0	1	1	1	1	1	1	0	0	0	1	0
3	1 T	1	1	0	1	0	0	1	0	1	1	0	0	0	1	\bar{Y}
4	1 C	1	1	0	0	0	0	1	1	1	1	0	0	0	1	Y
5	4 T	0	0	1	1	1	1	0	0	1	1	0	0	0	1	$X + Y$
6	4 T	0	0	1	0	1	1	0	1	1	1	0	0	0	1	$\bar{X} \bar{Y}$
7	5 T	1	1	1	1	0	0	0	0	1	1	0	0	0	1	$X \bar{Y}$
8	5 C	1	1	1	0	0	0	0	1	1	1	0	0	0	1	$\bar{X} + Y$
9	6 T	1	0	1	1	0	1	0	0	1	1	0	0	0	1	$X (\oplus) Y$
10	13 T	1	0	1	0	0	1	0	1	0	0	1	1	0	1	Clocked RSFF
11	R	0	0	0	0	1	1	1	1	1	1	0	0	1	0	Rotation

7.5.3 実験結果

図 7.30 に示す回路の基本的特性については、これまでに述べた SCRL 諸性質と同じであるから省略する。ただセルの場合には高速性のほかに消費電力の小さいことが特に重要になり、消費電力を小にするためには必ずしも最高速の動作が得られなくともよい。このような考えから遅れ時間消費電力積をもとめて、これを最小にするように回路常数を選定することにした。図 7.31 は電流切換部のコレクタ抵抗 R_C に対する平均遅れ時間、消費電力およびその積を示す。図より遅れ時間消費電力積 $t_d \cdot P_w$ を最小にする値として $R_C = 180 \Omega$ をとることにした。このときの平均遅れ時間 t_d は 4.2 ns である。次に図 7.32 にエミッタホロウのエミッタ抵抗 R_{EF} の変化に対する同じ関係を求めたものを示す。 R_{EF} の変化に対しては積 $t_d \cdot P_w$ は R_{EF} が 5 k Ω 以上ではほとんど平坦になり、2 k Ω 以上の差が小さいから、遅れ時間の増加をできるだけ小にするために $R_{EF} = 2.2 \text{ k}\Omega$ を使用することにした。このとき平均遅れ時間は 4.3 ns で増加は 0.1 ns 程度になり、ほとんど差が生じないと言える。消費電力は 52 mW である。表 7.12 にセルの特性を示す。

次にこのセルを使用した回路動作の例を述べる。

最初に組み合わせ論理回路の例を示す。Minnick の論文に上げられている回路例は同じ考え方をとることにより容易に構成できるから、ここでは別の例を考える。第 1 の例は 2 進数の補数をとる回路である。桁数は任意であるが実験は 4 桁とした。今入力 2 進数を

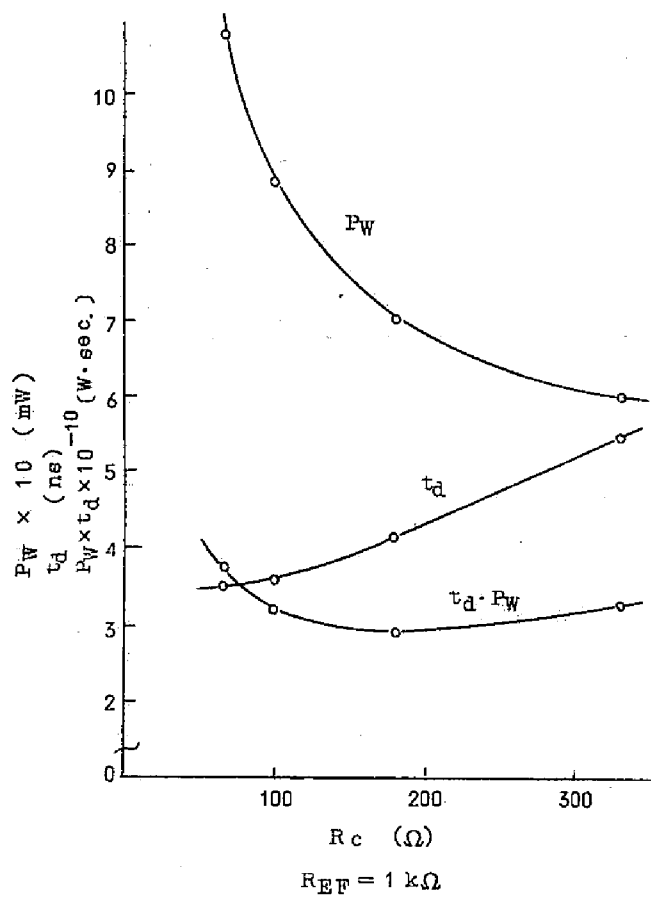


図 7.31 コレクタ抵抗 R_c と遅れ時間 t_d , 消費電力 P_w の関係

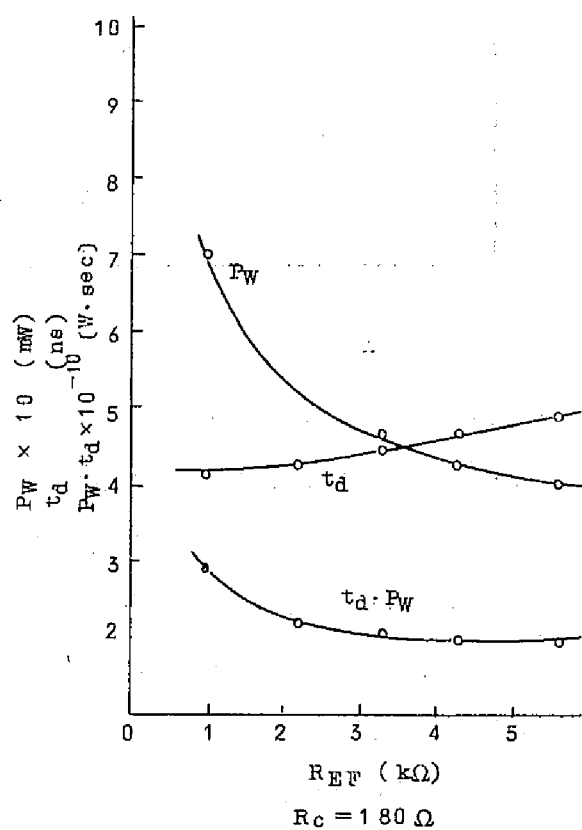


図 7.32 エミッタホロフのエミッタ抵抗 R_{EF} と t_d , P_w の関係

表 7.12 セルの特性

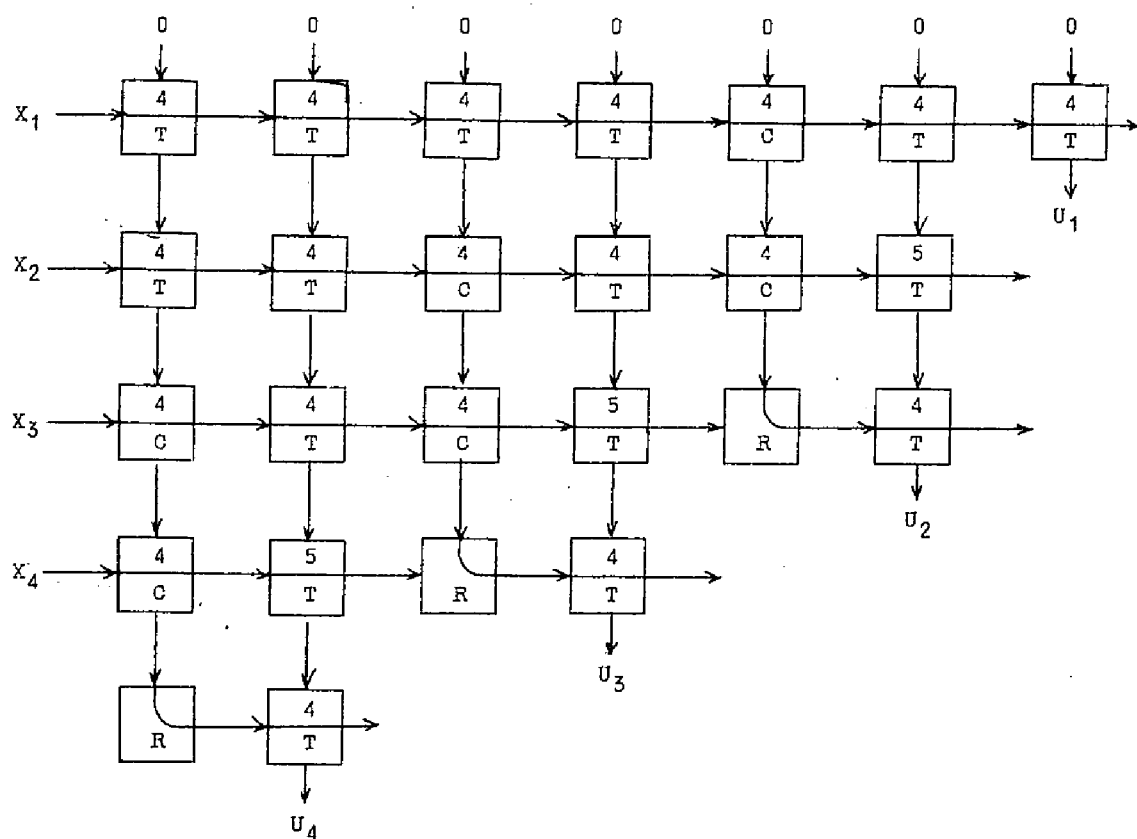
特 性	記 号	標 準 値
電 源 電 圧	V_{EE}	-5.0 V
消 費 電 力	P_w	52 mW
"1"レベル電圧		-0.75 V
"0"レベル電圧		-1.55 V
伝搬遅れ時間		
入力-Y	t_{d0}	3.8 ns
	t_{d1}	3.3 ns
入力-X	t_{d0}	5.7 ns
	t_{d1}	4.5 ns
立 上 り 時 間	t_r	4.0 ns
立 下 り 時 間	t_f	3.5 ns
クロックパルス幅		min 4.0 ns
クロックパルス周期		min 1.5 ns
セットパルス位相余裕		min 1.3 ns
クロック出力間		
遅れ 時間	t_{d0}	8.5 ns
	t_{d1}	4.8 ns
セ ッ ト 出 力 間		
遅れ 時間	t_{d0}	6.8 ns
	t_{d1}	5.0 ns

($X_n X_{n-1} \cdots X_2 X_1$), 出力2進数を($U_n U_{n-1} \cdots U_2 U_1$)と表わす。ここで X_i, U_i ($i=1, \cdots, n$) はそれぞれ1または0である。このとき第 n 桁の出力は次のような一般式で書き表わされる。

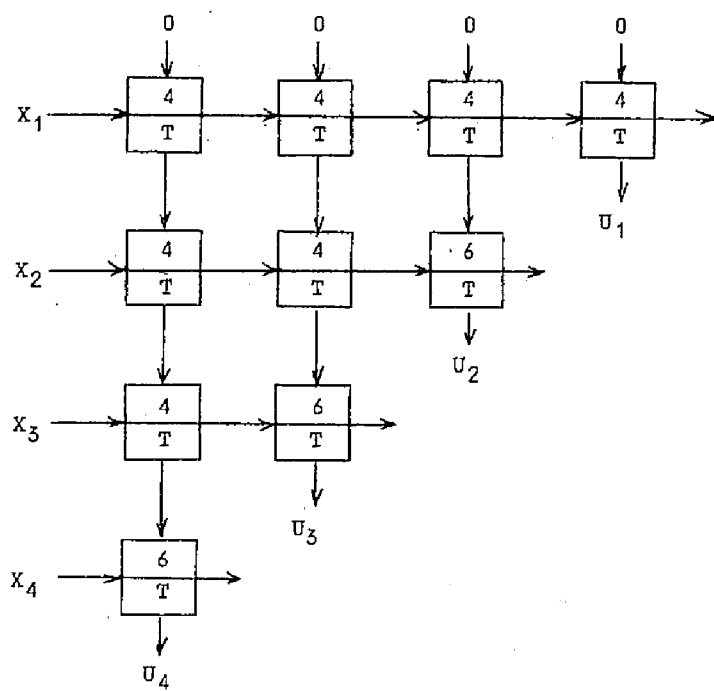
$$U_n = \bar{X}_n (X_{n-1} + X_{n-2} + \cdots + X_2 + X_1) + X_n (\bar{X}_{n-1} \cdot \bar{X}_{n-2} \cdots \bar{X}_2 \cdot \bar{X}_1) \quad (7.66)$$

$$\text{または } U_n = X_n \oplus (X_{n-1} + X_{n-2} + \cdots + X_2 + X_1) \quad (7.67)$$

論理式のとり方によりセルの数に差が生じ、また信号の通過する段数にも1段程度の差が出る。図7.33に2通りの構成を示し、図7.34にそのときの出力の写真を示す。(a)の構成は(7.66)式の関係より2列で構成したもので、(b)は(7.67)式の関係より exclusive OR を使用して1列で構成した。この例でもセル数はほぼ2倍の差が出るこ

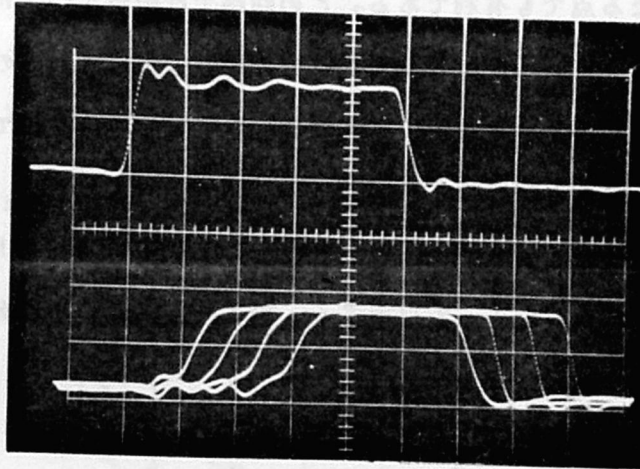


(a) (7.66)式による場合



(b) (7.67)式による場合

図 7.33 2進数補数回路の構成



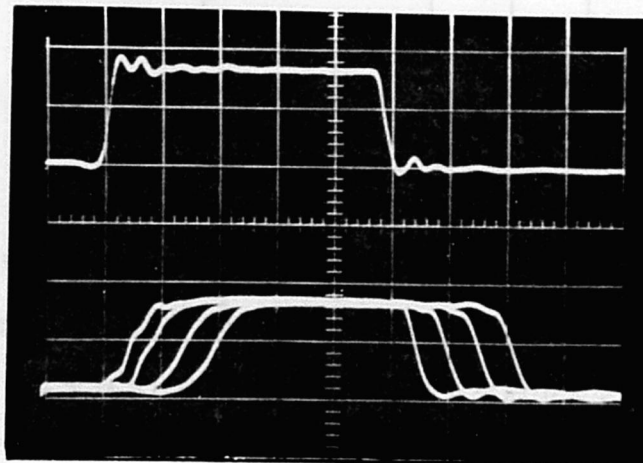
V : 0.5V/div

H : 10ns/div

(a) (7.66) 式による場合

上 入力

下 左より U_1, U_2, U_3, U_4



V : 0.5V/div

H : 10ns/div

(b) (7.67) 式による場合

上 入力

下 左より U_1, U_2, U_3, U_4

図 7.34 2進数補数回路の入出力波形

とがわかるから(b)の構成の方が有利である。また図 7.34 に見るように(b)の構成の方が 1 段分だけ時間がはやくなる点でも有利である。この回路では桁が 1 つ大になるに従って信号通過段数が 1 段増加する。図 7.34 の波形は各桁の出力を重ねているのでこの差が明らかになっている。この写真よりセル回路では 1 段の遅れ時間を単位にして信号通過段数により全体の動作が確定することが確認された。

第 2 の例はシフト回路である。n 桁の入力を 0 ~ m 桁 ($n \leq m$) シフトして出力する回路でシフトする桁数は別の入力によって指定する。図 7.35 にその構成を示す。

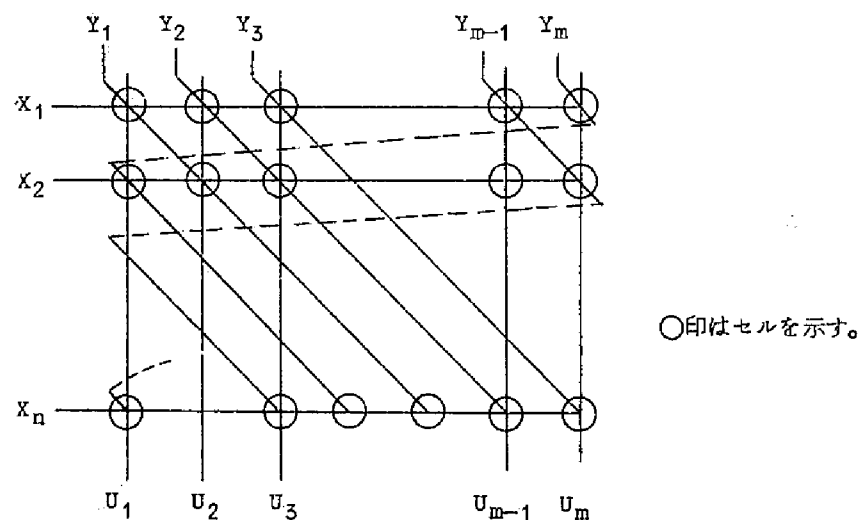


図 7.35 Y 入力の結線法

$2 \times m \times n$ 個のセルにより立体的に構成すると左方より入力 X を加え後方よりシフト桁指定の Y 入力を加えたとき出力は下方に出る。Y 入力は常時 1 としシフトするべき桁のみ 0 にする。0 は必ず 1 個である。桁数が 2 進数で与えられた場合にはデコードした出力を Y とすればよい。シフトの桁数は上図の場合左端から数え、シフトの方向は右シフトである。セルは 5 T セルと 4 T セルの 2 種類のみでよい。図 7.36 に第 1 段の平面図を示す。5 T セルの出力には Y が 0 の場所に入力 X が出る。Y が 1 のところの出力は全て 0 になる。4 T セルは上下方向に n 個のセル出力を加算する。X₁ から X_n までの n 個の入力はそれぞれ n 個の平面に加えられる。各平面に対して Y 入力は図 7.37 に示すように 1 桁ずつずらして加えられているから、n 桁入力のシフト出力が得られる。図 7.37 のように右端に出た Y 入力の結線を左端におり返して結線するとリング状にシフトする回路が得られ、おり

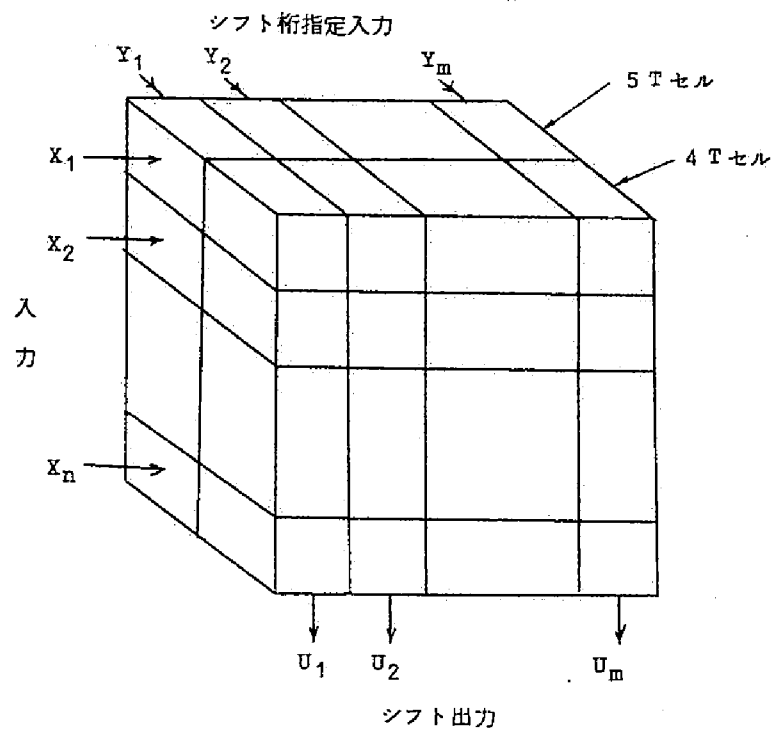


図 7.36 立体的構成によるシフト回路

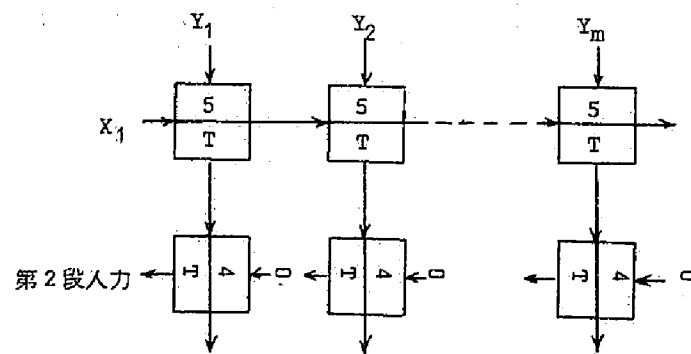


図 7.37 シフト回路第1段平面図

返さない場合にはシフトしてはみ出したものは消えることになる。シフト出力が得られるまでの遅れ時間は n 個の加算段で定まり、桁数の多い場合には $100 \sim 200 \text{ ns}$ 程度になる。

次に順序回路の例としてシフトレジスタを述べる。インデクス 13T のセルは single rail clocked SR の動作を行なう。クロックパルス幅は表 7.12 に示すように 4 ns 以上あればよい。クロックの最小周期は 15 ns であるから約 68 MHz で動作する。13T セルを 2 相のクロックで駆動するとシフトレジスタを構成できる。図 7.38 にその実験回路を示す。Minnick の示したシフトレジスタの回路は同様に 2 相のクロックを使用しな

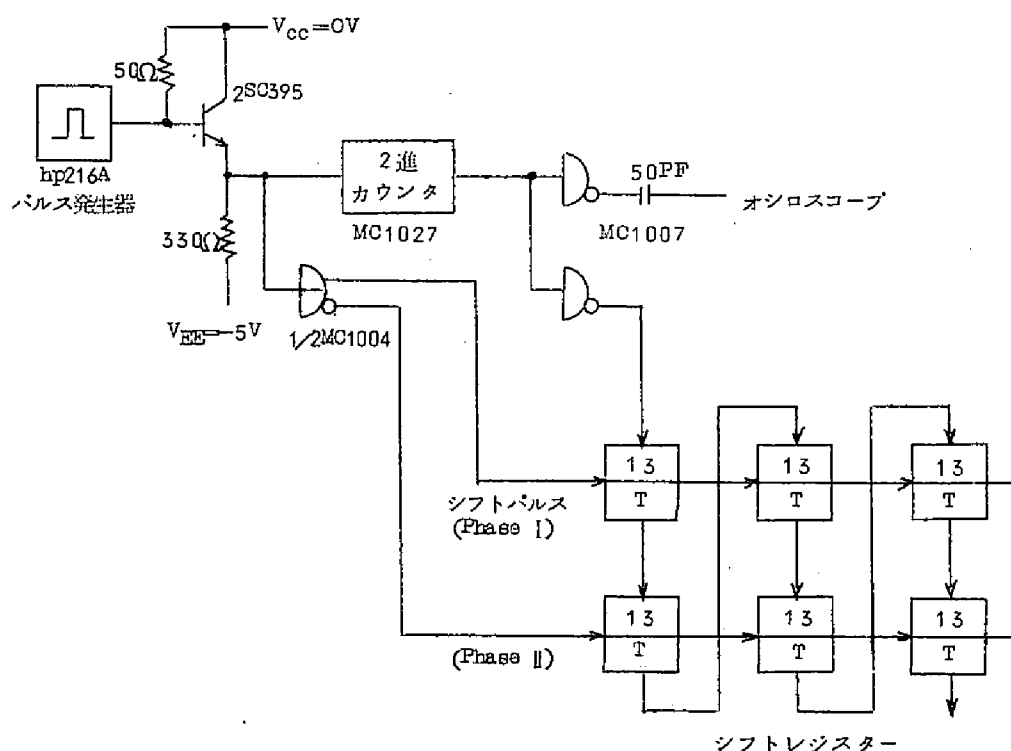


図 7.38 シフトレジスタの構成と実験回路

がらフリップフロップ間にさらにゲートを 1 個入れて 4 個のセルでレジスタ 1 桁を構成しているので上図の回路はセル数で半分になっている。図 7.39 は動作状態の波形写真を示す。図(a)はクロック周波数 12.5 MHz でかなりおそい動作であるから波形もよく見えるが、図(b)ではほぼ最高速度の 67 MHz で動作しているので波形はかなり乱れている。しかし動作は正確である。

以上で SCRL による高速セルの実例について述べたが、この回路は消費電力も通常の電流切換回路に比べると 50 mW と低くすることができたので、高速セル回路として十分

上より

クロックパルスⅠ

クロックパルスⅡ

入 力

第 1 段 出 力

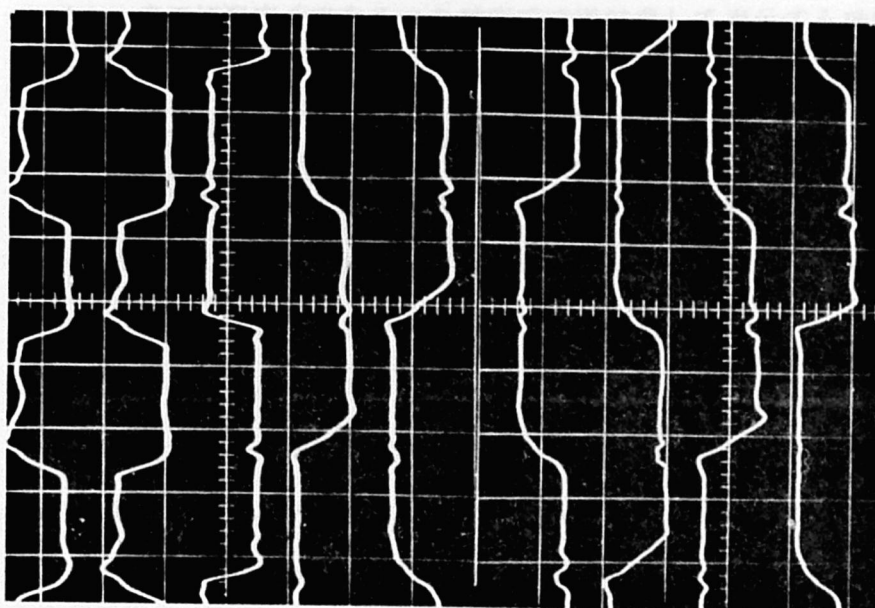
第 2 段 "

第 3 段 "

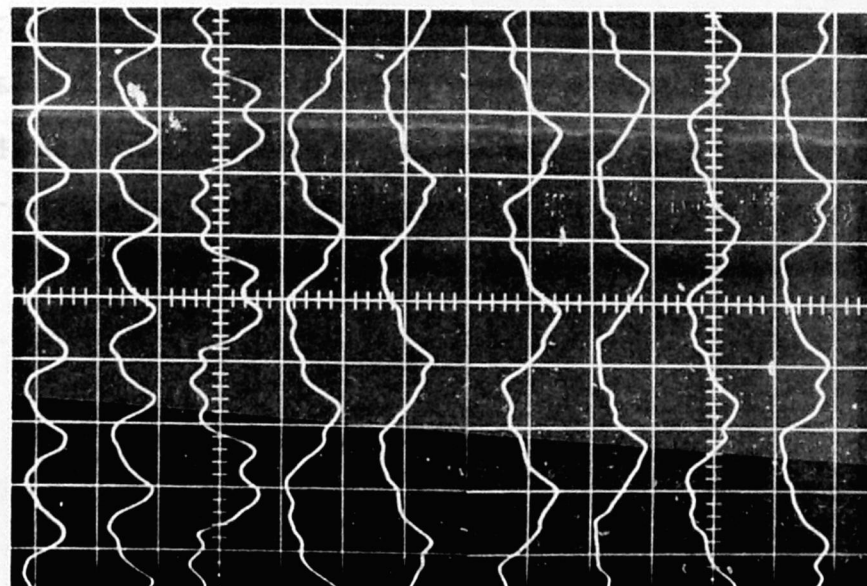
第 4 段 "

第 5 段 "

第 6 段 "



V : 1V/div
H : 20ns/div
(a) 周波数 12.5 MHz



V : 1V/div
H : 10ns/div
(b) 周波数 67 MHz

シフトレジスタ波形

図 7.39

使用できる。1 段の遅れ時間が 5 ns 程度のセルは従来見あたらない。またセル回路の特徴としてセル数の冗長度が大きい欠点があるが、この問題もここで述べたセルでは、Y 方向の信号に double rail の考えを入れることによりかなり改善されている。これはシフトレジスタ回路や補数回路の exclusive OR を使用した場合などをみれば明らかである。ただこのセルの欠点はタイポイントが多いことで、手軽に結線を選択できる有効な製造技術が必要であるが、現在行なわれようとしている選択配線技術によってこの問題も解決できるものと考えられる。

超高速論理回路素子としてトンネルダイオードと電流切換形集積回路の2種を取り上げ、その基本回路の解析、動作特性の実験、応用例等について述べた。すなわち第2章から第4章まではトンネルダイオード回路について考察し、まず基本回路として伝送線路を負荷にした単安定回路の動作を解析してこの回路が伝送線路の反射電圧による強制復帰作用のため高速回路に適していることを明らかにし、2進計数回路やシフトレジスタ等の例でこの事柄を例証した。回路の動作速度は段間遅れ時間にして0.8 ns、クロック周波数で250～300 MHzを得た。またこの基本回路を変形した電圧比較回路を使用して高速AD変換回路を構成し、並列出力の場合最高サンプリング周波数100 MHzを得た。この実験ではAD変換回路と同時にDA変換回路も構成し、これ等を使用した一連の実験ではサンプリング周波数40 MHzで4ビット直列信号の伝送を行い、映像信号の符号化および復号化を試みた。さらにトンネルダイオード電圧比較回路の別の応用例として波高分析回路の実験を行い、これを磁性薄膜の特性を測定する試験装置に利用することを述べている。トンネルダイオード二安定回路の応用例としては2種類の高速10進計数回路の実験結果を示した。一つはリング形の計数回路で他は2進5進形である。いずれも200 MHzまでの動作を確認したので、1 m精度を要求するレーザ測距装置の時間量子化用計数回路として利用出来る。実際に測定距離を1 mの精度で直接計測して表示する測距装置を試作して良好な動作を得た。

次に第5章から第7章までは電流切換形のトランジスタ回路について考察した。回路は集積回路化されているものを考えている。従来の基本回路の性質より、動作速度を向上させる要因として、トランジスタ自体の性能、回路の動作条件、大規模集積化の有効性の3点について検討を加えた。トランジスタの性能をトランジション周波数 f_T で示すとすれば f_T は2～3 GHzが望ましいが、この様なトランジスタを使用する回路においては各種の浮遊容量や配線の影響により、実際の動作状態ではトランジスタの性能がいかされていない場合が多い。トランジスタの性能を2倍改良しても回路全体の動作速度の改善は20%程度にしかならないということはこの間の事情を示している。これを防ぐ方法は大規模集積化しかないと思われるが、この時もサブストレータ容量等の悪影響が出ないように製造方法が必要である。

また基本回路にフィードバック回路をつけ加えると入出力伝達特性にヒステリシスを生じ

動作速度は低下するがノイズマージンが増加する。この回路の動作をしらべヒステリシス幅が $0.1\text{ V} \sim 0.2\text{ V}$ (信号振幅を 0.8 V とした時) の時が最も能率の良いことを示した。

次に現在実用できる電流切換形の集積回路を実用するための資料を得る目的で、これらの集積回路を使用した加算回路、乗算回路の試作を行なった。実装も実際の場合と同じくマザーボード(バックパネル)を使用したカード構成にして、これに使用する種々の多層プリント板を開発した。加算回路では16ビットで 40 ns 、64ビットで 52 ns の加算時間が得られることを確認した。また乗算回路では36ビット×18ビットの乗算時間が $0.66\text{ }\mu\text{s}$ になった。この演算時間は現在の実用計算機としては十分高速である。この実験結果はTOSBAC-3400形電子計算機の中央演算処理装置の設計の基礎資料としてとり入れられている。

最後に電流切換を多段に行なうように変形した直列電流路切換回路を考案し、この回路の解析と実験結果について述べた。この回路は電流切換回路の動作時間を等価的にはやくすることを目的としたものであるが、その他にセル論理回路へ応用すると、高速セル論理回路の実現が可能である。応用例として加算回路の高速化とセル論理回路の構成を示し、いずれの場合にも初期の目的を達成していることを確認した。

以上の研究結果を総括して考えてみる。トンネルダイオード回路は出現の時から高速論理素子として注目を集めた。現在でも高速性においては一番すぐれていると思われる。 300 MHz で動作する回路が現在できることはこのことを実証している。しかし一方では最初に指摘されたトンネルダイオード個有の欠点は、いろいろな研究が行なわれたにもかかわらず完全には解決していない。例えば論理が analog threshold logicであるためファンインが多くなるに従って安定性が悪くなる問題、回路の種類が限定されドライバ等の構成がむずかしい問題、ハイブリッドタイプ以上の集積化がむずかしい問題、信号レベルが小さい問題などがある。これらの欠点のいくつかは解決されるとしてもなを計算機用の一般論理回路の主役として、トンネルダイオード計算機を実現させることはむずかしい。トンネルダイオードの論理回路が利用される分野は計数回路、パルス発生回路、パルス整形回路、電圧比較回路等を含むAD変換回路、測定器、特殊機能回路である。しかしトンネルダイオード回路が超高速回路への注意をよびおこし、回路構成、配線、部品の実装、測定器、測定技術等の超高速回路技術の向上のいとぐちをつくった功績は大きい。本研究も我々に2つの大きな利益をもたらした。その一は超高速回路が実用になることを確認したことで、現実に利用しようとしているものもある。その二は超高速回路の技術の習得がで

きたことである。この技術はトンネルダイオード回路以外の回路にも応用できる幅広い技術である。

計算機に使用する一般用の論理回路としてトンネルダイオードが不適当であることがわかった時これに変わるものとして電流切換形の集積回路が登場した。これはトランジスタ回路が現在は勿論将来共論理回路の主役をはたすことを意味するものであるが、現在の動作速度はまだ遅く今後さらに特性は改良されて超高速になるであろう。しかしむずかしさは急激に大になり、単に半導体の特性を良くするのみならず、動作条件を含めて実装技術の向上をはからなければならない。現状の速度の集積回路の実装を実用計算機TOSBAC-3400のために検討して動作の確認と種々のデータを得た。実験結果より配線の遅れがすでに素子の動作遅れと同程度になりつつあることが明らかになつたが、将来はさらに集積度を上げてこの影響をさねねばならない。この考え方は大規模集積回路LSIの考えにつながるものであるが、高速回路に対してはモノリシックLSIには疑問があり、方式としては浮遊容量の影響の小さい中規模モノリシック集積回路のハイブリッド形による大集積化がとられるものと考えられる。この時一容器に入る回路の規模、消費電力と回路速度の最適点、システムの構成方法、多種少量になる集積回路のコストおよび生産の問題、この様な問題を解決できるような論理方式自体の問題など多数の研究課題が残っているが、他に変わるべき適当な論理素子がない以上、これらの問題が解決されて集積回路が使用され続けるであろうことは疑いない。超高速論理回路はまだ当分古くて新しい問題として残る。それはまえがきの最初で述べたように、常に技術の進歩によって一般回路の動作速度がはやくなり、超高速回路の領域が押し上げられるからである。本研究もその様な技術の発達過程の中の一つの里程碑になれば幸いである。

謝 辞

この論文をまとめるにあたり終始御指導、御鞭撻をいただいた京都大学近藤文治教授、萩原宏教授に心から御礼申し上げます。また日常の仕事で有効な助言をいただいた東芝総合研究所沢崎憲一所長、垂井忠明主任研究員、機器事業部千葉一夫主幹、実験に協力していただいた電子機器研究所浪本敬二主務、菅原六男主事をはじめ東芝社内の多くの方々の御援助を得た。ここに厚く感謝の意を表する。

参 考 文 献

- (1) D.A.T.A.S. Transistor Characteristics Tabulation, 9th edition
(1960-9) ~ 22nd edition (1967-8), Derivation and Tabulation
Associates Inc.
- (2) Monthly Computer Census Computers and Automation 15, 11, P. 52
(NOV. 1966)
- (3) L. Esaki : " New Phenomenon in Narrow Germanium P-N Junctions "
Phys. Rev. 109, p.p. 603 ~ 604 (Jan. 15, 1958)
- (4) H.S. Sommers, Jr. : " Tunnel Diodes as High Frequency Devices "
Proc. IRE 47, 7, P.P. 1201 ~ 1206 (July, 1959)
- (5) 東大超高速計算機研究会 : " エサキダイオードによる超高速計算機の性能について "
信学会計算機専委 (昭34年10月)
- (6) M.H. Lewin : " Negative Resistance Elements as Digital Computer
Component " Proc. EJCC P.P. 15 ~ 25 (Dec. 1959)
- (7) W.F. Chow : " Tunnel Diode Digital Circuitry "
IRE Trans. EC-9, P.P. 295 ~ 301 (Sept. 1960)
- (8) R.H. Bergman : " Tunnel Diode Logic Circuits "
IRE Trans. EC-9 P.P. 430 ~ 438 (Dec. 1960)
- (9) G.W. Neff et al : " Esaki Diode Logic Circuits "
IRE Trans. EC-9 P.P. 423 ~ 429 (Dec. 1960)
- (10) E. Goto et al : " Esaki Diode High Speed Logical Circuits "
IRE Trans. EC-9 P.P. 25 ~ 29 (March, 1960)
- (11) W.V. Harrison, R.S. Foote : " High Speed Switching Circuitry Using
Tunnel Diode " 1961 ISSCC Dig. of Tech. Papers, P.P. 76 ~ 77 (Feb. 1961)
- (12) J.R. Turnbull : " 100 Mc Nonsynchronous Esaki Diode Computer
Circuitry " 1961 ISSCC Dig. of Tech. Papers, P.P. 74 ~ 75 (Feb. 1961)
- (13) J. Amodi, W.F. Kosonocky : " High-Speed Logic Circuits Using Common-
base Transistors and Tunnel Diodes " RCA Rev. 22, 4, P.P. 669 ~ 684 (Dec. 1961)
- (14) F.P. Heiman : " 100 Mc Tunnel Diode Ring Counter "

- Proc. IRE 49, 7, P.1215 (July, 1961)
- (15) H.K. Gummel, F.M. Smith : " Margin Considerations for an Esaki Diode OR Gate " Bell Sys. Tech. J., 40, P.P. 213 ~ 232 (Jan. 1961)
- (16) H.R. Kaupp, D.R. Crosby : " Calculated Waveforms for Tunnel Diode Locked Pair " Proc. IRE 49, 1, P.P. 146 ~ 154 (Jan. 1961)
- (17) M. Schuller, W.W. Gartner : " Large Signal Circuit Theory for Negative Resistance Diode, in Particular Tunnel Diodes " Proc. IRE 49, 8, P.P. 1268 ~ 1278 (Aug. 1961)
- (18) 榎本, 渡辺, 天野 : " エサキダイオードを用いた論理回路 "
- 信学会電算機研資料 (昭35年5月)
- (19) 天野, 大島, 榎本 : " エサキダイオードを用いたパイロット計算機 "
- 信学会電算機研資料 (昭36年12月)
- (20) 大島, 榎本, 天野 : " エサキダイオードを用いた高速論理回路 "
- 信学誌 45, 11, P.P. 1541 ~ 1548 (昭37年11月)
- (21) 前田他 : " エサキダイオード論理回路について "
- 信学会電算機研資料 (昭36年1月)
- (22) W. Peil, R. Marolf : " Computer Circuitry for 500 MC " 1962 ISSCC Dig. of Tech papers, P.P. 52 ~ 53 (Feb. 1962)
- (23) Y.C. Hwang et al : " Analysis of a Pumped Tunnel Diode Logic Circuit " IRE Trans. CT-9, 3, P.P. 233 ~ 239 (Sept. 1962)
- (24) M.S. Axelrod et al : " Some New High-Speed Tunnel Diode Logic Circuits " IBM J. 6, 2, P.P. 158 ~ 169 (Apr. 1962)
- (25) R.H. Bergman, M. Cooperman, H. Ur : " High-Speed Logic Circuits Using Tunnel Diodes " RCA Rev. 23, 2, P.P. 152 ~ 186 (June, 1962)
- (26) G.B. Herzog : " Tunnel-Diode Balanced-Pair Switching Analysis " RCA Rev. 23, 2, P.P. 187 ~ 214 (June, 1962)
- (27) H.S. Miller, R.A. Powlus : " An Evaluation of Tunnel Diode Balanced-Pair Logic Systems " RCA Rev. 23, 4, P.P. 489 ~ 538 (Dec. 1962)
- (28) J.J. Gibson : " An Analysis of the Effects of Reactances on

- the Performance of the Tunnel Diode Balanced-Pair Logic Circuit "
- RCA Rev. 23, 4, P.P. 457 ~ 488 (Dec. 1962)
- (29) E.R. Beck, G.A. Brunn : " Experimental 100 MC Tunnel-Diode DDA "
- 1962 WESCON Records 8.3 (Aug. 1962)
- (30) W.R. Smith, A.V. Pohm : " A New Approach to Resistor-Transistor Tunnel-Diode Nanosecond Logic "
- IRE Trans. EC-11, 5, P.P. 658 ~ 664 (Oct. 1962)
- (31) L. Esaki : " Characterization of Tunnel Diode Performance in Terms of Device Figure of Merit and Circuit Time Constant "
- IBM J., 6, 2, P.P. 170 ~ 178 (Apr. 1962)
- (32) P.M. Thompson : " the Place of the Tunnel Diode in Solid-State Circuits " 1962 ISSCC Dig of Tech. Papers, P.P. 66 ~ 67 (Feb. 1962)
- (33) B.E. Sear : " Constant Current Design of Tunnel Diode Logic Circuits " IEEE Trans. CT-10, 1, P.P. 48 ~ 53 (Mar. 1963)
- (34) B.E. Sear : " Novel Nanosecond Circuits Using Storage Diode as Charge Transformers and Tunnel Diodes as Charge Amplifiers " 1963 WESCON Records 5.2 (Aug. 1963)
- (35) B.E. Sear : " Charge Controlled Nanosecond Logic Circuitry " Proc. IEEE 51, 9, P.P. 1215 ~ 1227 (Sept. 1963)
- (36) M. Cooperman : " 300 MC Tunnel Diode Logic Circuits " IEEE Trans. EC-13, 1, P.P. 18 ~ 26 (Feb. 1964)
- (37) J.J. Amodiei, J. R. Burns : " High-Speed Transistor-Tunnel-Diode Sequential Circuits " RCA Rev. 24, 3, P.P. 355 ~ 380 (Sept. 1963)
- (38) Y. Cho, N. Zimbel : " UNIVER-A Fast Versatile Multilogic Digital Amplifier for Micrologic Circuits " Proc. IEEE 52, 12, P.P. 1591 ~ 1598 (Dec. 1964)
- (39) W.G. Daly, J.F. Kruey : " A High-Speed Arithmetic Unit Using Tunnel Diodes " IEEE Trans. EC-12, 5, P.P. 503 ~ 511. (Oct. 1963)

- (40) H.S. Miller : " High Speed Arithmetic Employing Tunnel Diodes "
 RCA Rev. 24, 1, P.P. 47 ~ 56 (Mar. 1963)
- (41) J.J. Amodei : " High Speed Adders and Comparators Using
 Transistors and Tunnel Diodes " IEEE Trans EC-13, 5,
 P.P. 563 ~ 575 (Oct. 1964)
- (42) W.C.G. Ortel : " The MonoStable Tunnel Diode Trigger Circuit "
 Proc. IEEE 54, 7, P.P. 936 ~ 946. (July, 1966)
- (43) J.F. Kruy, F.T. Duben : " Integrated Conditioned OR and Inhibited
 OR Logic Circuits " IEEE Journal of Solid-State Circuits,
 SC-1, 2, P.P. 81 ~ 85, (Dec. 1966)
- (44) Y.C. Hwang : " A UHF Shift Register Development and Its
 Performance " NEREM RECORD-1966 P.P. 148 ~ 149 (Nov. 1966)
- (45) A.E. Krause : " Tunnel Diode-Chage Storage Diode Shift Register "
 IEEE Trans. EC-16, 4, P.P. 506 ~ 507 (Aug. 1967)
- (46) 千葉, 田丸, : " トンネルダイオード高速パルス回路 "
 信学誌 49, 1, P.P. 78 ~ 86 (昭41年1月)
- (47) 田丸 : " トンネルダイオード単安定パルス回路 "
 昭38信学会全大376 (昭38年11月)
- (48) 千葉, 田丸 : " トンネルダイオードナノ秒パルス回路 "
 信学会電子計算機研資料 (昭39年3月)
- (49) J. Nagumo, M. Shimura : " Self-Oscillation in a Transmission
 Line With a Tunnel Diode " Proc. IRE 49, 8, P.P. 1281 ~ 1291
 (Aug. 1961)
- (50) 福井, 池田 : " 位相面デルタ法によるエサキダイオード単安定回路の解析 "
 信学会トランジスタ研資料 (昭36年4月)
- (51) F. Assadourian, E. Rimai : " Simplified Theory of Microstrip
 Transmission Systems " Proc. of IRE 40, 12, P.P. 1651 ~ 1657
 (Dec. 1952)
- (52) M. Caulton, J.J. Hughes, H. Sobol : " Measurements on the
 Properties of Microstrip Transmission Lines for Microwave

- Integrated Circuits " RCA Rev. 27, 3, P.P. 377 ~ 391 (Sept. 1966)
- 53) A. Judeinstein : " Utilisation des Diodes Tunnel dans les
Circuits de Commutation Électronique " L'Onde Électrique 43, 439,
P.P. 1040 ~ 1054 (Oct. 1963)
- 54) 福井 : " エサキダイオード " オーム社 (昭38年)
- 55) 田丸 : " トンネルダイオードカウンタおよびシフトレジスタ "
信学会電子計算機研資料 (昭39年12月)
- 56) J. Banzhaf, H.S. Katzenstein : " One Tunnel Diode Flip-flop "
proc. of IRE, 50, 2, P. 212 (Feb. 1962)
- 57) 植村, 村本 : " Tunnel Diode を用いたマルチおよび計数回路 "
トランジスタ研究専門委員会シンポジウム (昭34年10月)
- 58) B. Rabinovici : " Tunnel Diode Shift Register "
Proc. of IRE, 50, 4, P. 473 (Apr. 1962)
- 59) 大島他 : " 高精度 A/D 変換器によるテレビジョン信号の PCM "
テレビジョン, 17, 9, P.P. 535 ~ 543 (昭38年9月)
- 60) H.R. Schindler : " Semiconductor Circuits in a UHF Digital
Converter " Electronics 36, 35, P.P. 37 ~ 40 (Aug. 1963)
- 61) D.J. Kinniment et al : " High Speed Analog-Digital Converter "
Proc. of IEE, 113, 12, P.P. 2061 ~ 2069 (Dec. 1966)
- 62) R.A. Kaenel : " High-Speed Analog-to-Digital Converters Utilizing
Tunnel Diodes " IRE Trans., EC-10, 2, P.P. 273 ~ 284 (July, 1961)
- 63) 清野, 池田, 市米 : " 直列接続されたエサキダイオード列を用いた A/D
Converter " 昭37 信学会全大 444 (昭37年11月)
- 64) 平出 : " 江崎ダイオード列によるアナログデジタル変換器の一試案 "
昭38 電気連大 1595 (昭38年4月)
- 65) J.O. Edison, H.H. Henning : " Broadband Codecs for an Experimental
224 Mb/s PCM Terminal " BSTJ 44, 9, P.P. 1887 ~ 1940 (Nov. 1965)
- 66) 田丸 : " トンネルダイオードを使用した高速 A/D 変換回路 "
信学誌 42, 7, P.P. 1314 ~ 1320 (昭41年7月)
- 67) J.I. Rattel 他 : " Magnetic Film Memory Design "

- Proc. of IRE 49 1, P.P. 155 ~ 163 (Jan. 1961)
- 68) 千葉, 田中 : " 全面蒸着磁気薄膜記憶装置 "
 東芝レビュー 19 4, P.P. 451 ~ 458 (昭 39 年)
- 69) V. Radeka : " Fast Decimal Counting With Binary-decimal Logic "
 IEEE Trans. NS-11, 1, P.P. 296 ~ 301 (Jan. 1964)
- 70) I.A. Lesk et al : " Germanium and Silicon Tunnel Diodes-Design,
 Operation and Application " IRE WESCON Conv. Record. (Aug. 1959)
- 71) P. Spiegel : " High Speed Scalars Using Tunnel Diodes "
 Rev. Sci. Inst. 31 7, P.P. 754 ~ 755 (July 1960)
- 72) B. Ravinovici : " Tunnel Diode Decade Counter "
 Rev. Sci. Inst. 33 12, P.P. 1391 ~ 1392 (Dec. 1962)
- 73) 山本他 : " 単方向パルス単一エサキダイオードの双安定回路を用いた10進計数回路 "
 昭 41 信学会全大 723 (昭 41 年 11 月)
- 74) 田丸 : " エサキダイオードを使用した10進計数回路 "
 昭 42 電気連大 1877 (昭 42 年 4 月)
- 75) 田丸 : " 10進計数回路の実験 " 昭 42 信学会全大 837 (昭 42 年 10 月)
- 76) 海野, 山本 : 東芝中央研究所所内報告 RM-6218 (非公開)
- 77) P. Spiegel, R.L. Luce : " A Nanosecond Monolithic TTL Gate "
 IEEE Trans. EC-14, 6, P.P. 944 ~ 946 (Dec. 1965)
- 78) H.S. Yourke : " Millimicrosecond Transistor Current Switching
 Circuit " IRE Trans. CT-4, 3, P.P. 236 ~ 240 (Sept. 1957)
- 79) F.K. Buelow : " Improvements to Current Switching "
 IEEE Trans. EC-9, 4, P.P. 415 ~ 418 (Dec. 1960)
- 80) C.M. Campbell Jr : " New Configurations in Non-Saturating
 Complementary Current Switching Circuits " Semiconductor
 Products 2 7, P.P. 15 ~ 20 (July 1959)
- 81) D.B. Jarvis et al : " Transistor Current Switching and Routing
 Techniques " IRE Trans. EC-9, 3, P.P. 302 ~ 308 (Sept. 1960)
- 82) H. Hagiwara et al : " The KT pilot Computer - A Microprogrammed
 Computer With a Photo Transistor Fixed Memory " Proc. of IFIP

Congress 1962 P.P. 318 ~ 321 (Aug. 1962)

(83) 村田他 : " HITAC 5020 について "

信学会計算機研資料 (昭38年12月)

(84) 小林他 : " NEAC-L2 について " 信学会計算機研資料 (昭40年3月)

(85) 高橋他 : " ETL Mark 6 の基本回路 " 昭35情報処理学会大会予稿

(86) 渡辺, 西野 : " ETL Mark 6 のクロックパルス " 信学会計算機研資料

(昭40年2月)

(87) 相磯 : " New Illinois Computer の演算および制御装置 "

信学会計算機研資料 (昭37年4月)

(88) 畔柳 : " 超高速デジタル論理回路について "

信学誌 42, 11, P.P. 2264 ~ 2271 (昭41年11月)

(89) D.H. Chung, J.A. palmier : " Design of ACP Resistor-Coupled
Switching Circuits " IBM Journal 7, 3, P.P. 190 ~ 198 (July 1963)

(90) K.E. Lampathakis, N.J. Miller : " New Ultra High Speed Integrated
Logic Circuits " Proc. of the Pacific Computer Conf.
P.P. 8 ~ 17, (1963.)

(91) H. Cardenas : " Design Considerations for High Speed Unsaturated
Logic " 1965 WESCON Records, Ses. 11, (Aug. 1965)

(92) R.D. Lohman, S.E. BaSara : " Integrated Circuits for Use in the
RCA Spectra 70 Series Computer " 1965 WESCON Records, Ses. 12(Aug. 1965)

(93) L. Weiss, T.S. Jen : " Achieving Subnanosecond Delays Using
Feedback with the Current Switch " IEEE J. of Solid-State
Circuits SC-1, 2, P.P. 86 ~ 94 (Dec. 1966)

(94) B.T. Murphy et al : " Nonsaturating Monolithic Logic Circuits
with Improved Stability " 1965 ISSCC Digest of Tech.
Papers, P.P. 8 ~ 9 (Feb. 1965)

(95) D.H. Chung : " The State of Picosecond Switching Technology "
1966 NEREM Record P.P. 206 ~ 207 (Nov. 1966)

(96) B.P.F. Wu, V.A. Dhaka, C.Y. Chen : " Picosecond Silicon Monolithic
Current Switching Circuit Using PN Junction Isolation and

- Diffused Resistors " 1967 ISSCC Dig. of Tech. Papers, P.P. 66 ~ 67
(Feb. 1967)
- (97) W.R. Ralsanen : " Current Mode Logic and its Application to
Large Scale Intagration " 1966 NEREM Record P.P. 208 ~ 209
(Nov. 1966)
- (98) U. Priel, J.W. Hively : " An Integrated Current-Mode Full Adder "
1967 ISSCC Dig. of Tech. Papers, P.P. 108 ~ 109 (Feb. 1967)
- (99) R.F. Sechler, A.R. Strube, J.R. Turnbull : " ASLT Circuit Design "
IBM J. 11, P.P. 74 ~ 85 (Jan. 1967)
- (100) 大矢, 谷口 : " 超高速論理用集積回路素子 " 信学会電子回路部品研資料
(昭41年11月)
- (101) Y.N. Bapat : " Transistor Current-Switching Circuits "
Radio and Electronic Engneer 27, 5, P.P. 354 ~ 364 (May 1964)
- (102) J.A. Narud, C.S. Mayer : " Characterization of Integrated Logic
Circuits " Proc. of IEEE 52, 12, P.P. 1551 ~ 1564 (Dec. 1964)
- (103) K.G. Ashar et al : " Transient Analysis and Device
Characterization of ACP Circuits " IBM J. 7, 3, P.P. 207 ~ 223
(Sept. 1963)
- (104) H.N. Ghosh et al : " Computer-Aided Transistor Design,
Characterization and Optimization " Solid-State Electronics
10, 7, P.P. 705 ~ 726 (July 1967)
- (105) H.N. Ghosh : " A Distributed Model of the Junction Transistor
and its Application " IEEE Trans. ED-12, 10, P.P. 513 ~ 531
(Oct. 1965)
- (106) A.B. Phillips : " Transistor Engineering and Introduction to
Integrated Semiconductor Circuits " McGraw-Hill Book Co.
Chap. 14, P.P. 296 ~ 325 (1962)
- (107) 前田, 今井, 古本 : " ドリフトトランジスタの f_a および f_T とエミッタ障壁容量 "
信学誌 48, 12, P.P. 2117 ~ 2123 (昭40年12月)
- (108) 前田, 今井, 古本 : " 高周波トランジスタの性能指数 " 信学誌 48, 12,

P.P. 2111 ~ 2116 (昭40年12月)

- (109) J.M. Early : " Structure-determined Gain-band Product of Junction Triode Transistors " proc. of IRE 46, 12, P.P. 1924~1927 (Dec. 1958)
- (110) 垂井, 田丸, 浪本 : " エミッタ結合論理回路 (ECL) の検討 " 昭41電気連大 1991 (昭41年4月)
- (111) 垂井, 田丸, 浪本 : " エミッタ結合論理回路の検討 " 信学会計算機研資料 (昭41年4月)
- (112) G. Luecke : " Noise Margins in Digital Integrated Circuits " proc. of IEEE 52, 12, P.P. 1565 ~ 1571 (Dec. 1964)
- (113) 松村他 : " マイクロストリップ線路の伝送特性について " 信学誌 41, 7, P.P. 694 ~ 700 (昭33年7月)
- (114) H.A. Wheeler : " Transmission-Line Properties of Parallel Strips Separated by a Dielectric Sheet " IEEE Trans. MTT-13, 2, P.P. 172 ~ 185 (March. 1965)
- (115) H.R. Beelitz, H.S. Miiller : " Partitioning for Large-Scale Intagration " 1967 ISSCC Dig. of Tech. papers, p. 50 (Feb. 1967)
- (116) A.W. Burkes et al : " Preliminary Discussion of the Logical Design of an Electronic Computing Instrument " "Part I, Inst. for Advanced Study, Princeton, N.Y. (1947)
- (117) D.J. Wheeler : " The Arithmetic Unit (of Illiac II) " Digital Computer Lab. Illinois Univ. Report 92 (1954)
- (118) B. Gilchrist et al : " Fast Carry Logic for Digital Computers " IRE Trans. EC-4, 4, P.P. 133 ~ 136 (Dec. 1955)
- (119) A. Weinberger, J.L. Smith : " A One Microsecond Adder Using One Megacycle Circuitry " IRE Trans. EC-5, 2, P.P. 65 ~ 73 (June 1956)
- (120) M. Lehman, N. Burla : " A Note on the Simultaneous Carry-Generation System for High-Speed Adders " IRE Trans. EC-9, 4, P. 510 (Dec. 1960)

- (121) M. Nadler : " A High Speed Electronic Arithmetic Unit for Automatic Computing Machines " Acta Technica, 6, P.P. 464~478
- (122) C.P. Morgan, D.B. Jarvis : " Transistor Logic Using Current Switching and Routing Techniques and its Application to a Fast-Carry Propagation Adder " Proc. of IEE 106, B, 29, P.P. 467 ~ 468 (Sept. 1959)
- (123) O.L. Macsorley : " High Speed Arithmetic in Binary Computers " Proc. of IRE 49, 1, P.P. 67 ~ 91 (Jan. 1961)
- (124) M. Lehman, N. Burla : " Skip Techniques for High-Speed Carry-Propagation in Binary Arithmetic Units " IRE Trans. EC-10, 4, P.P. 691 ~ 698 (Dec. 1961)
- (125) T.D. Kilburn et al : " Parallel Addition in Digital Computers, A New Fast Carry Circuit " Proc. of IEE, 106, B, 29, P.P. 464 ~ 466 (Sept. 1959)
- (126) J. Sklansky : " Conditional-Sum Addition Logic " IRE Trans. EC-9, 2, P.P. 226 ~ 231 (June. 1960)
- (127) M. Lehman : " A Comparative Study of Propagation Speed-Up Circuits in Binary Arithmetic Units " Proc. IFIP 62 P.P. 671 ~ 676 (1963)
- (128) H.S. Miller : " High-Speed Arithmetic Employing Tunnel Diodes " RCA Rev. 24, 1, P.P. 47 ~ 56 (March 1963)
- (129) 蛸柳 : " 複合伝はん線路を用いた高速桁上げ回路 " 信学誌 47, 9, P.P. 1335 ~ 1344 (昭39年9月)
- (130) 田丸 : " 枝状電流切換回路の応用 " 昭43電気連大 1850 (昭43年3月)
- (131) K.K. Maitra : " Cascaded Switching Networks of Two-Input Flexible Cells " IRE Trans. EC-11, 12, P.P. 136 ~ 143 (April 1962)
- (132) J. Sklansky : " General Synthesis of Tributary Switching Networks " IEEE Trans. EC-12, 5, P.P. 464 ~ 469 (Oct. 1963)
- (133) R.C. Minnick : " Outpoint Cellular Logic " IEEE Trans. EC-13, 6, P.P. 685 ~ 698 (Dec. 1964)

付録 電流切換形ゲート回路の回路方程式

図 5.20 の等価回路にしたがって回路方程式をたてる。ここで r_{bbj} , C_{cxj} , C_{Exj} , C_{Lj} ($j=1, 2$) は一定値をとると仮定する。その他の容量は電圧依存性を考慮する。また抵抗 R を流れるエミッタ電流は定電流と仮定する。このとき回路方程式は次のようになる。

$$e_{b1} - e_e = r_{bb1} i_{b1} + V'_{be1}$$

$$i_{e1} = i_{re1}(V'_{be1}) + C_{E1}(V_{be1}) \frac{d V'_{be1}}{dt} + C_{Ex1} \frac{d(e_{b1} - e_e)}{dt}$$

$$i_{c1} = \alpha_o i_{re1}(V'_{be1}) - C'_{bc1}(V'_{bc1}) \frac{d V'_{bc1}}{dt}$$

$$V_{cc} - e_e = R_{c1} i_{L1} + e_{c1}$$

$$i_{L1} = i_{c1} + C_{L1} \frac{d e_{c1}}{dt} + C_{cx1} \frac{d(e_{c1} - e_{b1})}{dt}$$

$$e_{e1} = R_{cc1} i_{c1} - V'_{bc1} + V'_{be1}$$

$$i_{b1} + \alpha_o i_{re1}(V'_{be1}) = C'_{bc1}(V'_{bc1}) \frac{d V'_{bc1}}{dt} + i_{re1}(V'_{be1}) \\ + C_{E1}(V'_{be1}) \frac{d V'_{be1}}{dt}$$

$$i_{e1} + i_{e2} = I_o$$

$$V_{BB} - e_e = r'_{bb2} i_{b2} + V'_{be2}$$

$$i_{e2} = i_{re2}(V'_{be2}) + C_{E2}(V'_{be2}) \frac{d V'_{be2}}{dt} + C_{Ex2} \frac{d(V_{BB} - e_e)}{dt}$$

$$i_{c2} = \alpha_o i_{re2}(V'_{be2}) - C'_{bc2}(V'_{bc2}) \frac{d V'_{bc2}}{dt}$$

$$V_{cc} - e_e = R_{c2} i_{L2} + e_{c2}$$

$$i_{L2} = i_{c2} + C_{L2} \frac{d e_{c2}}{dt} + C_{cx} \frac{d(e_{c2} - V_{BB})}{dt}$$

$$e_{c2} = R_{cc2} i_{c2} - V'_{bc2} + V'_{be2}$$

$$i_{b2} + \alpha_o i_{re2}(V'_{be2}) = C'_{bc2}(V'_{bc2}) \frac{d V'_{bc2}}{dt} + i_{re2}(V'_{be2})$$

$$+ C_{E2}(V'_{be2}) \frac{d V'_{be2}}{dt}$$

$$I_{rej}(V'_{bej}) = I_s \left(\exp \frac{q V'_{bej}}{kT} - 1 \right)$$

$$C_{Ej}(V'_{bej}) = C_{tej}(V'_{bej}) + C_{dj}(V'_{bej})$$

$$T_{ej} = C_{dj} r_{ej}$$

$$C_{tej}(V'_{bej}) = \frac{C_{eo}}{(1 + V'_{bej} / \phi_{eo})^{P_e}}$$

$$C'_{bcj}(V'_{bcj}) = \frac{C_{co}}{((1 + V'_{bcj} / \phi_{co})^{P_c}}$$

$$j = 1, 2$$

ここに I_0 はエミッタ定電流, m は電流増幅率の excess phase shift, C_{eo}, C_{co} は零印加電圧のときの障壁容量, I_s はダイオード特性のカットオフ電流, P_e, P_c は接合の形で定まる常数, ϕ_{eo}, ϕ_{co} は接合の接触電位差である。また電流電圧の変数のうち V_{BB}, V_{CC}, I_0, I_s 以外は時間関数であるが時間の表記は省略してある。

著 者 発 表 論 文 目 録

論 文 名	共著者	発 表 機 関
1. サンプル値制御系用制御装置の試作について	近藤, 岩井	昭33 電関西支連大46(昭33-11)
2. サンプル値制御用制御装置の試作	近藤, 岩井	制御工学3, 2, P. 83(1959)
3. 7600 Mc パラメトリック増幅器	林	昭36 連大1179(昭36-4)
4. 簡易型サンプル値制御装置	近藤, 岩井	制御工学6, 2, P. 72(1962)
5. トンネルダイオードトランジスタ回路によるカウンタ	千葉	昭37 信学会全大416(昭37-11)
6. トンネルダイオード単安定パルス回路		昭38 信学会全大376(昭38-11)
7. トンネルダイオードによる高速AD変換回路	千葉	昭39 連大283(昭39-4)
8. トンネルダイオードナノ秒パルス回路	千葉	信学会計算機研資(1964-3)
9. トンネルダイオード高速二進計数回路		昭39 信学会全大478(昭39-11)
10. トンネルダイオードカウンタおよびシフトレジスタ		信学会計算機研資(1964-12)
11. トンネルダイオードシフトレジスタ		昭40 連大670(昭40-4)
12. 積算電力量テレプリンティング装置	武貞, 池北	昭40 信学会全大727(昭40-11)
13. トンネルダイオード高速パルス回路	千葉	信学誌49, 1, P. 78(昭41-1)
14. マルチコンソール小型計算機	中野他	昭41 連大1980(昭41-4)
15. 小形計算機のIC化	浪本他	昭41 連大2003(昭41-4)
16. エミッタ結合論理回路の検討	垂井, 浪本	信学会計算機研資(1966-4)
17. トンネルダイオードを使用した高速AD変換回路		信学誌49, 7, P. 1314(昭41-7)

論文名	共著者	発表機関
18. エサキダイオードを使用した 10 進計数回路		昭 42 連大 1877 (昭42-4)
19. IC 化 TOSBAC-3400 の布線	垂井	同 上 2867
20. TOSBAC-3400 の IC 化	小塚他	同 上 2868
21. 10 進計数回路の実験		昭 42 信学会全大 837 (昭42-10)
22. 枝状電流切換回路の応用		昭 43 連大 1850 (昭43-4)
23. IC メモリセルの特性	吉田他	同 上 1720
24. スイッチ用トランジスタの性能 指数について	垂井, 浪本	同 上 2714